



ORGANISATION EUROPÉENNE POUR LA RECHERCHE NUCLÉAIRE
EUROPEAN ORGANIZATION FOR NUCLEAR RESEARCH

Laboratoire Européen pour la Physique des Particules
European Laboratory for Particle Physics

Group code: BE-BI-BL
EDMS No.: 1416781
Date: 5 August 2013

Author: Kevin Henzer, HEIG-VD, REDS
Supervision: Michel Starkier, REDS
CERN Contact Person: Jonathan Emery

Resolver Data Processing for the Wire Scanner (Expos)

Abstract

Dans le cadre du développement d'un nouveau capteur servant à la mesure de la section du faisceau de particules circulant dans le LHC, l'accélérateur de particules principal du Cern, la position angulaire absolue d'un axe par rapport à son support doit être déterminée à l'aide d'un résolveur magnétique.

L'objectif de ce travail est de simuler sous DSP Builder, puis d'implémenter ensuite sur une FPGA différentes méthodes de mesure de l'angle afin de déterminer laquelle est la plus précise, rapide et la plus immune au bruit possible.

Des chipsets de mesures commerciaux bon marchés permettent déjà d'obtenir de bons résultats, mais ils sont peu configurables. L'utilisation d'une FPGA est motivée par le fait que l'algorithme pourra être ajusté à volonté afin d'atteindre les meilleurs résultats possibles. En effet, certains paramètres, comme le bruit, ne pourra être mesuré qu'une fois le système en place.



Expos

Objectifs du travail

Dans le cadre du développement d'un nouveau capteur servant à la mesure de la section du faisceau de particules circulant dans le LHC, l'accélérateur de particules principal du Cern, la position angulaire absolue d'un axe par rapport à son support doit être déterminée à l'aide d'un résolveur magnétique.

L'objectif de ce travail est de simuler sous DSP Builder, puis d'implémenter ensuite sur une FPGA différentes méthodes de mesure de l'angle afin de déterminer laquelle est la plus précise, rapide et la plus immune au bruit possible.

Des chipsets de mesure commerciaux bon marchés permettent déjà d'obtenir de bons résultats, mais ils sont peu configurables. L'utilisation d'une FPGA est motivée par le fait que l'algorithme pourra être ajusté à volonté afin d'atteindre les meilleurs résultats possibles. En effet, certains paramètres, comme le bruit, ne pourra être mesuré qu'une fois le système en place.

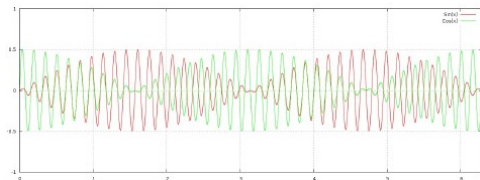
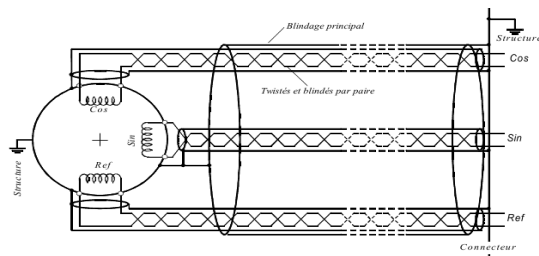


Schéma d'un résolveur magnétique deux pôles. Le signal Ref permet d'exciter le résolveur avec une tension sinusoïdale. Le couplage et l'inversion de phase des signaux de retour Sin et Cos par rapport à Ref dépendent de la position angulaire du rotor dans le stator, comme visible sur le graphique.

Solution apportée

Plusieurs méthodes de mesures ont été simulées, puis testées sur un banc de test spécialement conçu. Basiquement, toutes ces méthodes sont basées sur un calcul d'arctangeante entre les deux tensions de retour sinusoïdales du résolveur mesurées par la carte.

Des filtres FIR, moyennant et/ou des réseaux de tri on été utilisés afin de mitiger un maximum l'impact du bruit sur les mesures. Une PLL a également été implémentée afin de synchroniser l'échantillonnage sur la crête des signaux de retour du résolveur.

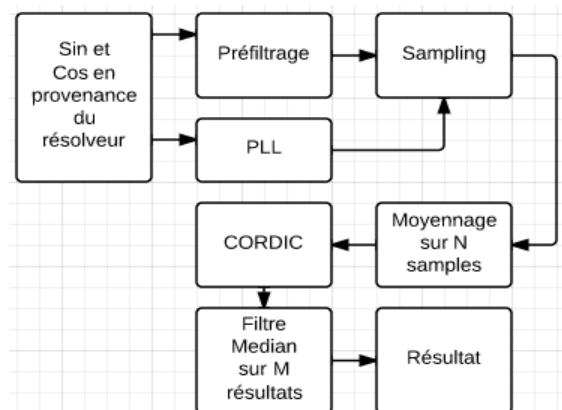


Schéma simplifié du fonctionnement de la méthode de mesure de l'angle la plus efficace.

Résultats

Avec la meilleure méthode proposée, nous arrivons sur la banc de test à une précision moyenne d'environ 0.6° à une vitesse de 200 rad/s, avec une vitesse de mesure de 20k mesures/s. L'erreur est ici essentiellement systématique et extrêmement reproductible, inhérente à la précision de construction du résolveur. La suite du travail consistera logiquement à profiler cette erreur et à la retirer du résultat.

Expos

Travail de Bachelor 2013

Yverdon-les-Bains, lundi 5 août 2013

DEPARTEMENT	:	TIC
ORIENTATION	:	Informatique embarquée
ETUDIANT	:	Kevin Henzer
PROFESSEUR	:	Michel Starkier

heig-vd

Haute Ecole d'Ingénierie et de Gestion
du Canton de Vaud

Hes·so

Haute Ecole Spécialisée
de Suisse occidentale

Résumé

Détermination précise de la position angulaire d'un moteur utilisé pour mesurer la taille d'un faisceau de particule dans le LHC à l'aide d'un résolveur magnétique.

Objectifs du projet

Précision

La précision à atteindre est celle du résolveur, lorsque celui-ci est calibré. Un résolveur non calibré à une précision d'environ 1° . Grâce à une table de calibration individuelle, il est possible d'atteindre une précision d'un ordre supérieur, soit environ 0.1 deg .

Débit / latence des mesures

Le but à atteindre est de 10 kMesures / seconde. La vitesse angulaire maximale de mouvement à mesurer étant d'environ 200 rad/s.

Pour que la mesure reste dans l'intervalle de validité de 0.1 deg , son acquisition/traitement/lecture par l'utilisateur ne doit pas prendre plus d'une dizaine de microsecondes.

Résistance au bruit

La mesure doit être la plus immunisée aux bruits possible. Pour ceci, il est nécessaire d'analyser la littérature afin de trouver le meilleur algorithme d'acquisition.

Table de matières

Résumé.....	2
Objectifs du projet.....	2
Précision.....	2
Débit / latence des mesures.....	2
Résistance au bruit.....	2
Introduction.....	5
Contexte.....	5
Vue d'ensemble du dispositif.....	5
Principe de fonctionnement.....	5
Contraintes environnementales.....	6
Spécifications générales du dispositif complet.....	7
Composants.....	7
Moteur	7
Encodeur incrémental optique.....	7
Résolveur (Encodeur magnétique).....	8
Théorie.....	8
Fonctionnement du résolveur.....	8
Présentations de méthodes de mesure implémentables.....	10
Méthode de l'échantillon de crête unique.....	10
Méthode avec filtre moyennant	10
Méthode avec filtre médian.....	11
Méthode de tracking.....	11
Méthode avec FFT dans le domaine fréquentiel.....	11
Comparaison des méthodes.....	12
Présentation du matériel.....	12
Résolveur.....	12
Câbles.....	12
Conditionnement analogique.....	13
Excitation.....	13
Retours des secondaires.....	13
Carte de développement.....	13
Convertisseurs A/D.....	14
Fonctionnalités.....	15
Format des nombres.....	15
Précision.....	15
Environnement de développement.....	16
Description du workflow DSP builder.....	16
Spécificités de l'Advanced Blockset.....	17
Modélisation.....	18
Modélisation des fonctionnalités générales.....	18
Calcul de l'arctangeante.....	18
Détection de la crête.....	19
Création d'une fenêtre d'échantillonnage.....	20
Compensation de l'offset.....	20
Pré-filtrage.....	21
Modélisation de la DPLL.....	21
Spécifications.....	23
Démodulation.....	23
NCO.....	24
Comparateur de phase.....	25
Filtre de boucle.....	26

Evitement des débordements.....	27
Régulation.....	27
Coefficient d'intégration.....	28
Coefficient proportionnel.....	28
Signes des coefficients.....	28
Détermination expérimentale.....	29
Méthodes de calcul de l'angle.....	30
Méthode de l'échantillon de crête unique.....	30
Méthode avec filtre moyennant.....	31
Méthode avec filtre médian.....	32
Méthode avec mediane de moyennes.....	34
Méthode avec FFT.....	35
Résultats de simulation.....	36
Protocole de simulation.....	36
Situations de tests.....	37
Commentaires.....	38
Implémentation dans la FPGA.....	40
Importation dans Quartus II.....	40
Utilisation des ressources.....	41
Résultats au banc de test.....	42
Montage de test.....	42
Résultats.....	42
Mesure d'angle statique.....	42
Mesure d'angle à 200 rad/s.....	44
Commentaires et discussion.....	46
Test sur le terrain.....	47
Contexte.....	47
Résultats.....	47
Bruit de fond.....	47
Déphasage.....	48
Stabilité de la mesure de l'angle.....	48
Discussion.....	49
Commentaires sur les résultats obtenus.....	49
Améliorations possibles et suite du travail.....	50
Conclusion.....	51
Remerciements.....	51
Références.....	52
Annexes.....	52
Entrées sorties présentes sur la FPGA.....	52

Introduction

Contexte

Le Cern (Centre Européen de Recherche Nucléaire) désire développer une nouvelle version d'un type de capteurs installé dans le tunnel du LHC. Les capteurs en question, au nombre d'une trentaine, sont repartis sur le pourtour de l'anneau et ont pour objectif la mesure précise de la section du faisceau circulant dans le tunnel du LHC, l'accélérateur principal. Le contrôle de la section du faisceau est importante afin de pouvoir le collimater précisément afin de maximiser le nombre de collisions, et aussi de détecter rapidement d'éventuels dérives du faisceau qui pourraient aboutir à un dysfonctionnement grave de l'accélérateur.

Le type de capteur en question est appelé capteur BWS, pour « beam wire scanner ». Ces nouveaux capteurs sont destinés à remplacer leur version précédente, installée en 2007. En effet, celle-ci n'est plus adaptée ni à l'augmentation de puissance prévue du LHC, ni aux espérances actuelles en termes de précision que l'on peut atteindre avec les technologies récentes.

Le développement de ces nouveaux capteurs, dirigé et réalisé en majeure partie par le Cern, implique également de multiples sous-traitants. En effet, la complexité importante du projet demande de nombreuses compétences différentes. Son développement a débuté en même temps que celui des nouvelles installations du LHC, et il sera à terme, le capteur le plus précis dans son genre. Les premiers prototypes sont attendus pour la première partie de l'année 2014, et seront installés avant la reprise du LHC, attendue pour 2015.

Vue d'ensemble du dispositif

Principe de fonctionnement

Son fonctionnement repose sur le principe simple de la réflexion de particules en mouvement sur un obstacle. Un fil fin métallique, fixé sur un bras rotatif, passe rapidement au travers du faisceau de particules accéléré. Sa position est mesurée en tout temps. L'interaction avec le fil métallique dévie et altère une partie des particules reçues et des photodétecteurs installés à proximité du dispositif comptent le nombre de particules secondaires reçues. En mettant en relation la position angulaire du bras et le nombre de particules reçues, il est possible d'en déduire l'intensité du faisceau en tout point sur la trajectoire du fil, et donc de tracer son intensité sur l'axe de coupe du bras.

Le système est séparé physiquement en deux parties : la partie enterrée et la partie en surface. En effet, les collisions de particules générant une dose importante de radiations, le tunnel où circulent les particules est enterré à 100m de profondeur en moyenne.

La partie enterrée comprend :

- Le capteur en lui-même composé du bras soutenant le fil traversant le faisceau. La longueur du bras est de l'ordre de 10 cm.
- Le moteur permettant de le faire bouger
- Les dispositifs de mesure permettant de mesurer sa position
- Les photodétecteurs pour les particules déviées

La partie en surface comprend :

- De l'électronique de puissance permettant d'alimenter le moteur permettant de faire tourner le bras
- Une partie acquisition et traitement de signal pour la mesure position
- Une partie acquisition et traitement de signal pour les photodétecteurs
- Une interface de communication permettant de contrôler le capteur et de renvoyer les mesures

Contraintes environnementales

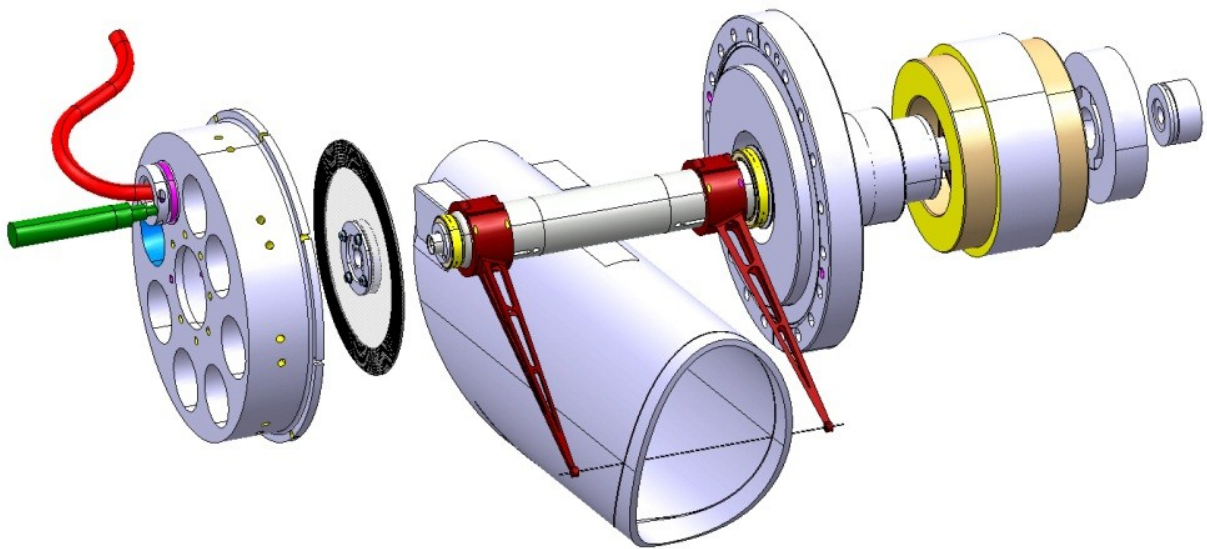


Illustration 1: Schéma de la partie enterrée du BWS

Le tunnel de LHC est un environnement hostile pour plusieurs raisons :

- Les collisions de particules génèrent une dose importante de radiations, ce qui implique que la partie enterrée ne peut pas contenir d'électronique sensible. En d'autres termes, que des composants passifs et insensibles aux radiations peuvent être utilisés dans le tunnel.
- Les dispositifs devront être contrôlés à distance depuis la surface via de longs câbles (de l'ordre de 200 à 300 m aller-retour). Les mesures renvoyées seront également transmises sur de longues distances avant d'être acquises, avec tout ce que ça implique en terme de bruit parasite.

Peu d'hypothèses sont connues sur les bruits présents dans les câbles. Il pourra effectivement être mesuré seulement lorsque l'installation sera en place et fonctionnelle. Pour le moment, il faut partir de la possibilité qu'il y ait des bruits de trois types différents

- Bruit blanc
- Pulses aléatoires
- Offset DC

- Le faisceau est sous un vide extrêmement poussé. Une barrière physique fiable devra être mise en place pour séparer les deux domaines. Le dispositif devra également produire un dégazement extrêmement faible.
- La température peut augmenter rapidement sur certaines parties du dispositif lorsque celui-ci est en fonction. Les composants devront résister aux hautes températures. De plus, l'intensité du faisceau de particules impose une vitesse minimum importante au fil métallique, afin que celui-ci ne fonde pas.

C'est pour cela que tous les composants enterrés ont donc été choisis pour leur résistance à ces conditions.

Spécifications générales du dispositif complet

Afin de satisfaire aux conditions environnementales et à la précision dans la mesure de la section du faisceau, les spécifications suivantes ont été établies :

Vitesse du fil	20 m/s
Précision de la position du fil	4 μm
Température locale maximale	200°
Pression du vide	10^{-8} Pa
Dégazage maximum	10^{-9} Pa/m ³ /s
Dose maximum de radiation cumulée	20 kGy
Epaisseur minimale de la barrière du vide	0.3 mm

Table 1: Spécifications générales du BWS

Composants

Moteur

Le moteur est un moteur brushless trois phases. Il a été choisi pour sa résistance aux conditions du tunnel, et pour sa puissance permettant d'atteindre rapidement la vitesse de 20 m/s en bout de bras.

Il est alimenté en PWM depuis la surface via un câblage trois phases. Le rotor du moteur sera situé dans la partie sous vide du dispositif, la barrière se situant entre le rotor et le stator.

Encodeur incrémental optique

Le premier dispositif de mesure de la position angulaire du moteur est un encodeur optique incrémental. Il s'agit d'un disque transparent gravé avec un motif régulier. Une fibre optique illumine un côté du disque et une autre récupère le signal de l'autre côté. Le dispositif est complètement passif, les fibres étant illuminées et le signal récupéré depuis la surface. Le disque en verre et les extrémités des fibres se trouveront sous vide, la barrière étant située au niveau des connecteurs des fibres.

La précision du dispositif dépend de la focalisation des fibres ainsi que de la finesse de gravure du disque. Dans ce système, elle sera de l'ordre de 10 μRad , soit environ $6 \cdot 10^{-4}$ deg.

Résolveur (Encodeur magnétique)

Ce deuxième dispositif de mesure de la position angulaire, monté sur le même axe que l'encodeur optique, permet de récupérer la valeur absolue de celle-ci, et son interfaçage est le sujet même de ce travail de diplôme. Le résolveur est un composant passif, composé d'un stator contenant trois bobinages, et d'un rotor magnétique. Il est relié à la surface par trois paires torsadées blindées, une excitant un des trois bobinages, les deux autres servant de retour. La longueur des câbles est considérable et le signal de retour ne sera pas amplifié depuis le tunnel.

Comme pour le moteur, la barrière du vide se situera entre le rotor et le stator. Sa précision *calibrée* est environ cent fois moins bonne que l'encodeur optique, de l'ordre de 1 mRad , soit environ 0.1° .

Ce système sera utilisé conjointement avec l'encodeur optique. Le fait qu'il renvoie la position absolue permet de connaître instantanément la position du bras même après une panne. Sa précision est suffisante pour contrôler le moteur, et en cas de défaillance de l'encodeur optique, le système pourrait continuer à prendre des mesures basiques en mode dégradé.

Résolveur magnétique		Encodeur incrémental	
Précision brute	17.45 mRad / 1°	Précision brute	1 mRad / 0.0573°
Précision calibrée	1.7 mRad / 0.0974°	Précision calibrée	13.2 uRad / $6 \cdot 10^{-4}^\circ$
Câblage	STP	Câblage	Optique
Position absolue		Position relative	
Bruit attendu sur les câbles de retour		Ligne optique immune aux bruits parasites	
Dispositif de secours et de contrôle		Dispositif de mesure principal	

Table 2: Resolver vs Encodeur incrémental optique

Théorie

Fonctionnement du résolveur

Un résolveur magnétique peut être schématisé par un transformateur à plusieurs bobinages secondaires dont le couplage de chaque secondaire dépend de la position du rotor dans le stator. En théorie le couplage entre les secondaires est nul. Le nombre de secondaires définit le nombre pôles du resolver. Dans notre cas, nous nous intéresserons uniquement aux résolveurs 2 pôles, contenant deux bobinages secondaires.

L'excitation est fournie sous forme d'une tension oscillante sinusoïdale ou pulsée de l'ordre de 1 à 100 kHz, et la valeur de l'angle du resolver est déduite de l'analyse des signaux de retour des secondaires. Le déphasage entre les signaux secondaires est soit nul soit de 180° suivant l'angle. Le déphasage entre l'excitation et les secondaires quant à lui, dépend du résolveur et de la fréquence d'excitation, mais n'est en général pas nul.

Dans le cas du BWS, il a été décidé qu'une tension sinusoïdale avec une fréquence comprise entre 10 et 100 kHz serait utilisée. En régime permanent, la tension dans les deux secondaires peut alors être décrite par les formules suivante¹ :

$$u_{\sin} = k \sin(\omega t + \varphi) \sin(\theta) \quad u_{\cos} = k \sin(\omega t + \varphi) \cos(\theta)$$

1 Voir référence N°, Cours sur les capteurs inductifs de position

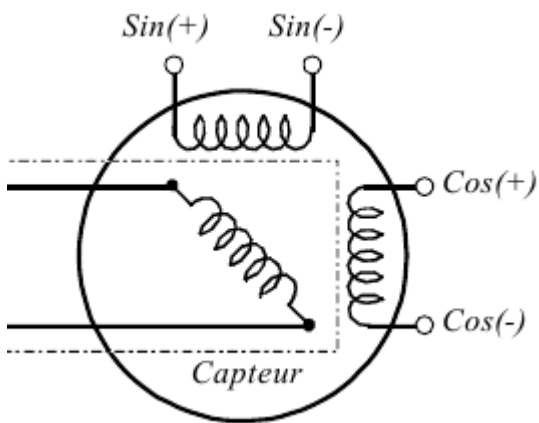


Illustration 2: Schéma de principe d'un résolveur 2 pôles

Avec φ le déphasage à la pulsation d'excitation de ω , θ l'angle mécanique du rotor par rapport au stator et k le coefficient de couplage maximum. Par la suite, les signaux de retour seront appelés simplement Sin et Cos .

Dans les graphiques suivants, ces fonctions sont tracées pour θ entre 0 et 2π , ce qui représente un tour complet du résolveur à 1 Rad/s. ω a été choisi à 40 et k à 0.5.

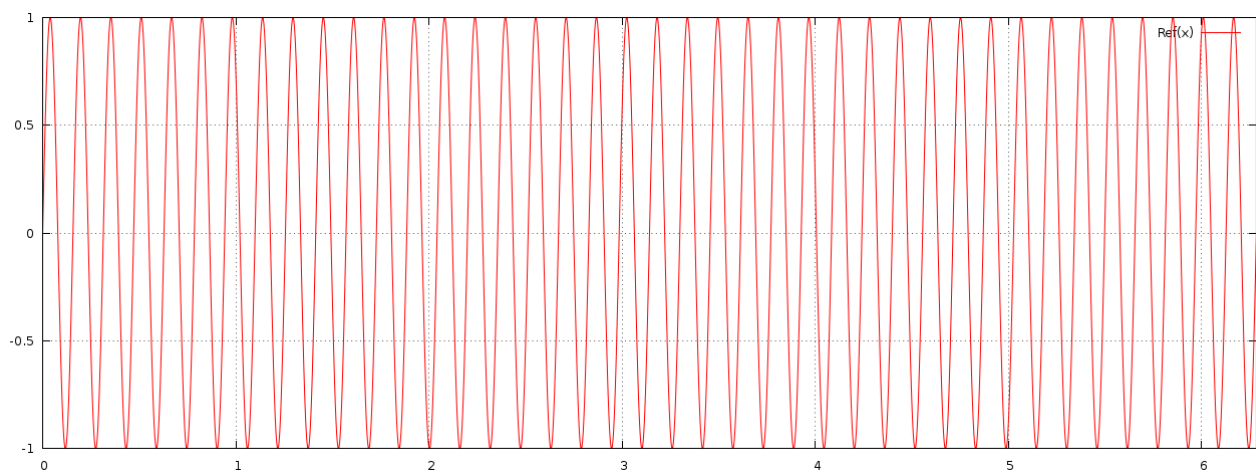


Illustration 3: Fréquence d'excitation de référence

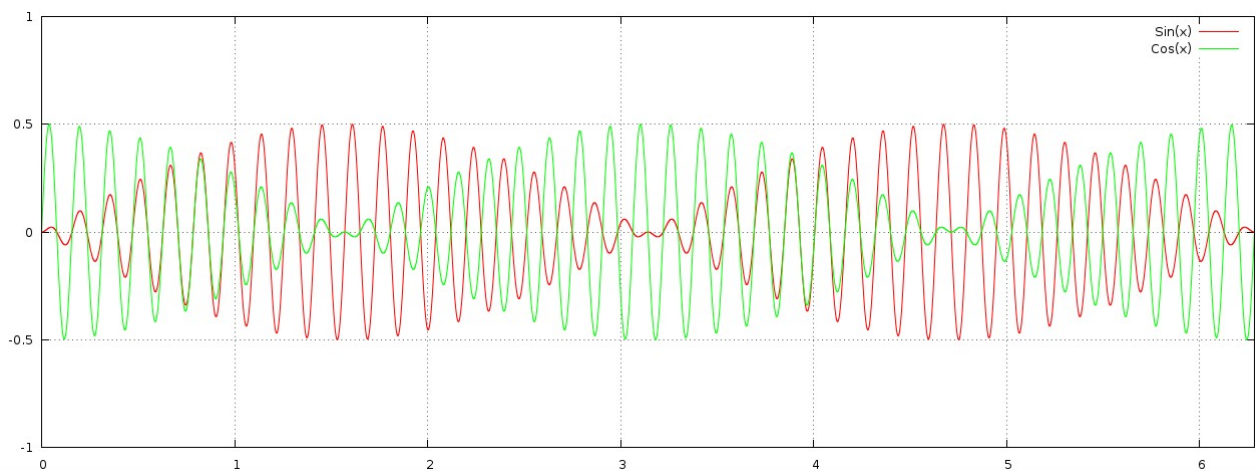


Illustration 4: Sin et Cos du resolver

On remarque que la phase de chaque secondaire s'inverse deux fois tout au long de la rotation sur le tour complet. Il est donc possible de séparer le tour complet en 8 cadrants basés sur la comparaison de l'amplitude sin/cos ainsi que sur leur différence de phase.

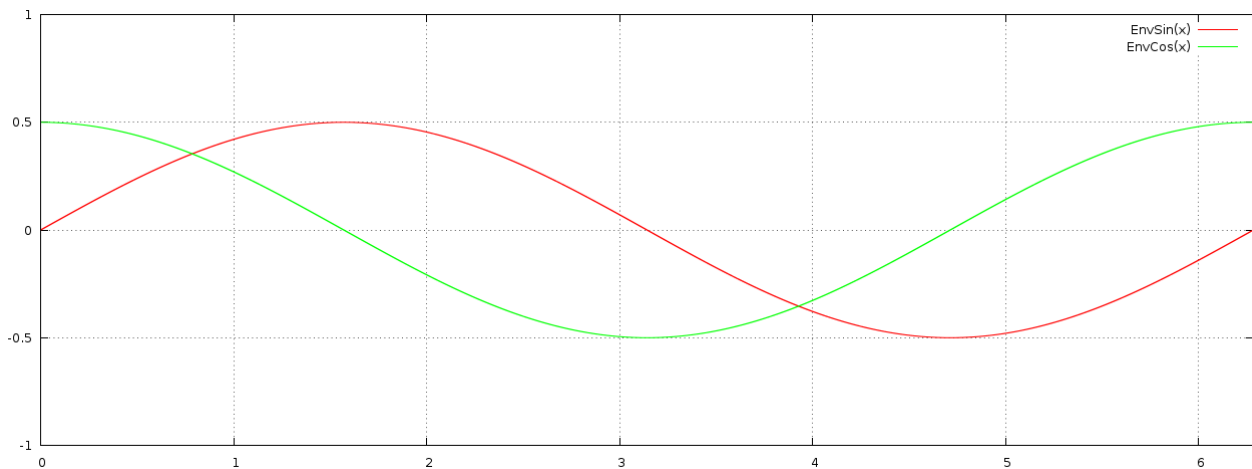


Illustration 5: Sin et Cos démodulés

Le calcul théorique de l'angle s'effectue simplement en récupérant l'enveloppe des deux signaux des secondaires puis en effectuant un calcul d'arctangente sur le quotient de leur amplitude.

$$\arctan\left(\frac{k \sin(\omega t + \varphi) \sin(\theta)}{k \sin(\omega t + \varphi) \cos(\theta)}\right) = \arctan\left(\frac{\sin(\theta)}{\cos(\theta)}\right) = \arctan(\tan(\theta)) = \theta \quad \text{si } \theta > 0$$

Présentations de méthodes de mesure implémentables

Méthode de l'échantillon de crête unique

Méthode la plus simple, qui est l'implémentation directe de la méthode de calcul théorique. Son utilité est qu'elle permet de poser les fondations pour les méthodes plus complexes dérivées.

Les signaux Sin et Cos sont démodulés sur la crête positive et/ou négative du signal d'excitation afin d'en extraire l'enveloppe. Ensuite, l'arctangente est calculée. Cette méthode nous renvoie une ou deux mesures par cycle de la fréquence d'excitation, suivant le cas où on échantillonne sur la crête positive ou négative.

Méthode avec filtre moyennant

Méthode reprenant la précédente, mais cette fois un nombre défini d'échantillons sont prélevés sur la crête. En divisant chaque échantillon par leur nombre au total avant des les accumuler, on arrive à la fin à une valeur moyennée sur plusieurs échantillons.

Le nombre d'échantillons à prélever dépend de la fenêtre d'échantillonnage que nous nous accordons autour de la crête. Sa taille optimale dépend de la fréquence d'excitation, d'échantillonnage et de la vitesse de rotation.

Cette méthode n'est pas beaucoup plus compliquée que la méthode d'échantillon unique de crête, mais devrait déjà offrir une bonne protection contre le bruit blanc et également dans une moindre mesure contre le bruit pulsé.

Méthode avec filtre médian

Méthode reprenant la précédente, mais cette fois les valeurs ne sont pas accumulées, mais toutes conservées indépendamment. Ensuite on les trie par valeur, et on choisit celle qui représente la valeur médiane. Dans cette manière de faire, les échantillons bruités sont ignorés, et leur présence dans l'ensemble influence moins le résultat. Cette méthode offre donc une excellente protection contre les bruits pulsés intermittants, mais également contre le bruit blanc.

Comme pour la précédente, le nombre d'échantillons à prélever sera à déterminer expérimentalement.

Méthode de tracking

Le tracking de l'angle est la méthode la plus couramment utilisée pour mesurer un angle. Elle fonctionne sur le principe d'une boucle asservie² :

- L'angle estimé est gardé en mémoire
- Des signaux comparables à ceux reçus sont construits à partir de l'angle estimé à l'aide d'un NCO.
- Les signaux reçus sont démodulés avec ceux générés en interne
- L'erreur entre ces signaux (phase/fréquence) sert à ajuster l'incrément de l'angle estimé
- L'angle estimé est ajusté, la boucle converge.

D'après les datasheets des constructeurs de puces utilisant cette méthode, l'avantage est une bonne résistance aux bruits. Cependant, sa réalisation et le réglage de la boucle s'avèrent délicats. De plus, cette méthode, contrairement à toutes les autres présentées ici, nécessite une période de convergence avant d'offrir un résultat valide, et sa précision dépend de la vitesse et de l'accélération.

Cette méthode ne sera pas présentée plus en détail dans ce document, son implémentation n'ayant pas été réalisée. Néanmoins, les résultats obtenus par les autres méthodes seront comparés à ceux obtenus à l'aide d'une puce commerciale implémentant cette méthode, obtenus dans le cadre d'un autre travail.

Méthode avec FFT dans le domaine fréquentiel

Une autre méthode existe dans la littérature, basée sur des transformées de Fourier. D'après les auteurs, cette méthode offre une bonne protection contre les bruits blancs, mais aussi, et c'est intéressant, une relative immunité contre les offsets DC.

Cette méthode n'a été que partiellement implémentée, car elle s'est avérée trop complexe par la suite. Un modèle Simulink en flottant a été réalisé et est fonctionnel cependant.

2 Voir référence N°, *Understanding RDC*

Comparaison des méthodes

Méthode	Latence / vitesse	Résistance aux bruits	Complexité
Echantillon crête unique	Très bonne	Très mauvaise	Très simple
Moyenne d'échantillons	Très bonne	Moyenne	Très simple
Mediane d'échantillons	Très bonne	Bonne	Moyenne
Tracking	Bonne*	Très Bonne	Complexe
FFT	Moyenne	Très Bonne	Complexe

Table 3: Caractéristiques théoriques des méthodes issues de la littérature

*Une fois le tracking établi

Présentation du matériel

Le matériel suivant a été utilisé pour la réalisation du banc de test prototype. Pour le produit final qui sera installé dans le tunnel, le résolveur sera identique. Le système étant destiné à être intégré avec d'autres système d'acquisition et de contrôle, les convertisseurs AD/DA, le prétraitement analogique et bien entendu la carte FPGA seront différents.

Résolveur

Le résolveur utilisé est un résolveur 2 pôles brushless de la marque Rotasyn. Brushless signifie qu'il n'y a pas de contact entre le rotor et les stators, ce qui permet d'insérer une barrière physique entre rotor et stator afin de garder le rotor sous vide. Ce résolveur a été choisi pour sa résistance aux hautes températures grâce à son isolation en Kapton, et à sa grande vitesse limite.



Fréquence d'excitation	5 à 50 kHz nominal
Amplitude d'excitation	2 à 12 Vrms
Ratio de couplage maximum (k)	0.5 nominal
Précision	±60 arcmin ±1° (nominal et non calibré)
Impédance du primaire	10 Ω
Impédance des secondaires	25 Ω

Table 4: Résumé des caractéristiques du resolver RO3620

Câbles

Pour le banc de test, les câbles utilisés sont des paires torsadées blindées, jusqu'à la carte d'adaptation, puis simplement torsadées entre la carte et le résolveur. Leur longueur étant limitée, pas d'autres précautions n'ont été prises. Cependant, pour l'installation dans le tunnel, du câble de bonne qualité a été choisi. Ce câble est un câble multi-brins à paires torsadées blindées séparément et par groupe.

Conditionnement analogique

Le résolveur ne peut évidemment pas être drivé directement par le DAC, la tension du DAC et l'impédance du résolveur étant trop faibles. Une carte d'adaptation analogique a été conçue par le Cern. Elle travaille en différentiel entre les DAC/ADC de la carte ADA-HSMC et le résolveur. Elle a été conçue pour être facilement modifiable.³

Excitation

Le signal reçu par le DAC pour l'envoyer au résolveur. Celle-ci accepte une tension différentielle de 1 Vpp pour un gain différentiel de 17. Le gain est facilement modifiable.

Retours des secondaires

Le signal de retour passe premièrement par un buffer suiveur transparent, puis par un étage d'amplification avec un gain modifiable, et enfin par un filtre du deuxième ordre. Ce filtre passe-bas, avec une fréquence de coupure à 10 MHz permet de limiter l'aliasing. En effet, l'échantillonnage en provenance des ADC est à 50 MS/s maximum, vitesse d'horloge de la FPGA. D'après le théorème de l'échantillonnage de Nyquist-Shannon, la fréquence maximale d'un signal que l'on peut reconstituer à 50 MS/s est de 25 MHz. En coupant à 10 MHz, on est un peu en dessous, mais étant donné que la fréquence d'excitation du résolveur est d'un minimum deux ordres inférieure à cette coupure, on est certain de ne perdre aucune information, tout en filtrant les bruits qui n'auraient pas pu être enlevés par la suite par un filtre dans la FPGA.

Ceci ne remplace pas un filtrage de signal dans la FPGA. Il sera tenté de filtrer plus bas afin de limiter le bruit. Mais ce filtrage pourra être modifié facilement au sein de la FPGA, d'où le choix de laisser un filtrage analogique non contraignant à l'entrée.

Carte de développement

La carte utilisée est une DE2-115 de chez Terasic, embarquant une FPGA Cyclone IV E, avec 114,490 LE et des blocks DSP dédiés. La carte est complète, et possède, entre autres, un écran LCD texte, une vingtaine de boutons poussoir et commutateurs, ainsi que des ports ethernet et encore des LCD 7 segments.

La fréquence d'horloge est de 50 MHz maximum. De la RAM / ROM et Flash supplémentaires sont embarqués, ainsi qu'un programmeur de bitstream USB et des ports hôte.

Dans l'implémentation, nous n'allons utiliser qu'une fraction des périphériques de la carte. Seul les leds, les afficheurs 7-segments, boutons poussoirs, switchs et les connecteurs IO externes seront utilisés.

3 Pour plus d'informations, consulter *Resolver Circuit Driver, Quick User Guide, Carlos Pereira*

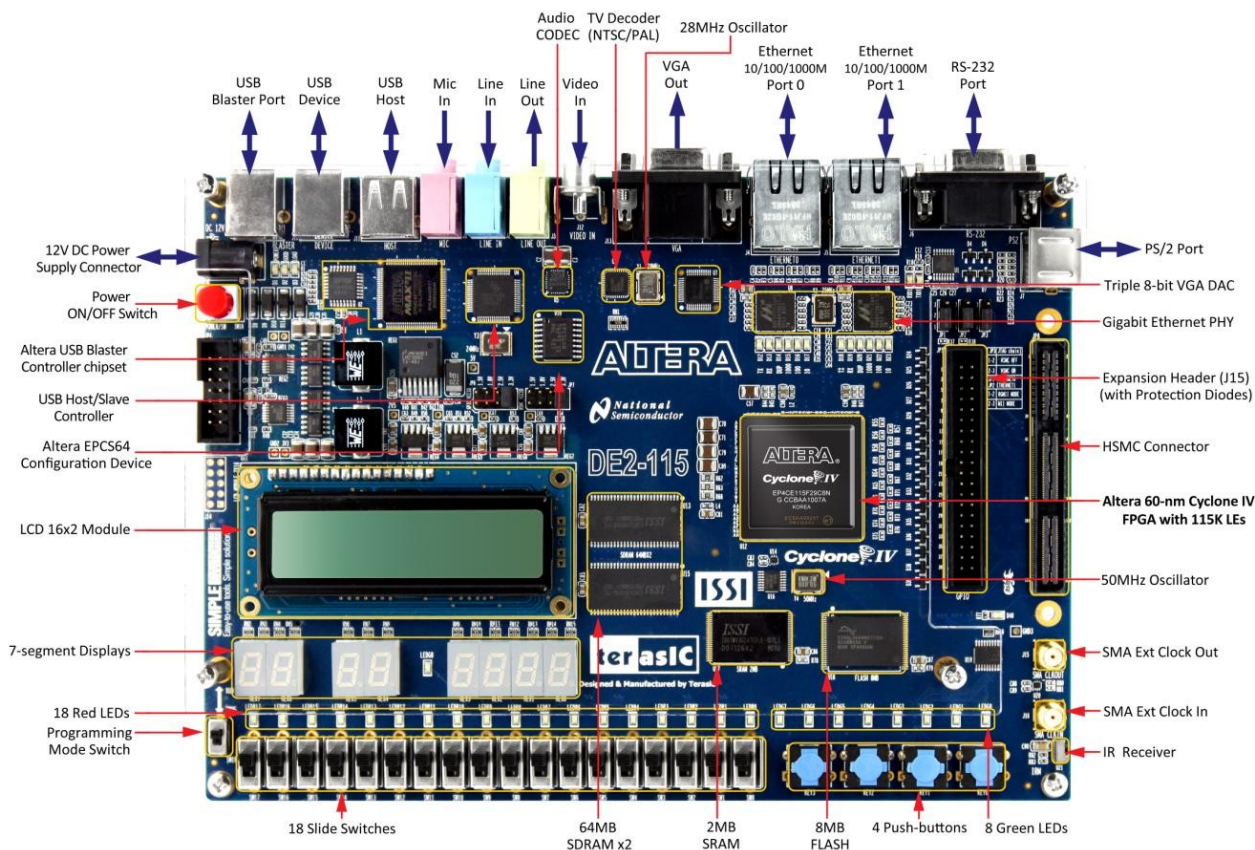
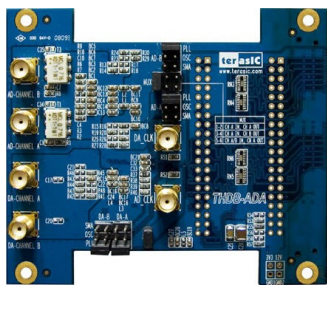


Illustration 6: DE2-115 de chez Terasic, avec sa Cyclone IV

Convertisseurs A/D

La carte ne possède pas de base de convertisseurs A/D. Un carte d'extension, ADA-HSMC du même constructeur fourni deux entrées analogique indépendantes, ainsi que deux sorties.

La carte a été modifiée par le CERN afin de recevoir des entrées en mode différentiel plutôt qu'asymétrique. Les sorties du DAC ont également été modifiées afin de pouvoir exciter le résolveur en mode différentiel. Dans les deux cas, cette modification a été effectuée en enlevant les transformateurs d'isolation d'entrée / sortie, et en sortant directement le signal depuis les pins des DAC/ADC.⁴



Résolution / Vitesse A->D	14 bits	65 MS/s
Résolution / Vitesse D->A	14 bits	125 MS/s
DA et AD range	-1 à 1 V	

Table 5: Caractéristiques générales de la carte ADA-HSMC

4 Pour plus d'informations, consulter *Terasic Schematic modified by Carlos Pereira*

Fonctionnalités

Cette carte possède certaines fonctionnalités supplémentaires, configurables via les jumpers présents sur la carte.

- Il est possible de multiplexer les deux ADC ou les deux DAC par paire sur les mêmes pins, afin d'en économiser la moitié. Dans ce cas, une donnée sur deux est destinée/provient à un des deux DAC/ADC, alternativement. Dans notre cas, le multiplexage n'est pas utilisé.
- L'horloge de rafraichissement est sélectionnable depuis trois sources : externe sur SMA, interne basée sur une base à 100 MHz, externe vis une PLL asservie via une pin de la FPGA. Dans notre cas, le rafraichissement est à 50 MHz fourni par l'horloge de la FPGA via la PLL.

Format des nombres

Les valeurs renvoyées par les ADC et acceptée par le DAC sont dans le format « *Offset Two's Complement* ». Ce format diffère du format « *Two's Complement Signed Fractional* » (utilisé pour les nombres en point-fixé) par le fait que le MSB est inversé⁵. Avant de pouvoir manipuler les valeurs en provenance de l'ADC ou avant de l'envoyer au DAC, il faut donc prendre soin d'inverser les MSB. L'intervalle valide par contre elle ne change pas, allant de -1 à 1 V. Notons aussi qu'en cas de dépassement d'intervalle d'entrée sur les ADC, les valeurs lues sont complètement invalides. Cependant, un signal dédié à chaque ADC, le signal OTR (Out-of-range indicators), permet de détecter ces dépassements.

Précision

La précision des convertisseurs est de 14 bits. Ceci nous fait une granularité de $1/2^{14}$ entre deux valeurs consécutives. La précision demandée est d'environ 0.1° . Le signal démodulé d'un des retours en provenance du résolver passe de sa valeur minimale à maximale tous les 90° . Si l'on calcule le rapport entre $0.1/90$ et $1/2^{14}$ on tombe sur environ 20.

Ceci indique que la précision des ADC est d'environ un ordre de grandeur et demi supérieur au résultat final que l'on aimerait atteindre. En théorie la précision des ADC est donc suffisante, même si la marge est faible si l'on désire garantir un résultat toujours compris dans cette intervalle de 0.1° .

5 Consulter la référence N°, *Binary Numbering Systems*

Environnement de développement

L'implémentation sera réalisée sous Matlab/Simulink grâce à l'addon Altera DSP Builder. Les versions utilisées sont les suivantes :

- Matlab R2012a
- Simulink 7.9
- DSP Builder de la suite Altera 12.1 Build 177
- Quartus 12.1 build 177

Description du workflow DSP builder

DSP builder est un ensemble de blocks Simulink capables de générer du VHDL pour les FPGA Altera. Au premier abords, l'environnement ressemble beaucoup à ce qu'on peut trouver en standard dans Quartus II, avec des blocks représentant des fonctions logiques simples, tout comme des blocks paramétrables réalisant des tâches compliquées. Mais c'est en fait bien plus que ça pour plusieurs raisons :

- **Simulation intégrée dans Simulink** Le système synthétisable est borné dans un sous-système, et ses entrées-sorties sont directement accessible depuis Simulink. N'importe quel type de signaux peuvent être connectés en entrée, et n'importe quoi peut être fait des signaux de sortie. La simulation du système synthétisable se déroule dans l'environnement Simulink et est précise au coup d'horloge près. Ceci rend l'utilisation de la simulation RTL optionnelle, et offre tout le confort de Simulink pour la visualisation des signaux. Des « scopes » peuvent être placés au sein même du système synthétisable afin de visualiser n'importe quel signal.
- **Support et propagation des types** Les blocks travaillent directement en point-fixé, adaptent la largeur des bus suivant les données en entrée de manière complètement automatique. La plupart supportent et propagent également les vecteurs de nombres, il est donc extrêmement simple de rajouter un « canal » à un design après coup.
- **Paramétrisation via des variables Matlab** Chaque block peut être paramétré via des variables Matlab. Ceci implique une paramétrisation extrêmement simple et extrêmement puissante à la compilation. A chaque projet DSP Builder est automatiquement attribué un script Matlab conçu pour contenir les différents paramètres du modèle.
- **Changement de cible trivial** Le code généré peut être adapté pour n'importe quelle FPGA Altera en un clic.

Ceci apporte un gain de productivité important : là où avant il fallait pour des designs compliqués en premier lieu le modéliser sur Matlab en flottant, le simuler, puis ensuite l'implémenter sous Quartus en point-fixe puis le simuler en RTL, DSP Builder nous offre la possibilité de combiner ces étapes au sein d'un même environnement.

Spécificités de l'Advanced Blockset

DSP Builder propose deux librairies de blocks logiques distinctes. Le Standard Blockset, version la plus ancienne, et l'Advanced Blockset, la version la plus récente. Les deux sont encore supportées aujourd'hui, et il est possible de faire interagir des sous-systèmes composés de blocs issus de l'une ou l'autre des librairies, avec certaines restrictions. Cependant, il n'est pas possible de mixer les deux types de blocs au sein d'un même sous-système. La plupart de blocks sont présents dans les deux librairies, ainsi il est possible de réaliser un design donné aussi bien avec l'une qu'avec l'autre.

Le choix de l'implémentation s'est porté sur l'Advanced Blockset, le Standard Blockset n'étant plus recommandé par Altera pour les nouveaux designs. L'Advanced Blockset offre un niveau d'abstraction supplémentaire sur le Standard blockset.

La librairie est divisée en deux catégories de blocs :

- **ModelIP** composée de blocs complexes effectuant de gros traitements, comme des blocs NCO, FFT, FIR, etc. Chacun de ces blocs est paramétrisable, possède son propre sample rate et peut être utilisé en mode multi canal.
- **ModelPrim** composée de blocs plus simples, comme des registres, additionneurs, compteurs, multiplicateurs, multiplexeurs, etc. Ces blocs sont assemblés dans les limites d'un sous-système borné par des blocs *ChannelIn* et *ChannelOut*. Ces blocs d'entrées/sorties reprennent les fonctionnalités des blocs ModelIP afin de pouvoir y être connecté, c-à-d la sélection du canal et la possibilité d'ajuster le sampling rate pour chaque sous-système.

La conception avec les blocs ModelPrim est focalisée sur *l'algorithme à implémenter, et non sur son implémentation elle-même*. Peu importe la latence qu'introduit chaque bloc dans la chaîne, l'algorithme doit être posé comme si chaque blocs n'en introduisant aucune. Un délai ajouté manuellement sera considéré comme faisant part de l'algorithme et sera respecté. Le logiciel distribue ensuite au mieux les délais nécessaires le long de la chaîne en optimisant au mieux la latence du sous-système complet.

Les blocs ModelIP et les sous systèmes ModelPrim sont interfacable via le même protocole, basé sur deux signaux supplémentaires aux signaux de données : le signal *channel* et le signal *valid*.

Le signal *valid* valant 1 à l'entrée d'un bloc signifie que les données présente à l'entrée sont valides et appartiennent au canal dont la valeur est présentée en entrée. Lorsque que le signal *valid* vaut 1 à la sortie du bloc/sous-système, les données en sorties sont valides et appartiennent à la valeur du canal données en sortie. Les signaux *valid*, *channel* et de données sont donc synchronisés automatiquement.

Dans le cas où l'on a qu'un seul canal et un signal de données toujours valide en entrée, ce protocole peut sembler lourd. En effet, si le sampling rate du bloc est à la fréquence d'horloge et que les données sont toujours valides en entrées, elle seront toujours valides en sortie.

Cependant, si l'on désire changer le sampling rate d'un bloc ModelIP dans une chaine de traitement, par exemple, pour effectuer une décimation par 4, ce protocole permet de traquer quelles trames de données sont valides, ici une sur 4. Ce signal de validité sera ensuite transmis aux blocs suivants et se propagera dans la chaine. A la sortie du système complet, il faudra s'assurer de lire les données uniquement lorsque le signal *valid* est à 1, garantissant leur exactitude.

Modélisation

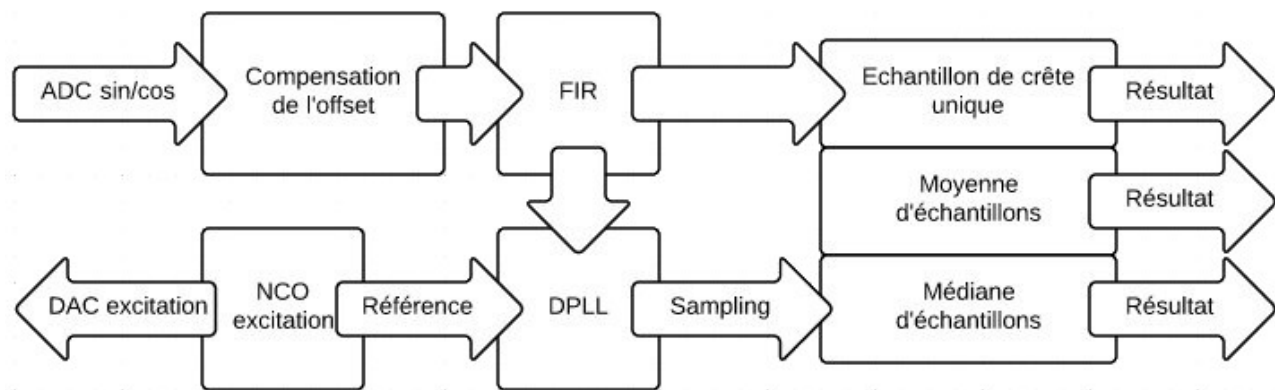


Illustration 7: Schéma général de la modélisation

Modélisation des fonctionnalités générales

Les méthodes implémentées sont toutes dérivées de la méthode de l'échantillon de crête unique. Par conséquent, elles utilisent toutes un calcul d'arctangeante pour trouver l'angle, et elles impliquent toutes de savoir quand les signaux de retour *Sin* et *Cos* sont à leur maximum. Là où les valeurs des retours doivent être échantillonnées lorsque le signal atteint sa valeur maximale, tout en considérant que celui-ci pourrait être fortement bruité.

Calcul de l'arctangeante

La première chose à s'assurer, c'est qu'un calcul d'arctangeante n'augmente pas l'erreur relative de façon incontrôlée. En effectuant la propagation d'erreur absolue sur la fonction arctangeante, on obtient la formule suivante⁶.

$$\Delta x = \frac{\sqrt{\cos(x)^2 (\Delta \cos(x))^2 + \sin(x)^2 (\Delta \sin(x))^2}}{\cos(x)^2 + \sin(x)^2}$$

En considérant que $\sin^2(x) + \cos^2(x) = 1$, et que $\sin(x)$ et $\cos(x)$ sont toujours inférieurs ou égaux à 1, on obtient que :

$$\Delta x < \sqrt{(\Delta \cos(x))^2 + (\Delta \sin(x))^2}$$

On considérant le cas où l'incertitude est égale sur les deux composantes, on obtient :

$$\Delta x < \sqrt{2} \Delta \sin(x) \quad \text{quel que soit la valeur de } x.$$

En simulant une reconstruction d'angle d'un sinus et d'un cosinus bruité sous Simulink, la relation ci-dessus a été vérifiée.⁷ Il n'y a donc pas de problème lié au calcul de l'arctangeante, pour autant que celui-ci soit fait avec assez de précision.

⁶ <http://answers.yahoo.com/question/index?qid=20110327153022AANBhtU>

⁷ Voir modèle Simulink dédié, *SimulationArctan*

Pour ce qui est de la méthode de calcul de l'arctangeante, il existe deux méthodes couramment utilisées⁸:

- Une table de correspondance stockée en mémoire (**LUT**), qui fait correspondre à chaque valeur du ratio cos/sin une valeur de l'angle.
- L'algorithme **CORDIC**, qui est un algorithme rapide permettant de calculer la rotation d'un vecteur par un angle (premier mode), et de calculer l'angle d'un vecteur directement à partir de ses composantes (deuxième mode, appelé « vectoring », utilisé ici avec sin et cos comme composantes).

Les deux méthodes sont comparées ci-dessous :

Méthode	Latence	Utilisation de blocs logiques	Complexité de mise en oeuvre	Utilisation de mémoire
LUT	Très rapide : le temps de lecture dans la table.	Faible	Simple	Grande
CORDIC	Rapide : n coups d'horloges, avec n le nombre de bits d'une composante ⁹	Moyenne	Très simple	Aucune

Table 6: Caractéristiques générales des méthodes de calcul d'arctangeante

Le choix final de l'implémentation a surtout été dicté par le fait qu'Altera propose en standard dans son Advanced Blockset un bloc CORDIC optimisé pour ce genre de tâches. La place prise sur la FPGA par le design n'étant pas une priorité dans un premier temps, c'est donc tout naturellement que le choix s'est porté vers la facilité.

Détection de la crête

Les méthodes pour arriver à identifier précisément la crête des signaux de retours dépendent du fait de connaître ou non le signal d'excitation lors de la démodulation.

- Si le signal est généré par la carte d'acquisition elle-même, ou celle-ci possède une entrée de référence, en compensant le déphasage connu ou mesuré entre l'excitation et les retours, on peut savoir à quel moment exact les retours sont à leur maximum. Ceci pour autant que les signaux de retour soient en retard sur celui de l'excitation, ce qui est le cas à partir de 10 kHz sur le résolveur choisi.
- Si on ne connaît pas la fréquence d'excitation on peut implémenter un algorithme de détection de crête sur les retours. L'implémentation doit être résistante aux bruits sur les signaux de retour, et également compter avec le fait que leur amplitude varie avec la position angulaire du résolveur. La meilleure solution consiste à utiliser une PLL asservie sur un signal dérivé des deux retours afin de régénérer un signal propre, sur lequel il sera trivial de détecter une crête.

⁸ Consulter la référence *A Low-Power Implementation of arctangent function for Communication Applications using FPGA*

⁹ cf. Manuel DSP builder, block CORDIC

C'est cette dernière solution qui a été retenue. Le déphasage entre l'excitation et les retours dépend de la fréquence d'excitation, mais également du pré-traitement analogique et de l'éventuel filtrage à l'intérieur de la FPGA. En effet, si l'on désire préfiltrer les retours dans la FPGA de manière très sélective, il est possible que le filtre puisse les déphaser. Il serait possible de recalibrer le design à chaque changement dans la chaîne de traitement, mais ceci entraînerait un surcoût de travail important.

En asservissant la PLL sur les signaux tels qu'ils seront reçus en aval du préfiltrage, on s'assure de toujours échantillonner au bon endroit, quel que soit le prétraitement subi par les signaux de retour.

Néanmoins, le système devra quand même connaître le signe de l'excitation au moment de l'échantillonnage, afin de pouvoir savoir si le signal d'excitation est déphasé ou non de 180° par rapport à un ou aux deux signaux de retour. Sans le signe de l'excitation, l'intervalle de mesure possible n'est plus que d'un demi tour.

Création d'une fenêtre d'échantillonnage

Pour la méthode de la moyenne d'échantillons et celle de la médiane, il faut définir une zone autour de la crête dans laquelle nous pouvons échantillonner. Pour ceci, il faut définir combien de pourcents de la valeur crête nous sommes prêts à perdre.

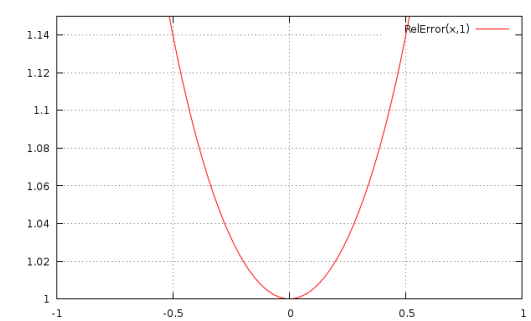


Illustration 8: Erreur relative de la mesure en fonction du décalage du point d'échantillonnage par rapport à la crête

Par exemple si l'on concède une perte de 10 %, l'intervalle se calcul comme suit :

$$\frac{\sin\left(\frac{\pi}{2} + x\right)}{\sin\left(\frac{\pi}{2}\right)} = \frac{9}{10} \rightarrow \cos(x) = \frac{9}{10} \rightarrow x = \cos^{-1}\left(\frac{9}{10}\right) \rightarrow x \approx \pm 0.45 \text{ rad}$$

Le dimensionnement de ce paramètre dépend du niveau de bruit, et doit être estimé expérimentalement.

Compensation de l'offset

Comme un des objectifs du projet est la résistance au bruit, et que la possibilité d'un offset DC sur les retours du résolveur a été envisagée. Pour arriver à ce but, un filtre digital RC simple a été implémenté.¹⁰

¹⁰ Consulter référence *Digitally Removing a DC Offset*

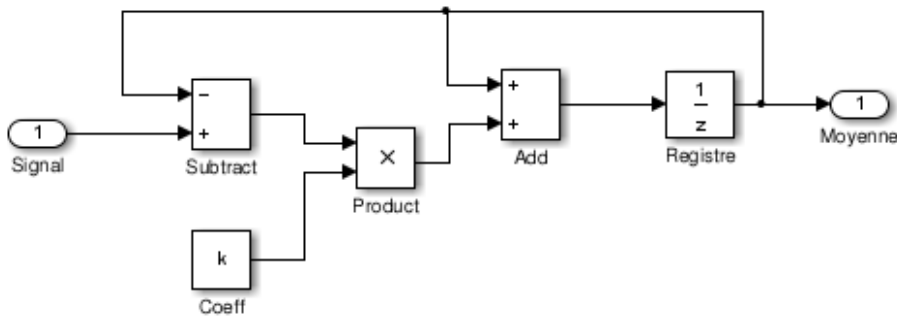


Illustration 9: Filtre RC digital simple permettant d'extraire la moyenne, avec $k \ll 1$

La valeur de la constante k a été choisie de telle manière que les oscillations résiduelles soient un bit en dessous de la précision des ADC. Ceci implique une valeur très faible de k , et également un temps de convergence plutôt long.

Sachant que la valeur maximale de l'entrée sin ou cos vaut 1, la valeur de k peut être estimée en considérant la variation que subirait la moyenne suivant la valeur de k sur une demi période de la fréquence d'excitation.

$$\int_0^{\pi} \sin(x) = 2 \rightarrow val_{moyenne} = \frac{2}{\pi}$$

En considérant le nombre d'échantillons prélevés sur cette demi période, on peut estimer la valeur de k .

$$k \cdot val_{moyenne} \cdot \frac{f_{sampling}}{2 \cdot f_{excitation}} = k \frac{2 \cdot 50 \cdot 10^6}{\pi \cdot 2 \cdot 10 \cdot 10^3} < 2^{-13} \rightarrow k < \frac{\pi \cdot 20 \cdot 10^3 \cdot 2^{-13}}{100 \cdot 10^6} \approx 2^{-24}$$

En simulation avec cette estimation¹¹, on arrive à des oscillations résiduelles d'environ $2 \cdot 10^{-5}$ d'amplitude, ce qui est inférieur à 2^{-15} . Avec 2^{-22} on reste encore valide, avec des oscillation maximales de maximum 2^{-14} . On gardera donc cette valeur pour la suite de la modélisation. Le temps de compensation peut être calculé sur les mêmes principes que la constante de temps que les filtres RC. Dans notre cas, la constante de temps est d'environ 80 ms, ce qui fait 400 ms pour une compensation de 99 %.

Pré-filtrage

Un pré-filtrage très sélectif débrayable est également applicable directement avant les blocs de mesures de l'angle. Celui-ci est constitué d'un filtre FIR passe bas d'ordre et de fréquence de coupure réglable. Alors que le but du pré-filtrage analogique était d'éliminer toutes les fréquences non échantillonnables, le but de ce filtre-ci est d'éliminer toutes les fréquences au dessus de la fréquence d'excitation afin de réduire le bruit. Des tests seront effectués en activant ce filtre ou pas, afin d'estimer son utilité.

Modélisation de la DPLL

Un DPLL, ou Digital Phase Locked Loop, est un assemblage de plusieurs composants avec un mécanisme de feedback permettant de générer une forme d'onde asservie sur une forme d'onde existante, la référence. La phase est asservie, tout comme la fréquence. Dans notre cas, nous désirons générer un sinus asservi sur les retours du résolveur. Ce sinus, exempt de tout bruit, servira de référence pour la synchronisation de l'échantillonnage.

¹¹ Voir modèle Simulink dédié, *SimulationOffsetCompensator*

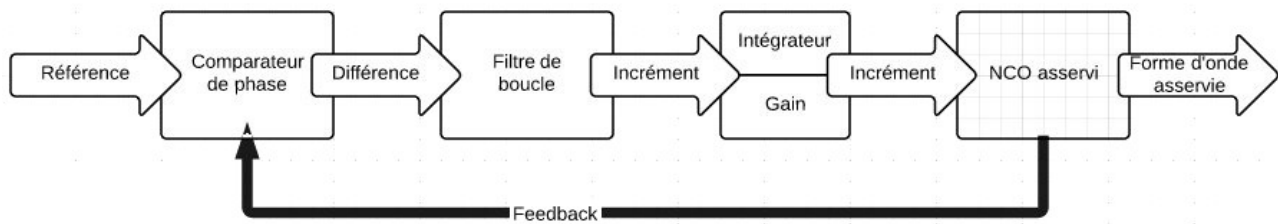


Illustration 10: Principe de fonctionnement d'une PLL

La boucle est composée des éléments suivants :

- **Le NCO**, pour *Numerically Controlled Oscillator*, est un générateur de forme d'onde géré numériquement. Sa fréquence peut être ajustée à tout moment.
- **Le comparateur de phase** compare la forme d'onde générée avec la référence. Il génère une valeur proportionnelle à la correction à effectuer pour arriver au verrouillage recherché. La valeur sortant du comparateur de phase n'est pas une valeur fixe, mais plutôt elle-même une forme d'onde, dont la composante basse fréquence correspond à la correction à effectuer.
- **Le filtre** extrait la composante basse fréquence de la forme d'onde du filtre de boucle, et empêche du même coup les changements trop brusques dans la fréquence du NCO.
- **L'étage de gain** met à l'échelle cette composante continue afin que la correction s'effectue plus ou moins vite. Un intégrateur peut également y être présent afin de garder en mémoire et d'accumuler les corrections d'incrément passées. Ceci est nécessaire si l'on désire que notre PLL puisse cumuler les variations d'incrément, et ainsi contrôler le NCO pas seulement en phase, mais aussi en fréquence.

La performance d'une PLL peut être définie par plusieurs critères :

- **Sa vitesse de verrouillage**, définissant combien de temps mettra la PLL à se verrouiller sur la référence.
- **Son intervalle de verrouillage**, si le NCO est également contrôlé en fréquence. Ceci définit la différence maximale de fréquence initiale entre le NCO et la référence.
- **Sa précision** une fois verrouillée, définissant la variation résiduelle de l'incrément.
- **Sa sensibilité aux bruits**, définissant la tolérance de la PLL aux bruits présents sur la référence.

Ces critères dépendent du dimensionnement correct du filtre de boucle et surtout de l'étage de gain, et la répartition de celui-ci entre la correction instantanée (proportionnelle) et celle en provenance de l'intégrateur. Ceci n'est pas chose aisée, et il n'existe pas de « formule magique » permettant de calculer ces valeurs. Pire, les critères de performance sont incompatibles entre eux : par exemple une PLL se verrouillant vite sera par nature plus sensible aux bruits, et donc moins précise. Un mauvais dimensionnement de ces coefficients peut également aboutir à des instabilités au sein de la PLL, dégradant sa fiabilité.

Le choix de ces paramètres se fera donc de manière expérimentale et sera soumis à certains compromis.

Spécifications

En partant du principe que la carte de traitement sera toujours allumée, que le résolveur sera toujours alimenté et que la fréquence ne changera pas, la PLL n'a pas besoin d'être spécialement rapide, ni avoir un intervalle de verrouillage étendu. Elle devra plutôt être stable et précise une fois verrouillée.

Les spécifications suivantes ont été estimées au départ :

- **Intervalle de verrouillage** : fréquence d'excitation définie (entre 10 et 100 kHz) plus ou moins 1 %.
- **Temps de verrouillage** : dans l'ordre du dixième de seconde, ce qui assez lent pour une PLL, mais une PLL lente est par définition plus stable.

Démodulation

Le signal servant de référence pour la PLL doit en premier lieu être construit à partir des deux signaux de retour. Ceux-ci ont une amplitude variant suivant l'angle actuel du résolveur, et en plus leur phase s'inverse alternativement sur un tour complet. Le but est donc de construire un signal de référence avec une forme d'onde régulière à partir de deux signaux variant avec l'angle du résolveur.

En partant des équations des signaux de retour du résolveur :

$$u_{\sin} = k \sin(\omega t + \varphi) \sin(\theta) \quad u_{\cos} = k \sin(\omega t + \varphi) \cos(\theta)$$

$$u_{\sin}^2 = k^2 \sin^2(\omega t + \varphi) \sin^2(\theta) \quad u_{\cos}^2 = k^2 \sin^2(\omega t + \varphi) \cos^2(\theta)$$

$$u_{\cos}^2 + u_{\sin}^2 = k^2 \sin^2(\omega t + \varphi) (\cos^2(\theta) + \sin^2(\theta)) = k^2 \sin^2(\omega t + \varphi)$$

Donc, en sommant les carrés des signaux de retour, nous obtenons bien une onde de référence indépendante de la position angulaire du résolveur. Cette forme d'onde est un sinus mis au carré, multiplié par le coefficient de couplage au carré. K étant inférieur à 1, la valeur maximale de cette onde est inférieure à 1 également.

Cette onde n'est pas centrée autour de zéro, ce qui posera problème par la suite pour le comparateur de phase. Pour résoudre ce problème, la composante continue doit être retirée.

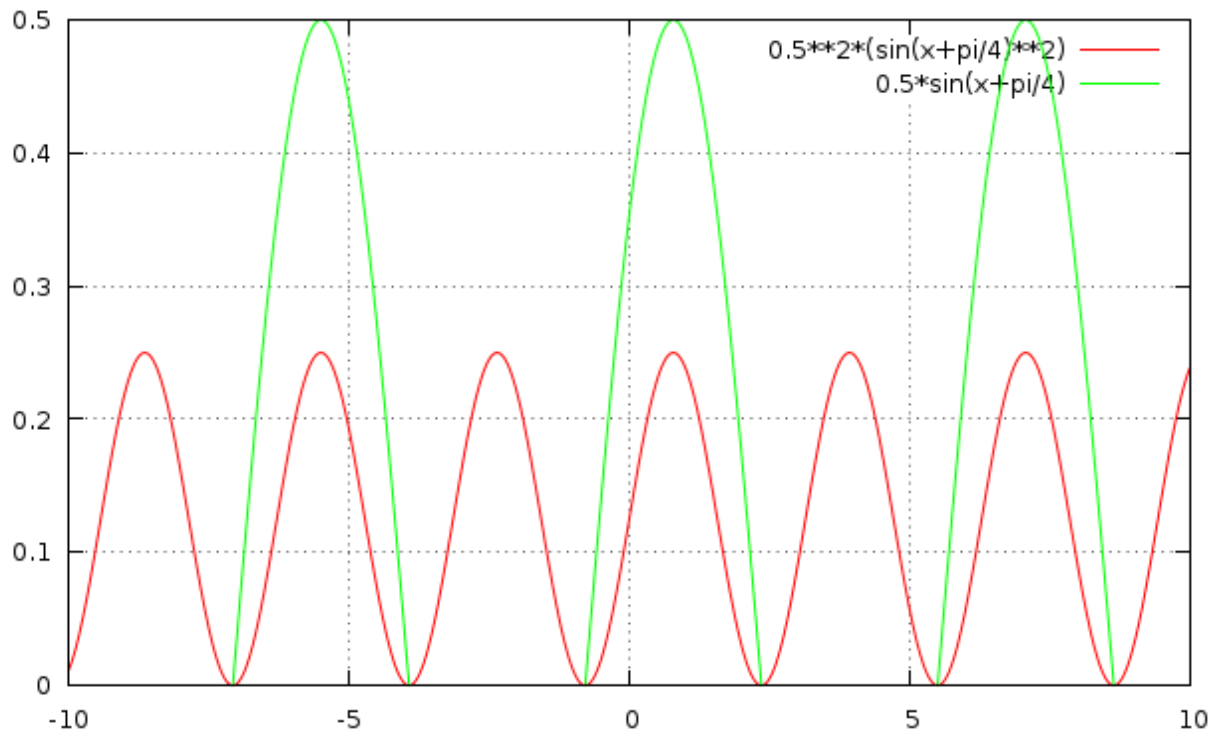


Illustration 11: $k^2 \sin^2(\omega t + \varphi)$ et $k \sin(\omega t + \varphi)$ avec $k = 0.5$, $\omega = 1$, $\varphi = \pi/4$

Nous partons du principe que nous ne connaissons pas l'amplitude de cette onde. En effet, celle-ci dépend de l'amplitude des retours, qui elle dépend du prétraitement analogique, de la longueur des câbles et aussi du coefficient de couplage k , lui-même dépendant de la fréquence. Cependant, en partant du principe que les signaux en provenance des ADC sont normalisés entre -1 et 1, sa valeur absolue ne peut pas dépasser 1.

La composante continue est donc mesurée à l'aide d'un filtre RC digital simple, puis soustraite au signal original, de la même manière qu'a été traité le problème de l'offset sur les retours du résolveur. De cette manière, nous nous retrouvons avec un sinus centré sur zéro, à deux fois la fréquence d'excitation, une crête positive de ce signal correspondant à la crête positive ou négative de la référence.

Le dimensionnement de la constante du filtre RC dépend de la rapidité à laquelle on aimerait obtenir la valeur de la moyenne, tout en gardant à l'esprit que plus l'obtention est lente, plus l'oscillation résiduelle sur celle-ci est petite.

NCO

Le NCO, Numerically Controlled Oscillator, est un générateur d'onde sinusoidale dont la fréquence peut être modifiée à volonté. Pour la génération du sinus et de son cosinus associé, un bloc CORDIC est également utilisé, mais dans son premier mode, c-à-d calculant la rotation d'un vecteur donné par un angle. En précisant le vecteur (1;0) comme vecteur à faire tourner autour de l'origine, on obtient une paire sinus/cosinus. Notons aussi qu'un bloc CORDIC utilisé dans son premier mode introduit un gain sur les composantes renvoyées, égal à un peu près 1.7. Ceci doit être compensé, car l'on désire que le NCO nous renvoie une forme d'onde normalisée entre -1 et 1.¹²

¹² Article wikipedia sur le CORDIC

Le performance d'un NCO est basée sur la précision de la fréquence qu'il génère. Cette précision dépend du nombre de bits du registre accumulateur. Ce nombre de bits devra être déterminé expérimentalement.

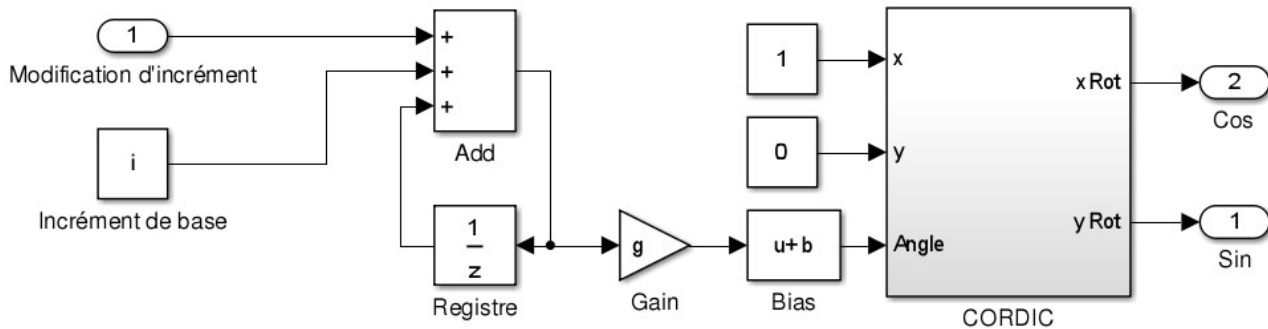


Illustration 12: Schéma de fonctionnement du NCO de la PLL.

L'incrément de base i du NCO correspond à la fréquence autour de laquelle on s'attend à se verrouiller. Le gain g et le biais b servent à faire correspondre l'intervalle de valeurs issues du registre vers l'intervalle $[-\pi, \pi]$. La modification d'incrément peut être négative (baisse de la fréquence) ou positive (augmentation de sa fréquence).

Une fois ce NCO asservi sur la fréquence de référence, c'est lui qui sera chargé de transmettre les signaux d'échantillonnage aux différents blocs de mesure. Ces signaux sont constitués d'un signal de crête et d'un signal indiquant que les retours ont dépassés un certain seuil défini, destiné aux méthodes nécessitant un échantillonnage continu sur une certaine intervalle.

Comparateur de phase

Le comparateur de phase utilisé ici est le même que ceux utilisés dans les PLL analogiques : il s'agit simplement d'un multiplicateur. Lorsqu'on multiplie deux sinus déphasés dans le temps, la forme d'onde résultante est un sinus au double de la fréquence dont la valeur moyenne oscille entre 0 et la multiplication des amplitudes maximales des sinus divisée par 2.

Lorsque la valeur moyenne vaut 0, ceci indique que les signaux sont déphasés de $\pm \pi/2$. C'est justement ici que nous allons nous verrouiller, car le changement de signe de la composante continue autour de ce point nous permet facilement savoir dans quel sens la modification de l'incrément du NCO doit s'effectuer pour atteindre ce déphasage.

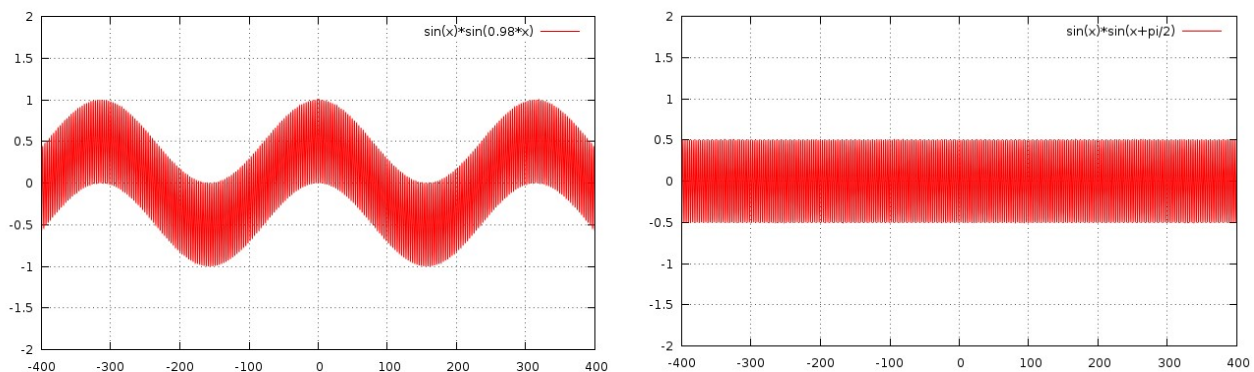


Illustration 13: Sortie du multiplicateur comparateur de phase lorsque deux sinus à des fréquences légèrement différentes (2%) sont multipliés, et lorsque la fréquence est la même mais le déphasage de $\pi/2$. Comme attendu, la composante continue vaut 0 dans ce cas-là.

Etant donnée le fait que les signaux des ADC sont normalisés entre -1 et 1, tout comme la référence issue du NCO, la sortie du comparateur est comprise entre -1 et 1.

Filtre de boucle

Le signal à la sortie du comparateur de phase doit être filtré afin de ne garder que la variation de sa moyenne. En partant du principe que l'on désire pouvoir verrouiller à $\pm 5\%$ de la fréquence de base du NCO, la fréquence des battements se calcule simplement en multipliant la fréquence d'excitation par deux, puis par ce pourcentage.

Fréquence d'excitation	Fréquence PLL	f _{oscillations}
10 kHz	20 kHz	1 kHz
50 kHz	100 kHz	5 kHz
100 kHz	200 kHz	10 kHz

Table 7: Valeur de coupure du filtre de la PLL en fonction de la fréquence d'excitation

Le filtre devra donc couper très proche de la composante continue. Il existe principalement deux sortes de filtres numériques.

- **Les filtres FIR**, pour Finite Impulse Response. Ces filtres sont non-récurrents (ne comportent pas de boucles), sont toujours stables, et peuvent être conçus pour avoir une réponse en phase linéaire. Leur désavantage est leur latence plus importante que les filtres IIR.
- **Les filtres IIR**, pour Infinite Impulse Response. Ces filtres sont récurrents, peuvent être instables si certaines précautions ne sont pas prises, mais à ordre égal sont bien plus efficaces que les filtres FIR.

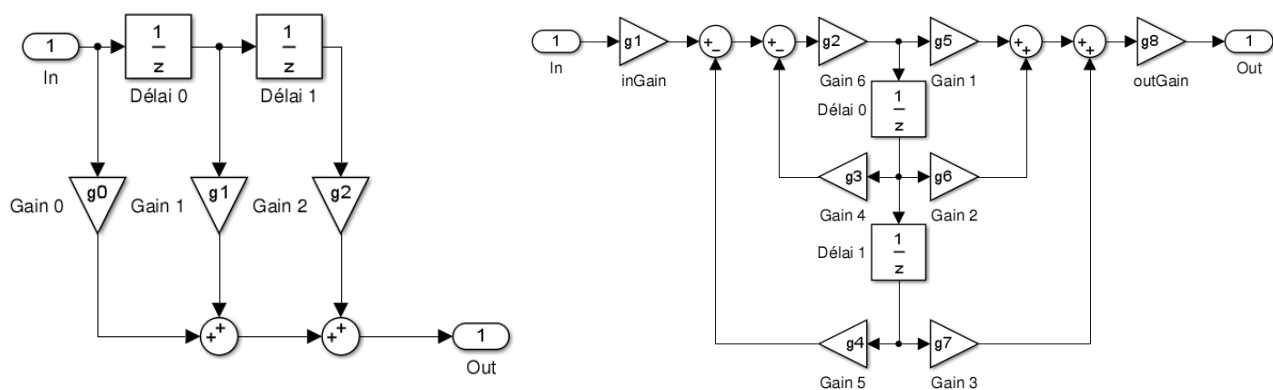


Illustration 14: A gauche: filtre FIR d'ordre 2, 3-tap, droite: filtre IIR d'ordre 2 en forme SOS-II. Il existe plusieurs variantes pour réaliser ces filtres, mais ils ressembleront toujours à ces schémas-ci.

Les deux sont utilisables dans ce cas, mais le choix s'est fait sur un filtre IIR, pour sa faible latence et sa pente de coupure plus raide à ordre égal. L'ordre du filtre a été fixé à 2, car c'est ce qui s'utilise en général pour ce genre de PLL.

Le filtre IIR a été réalisé sous forme SOS-II, ce qui correspond exactement au schéma présenté ci-dessus. Les coefficients de gains ont été calculés sur un modèle de filtre Butterworth.

La précision du filtre dépend du nombre de bits de ces coefficients. La différence entre la fréquence d'horloge du système, 50 MHz, et la fréquence de coupe demandée, de l'ordre du kHz, étant très grande, les coefficients de gain sont très faibles.

Deux choix s'offrent ainsi à nous : soit prévoir une largeur de bus importante dans le filtre pour pouvoir représenter des très petites valeurs, soit sous-échantillonner le filtre afin de pouvoir utiliser de coefficients plus grands. La première solution utilise plus de logique mais n'introduit pas de retard, alors que la deuxième introduit un retard mais économise la logique. Dans ce cas, nous avons décidé de décimer le filtre par 32, ce qui permet de gagner environ deux ordres de grandeur sur les coefficients, tout en gardant un retard de l'ordre d'une centaines de coups d'horloge. Le filtre IIR possède sa propre modélisation¹³.

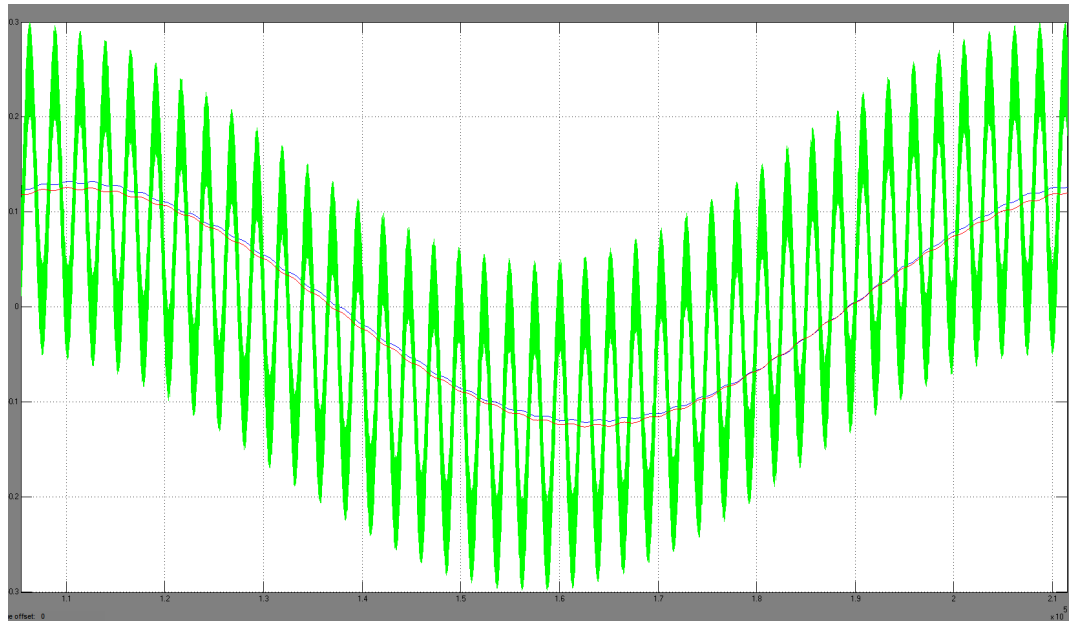


Illustration 15: Effet d'un filtre IIR avec une fréquence de coupure à 2kHz sur le signal issu du comparateur de phase de la PLL. $F_{excitation} = 10 \text{ kHz}$ La courbe rouge est le modèle Simulink flottant du filtre, la verte le modèle en point fixé, avec une largeur de bus de 24 bits, et une décimation par 32.

Evitement des débordements

Un filtre IIR, de part sa nature récursive peut être sujet aux débordements. Connaissant le fait que le signal issu du comparateur de phase est compris entre -1 et 1, il suffit de réserver quelques bits de partie entière supplémentaire sur tout le chemin qu'empruntent les données dans le filtre pour limiter les risques de débordement. Dans notre cas, 3 bits supplémentaires ont été ajoutés.

Régulation

Le signal issu du filtre doit ensuite être mis à l'échelle, et une fraction de celui-ci doit être intégré. La somme de la partie proportionnelle et de la partie issue de l'intégrateur est ensuite utilisée par le NCO pour ajuster son incrément. Nous allons en premier lieu estimer l'ordre de grandeur de ces coefficients, puis déterminer expérimentalement les meilleures valeurs.

¹³ Voir modèle Simulink dédié, *SimulationIIR*

Coefficient d'intégration

Le dimensionnement du coefficient d'intégration, servant à compenser les différences de fréquences, dépend de l'incrément de base du NCO, $NCO_{baseInc}$, et de la compensation maximale de fréquence que l'on aimerait avoir, ici 1 %. Ce pourcentage multiplié par l'incrément de base nous donne la variation que l'on doit atteindre.

Reste à savoir en combien de temps on aimerait obtenir cette variation. A une fréquence différente de 5 %, la variation basse fréquence issue du comparateur de phase vaudrait 5 % de la fréquence de base. Il faudrait que la variation soit donc effectuée en maximum une demi-période de cette variation.

On arrive à ceci pour la variation de l'incrément par seconde :

$$\frac{\frac{1}{100} NCO_{baseInc}}{\frac{1}{100} \frac{1}{2} f_{NCO}} = \frac{1}{20000} NCO_{baseInc} f_{NCO}$$

L'incrément du NCO dépend de la taille en bits de son accumulateur, de la fréquence cible et de la fréquence d'horloge. Il peut être calculé comme suit :

$$NCO_{baseInc} = \frac{2^{NCO_{accSize}}}{f_{clock}} = \frac{2^{NCO_{accSize}} f_{NCO}}{f_{clock}}$$

Dans notre cas, avec une fréquence du NCO de 20 kHz, une fréquence d'horloge de 50 MHz, et 24 bits d'accumulateur, on arrive à un incrément d'environ 6700. Pour ce qui est de la variation de l'incrément par coup de clock, on arrive à la formule suivante :

$$\frac{1}{20000} \frac{2^{NCO_{accSize}} f_{NCO}^2}{f_{clock}^2}$$

Ceci nous donne un résultat d'ordre de grandeur 10^{-4} . Ceci est juste une indication autour de quels ordres de grandeur on doit chercher le coefficient d'intégration. C'est également probablement une borne supérieure, car le temps de compensation calculé comme ceci est de l'ordre de la milliseconde, ce qui est bien plus rapide que ce dont on a besoin.

Coefficient proportionnel

Ce coefficient est plus difficile à estimer, car il représente la variation instantanée apportée à l'incrément en fonction du déphasage. Il sera déterminé expérimentalement uniquement, avec une borne inférieure du même ordre de grandeur que celle du coefficient d'intégration, c-à-d 10^{-4} .

Signes des coefficients

Les coefficients sont négatifs. En effet, une sortie positive du comparateur de phase indique une avance de phase, l'incrément du NCO devant être réduit.

Détermination expérimentale

Le dimensionnement de ces coefficients s'est fait dans un modèle séparé¹⁴, contenant uniquement la PLL. La fréquence du NCO est de 20 kHz, alors que la référence est de 20.2 kHz. Le déphasage initial est maximal, de $\pi/4$. A chaque paire de coefficients, le nombre indiqué correspond au temps de verrouillage, défini lorsque la différence de phase passe sous un seuil fixé. Le signe « - » indique que le PLL ne se verrouille pas dans un temps raisonnable, le signe « + » indique que la PLL est instable.

Int\Pr	$1*10^{-8}$	$5*10^{-8}$	$1*10^{-7}$	$5*10^{-7}$	$1*10^{-6}$	$5*10^{-6}$	$1*10^{-5}$	$5*10^{-5}$	$1*10^{-4}$	$5*10^{-4}$
$1*10^{-8}$	-	-	-	-	-	-	$3*10^{-2}$	$2*10^{-3}$	$4*10^{-3}$	+
$5*10^{-8}$	-	-	-	-	-	-	-	$3*10^{-3}$	$4*10^{-3}$	+
$1*10^{-7}$	-	-	-	-	-	-	-	+	$4*10^{-3}$	+
$5*10^{-7}$	-	-	-	-	-	-	-	+	+	+
$1*10^{-6}$	-	-	-	-	-	-	+	+	+	+
$5*10^{-6}$	+	+	+	+	+	+	+	+	+	+
$1*10^{-5}$	+	+	+	+	+	+	+	+	+	+
$5*10^{-4}$	+	+	+	+	+	+	+	+	+	+
$1*10^{-4}$	+	+	+	+	+	+	+	+	+	+

Table 8: Détermination expérimentale des coefficients de correction d'incrément de la PLL

D'après ces résultats, la compensation de l'incrément doit surtout être proportionnelle, la partie intégrante étant sources d'instabilité. Ceci peut être dû à la manière dont est construit le signal de référence. En effet, il reste une composante continue oscillante que le filtre digital RC n'a pas pu enlever. Cette composante continue s'accumule dans l'intégrateur et déstabilise le système. Cette limitation nous amène à une mauvaise intervalle de verrouillage en fréquence, mais ce n'est pas critique car la fréquence d'excitation est sensée être précisément connue.

¹⁴ Voir modèle Simulink dédié, *SimulationDPLL*

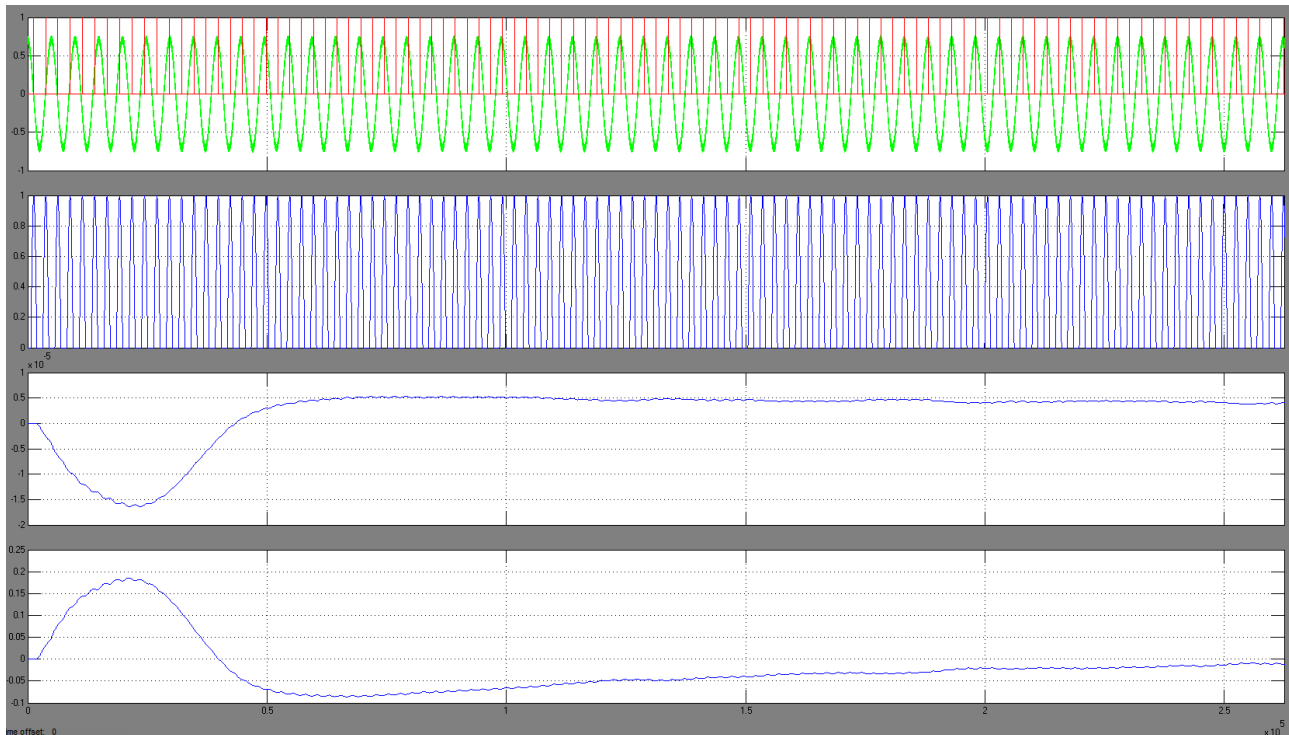


Illustration 16: Illustration du verrouillage de la PLL, avec une fréquence de 20kHz, un déphasage de $\pi/4$ rad, $-8 \cdot 10^{-5}$ pour le coefficient proportionnel, et $-2 \cdot 10^{-8}$ pour le coefficient intégrateur. Dans le premier graphique, les pulses rouges représentent les signaux de crête renvoyés par le NCO de la PLL, et l'onde verte est la référence. L'onde bleu du deuxième graphique est celle du NCO de la PLL, le troisième graphique représente la modification de l'incrément du NCO. Le dernier est la sortie du filtre IIR.

Méthodes de calcul de l'angle

Méthode de l'échantillon de crête unique

Cette méthode est la plus basique. Lorsque le signal de crête est envoyée par le NCO de la PLL indiquant que les retours sont à leur maximum, un calcul d'arctangeante est effectué sur un échantillon unique de la paire $\sin / \cos$, et la valeur est renvoyée.

L'avantage de cette méthode est qu'elle n'introduit aucune latence de mesure, hormis celle introduite par le bloc CORDIC, de quelques dizaines de coups d'horloge. La fréquence des mesures est le double de la fréquence d'excitation, l'échantillonnage s'effectuant aussi bien sur la crête positive que négative de l'excitation. La seule différence entre les deux cas est que lorsqu'on échantillonne sur la crête négative de l'excitation, on prends le soin d'inverser les signes des deux retours, pour retrouver le même angle.

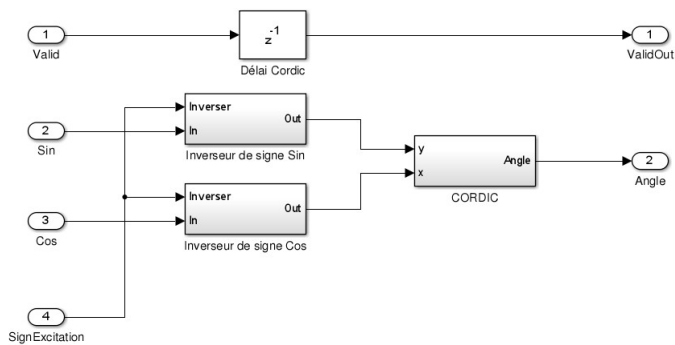


Illustration 17: Fonctionnement de la méthode de l'échantillon de crête unique. Le protocole valide/canal/données de DSP Builder est utilisé ici. Une pulse sur l'entrée valid indique lorsqu'on est sur la crête. Lorsque la pulse ressort sur ValidOut, le calcul a été effectué. Notons que le bloc de délai CORDIC sur le signal valid est automatiquement ajouté par DSP Builder à la synthèse pour correspondre exactement au délai du système, et n'apparaît donc pas dans le schéma.

Méthode avec filtre moyennant

Méthode directement dérivée de la précédente. A la place de prendre un seul échantillon sur la crête, on calcule une moyenne des retours sur un certain temps avant d'en tirer un angle. Notons cependant que la moyenne s'effectue bien sur la valeur des retours, en amont du calcul de l'arctangeante, et pas sur l'angle calculé lui-même. En effet, une moyenne sur des mesures d'angle n'est pas réalisable de par l'évolution cyclique d'un angle. Par exemple, 0.1° et 359.9° sont presque le même angle, mais une moyenne calculée entre ces deux valeurs donne évidemment un résultat faux.¹⁵

Pour arriver au calcul de notre moyenne, un compteur est déclenché sur le flanc montant du signal issu de la PLL indiquant le début de la fenêtre d'échantillonnage, indiquant que les retours ont atteint une valeur suffisante. Ensuite, chaque échantillon est divisé par le nombre total à échantillonner, puis accumulé. Lorsque le compteur a bouclé, l'arctangeante des moyennes des deux retours est calculée via exactement la même méthode que pour l'échantillon de crête unique.

La latence introduite par cette méthode dépend du nombre d'échantillons à prélever. Pour 128 échantillons par exemple, la latence entre le début de la mesure et le résultat est d'environ 128 coups d'horloge additionné de la latence du bloc CORDIC. A une vitesse de rotation de 200 rad/s et une fréquence d'échantillonnage de 50 MS/s, l'angle change d'environ $5 \cdot 10^{-4}$ radians entre le début et la fin de la mesure.

Ceci introduit donc une erreur systématique non négligeable dans la mesure, dont on doit s'assurer qu'elle soit assez faible pour ne pas trop entacher la mesure finale. Dans le cas de 128 échantillons, l'erreur systématique serait donc d'environ $2.5 \cdot 10^{-5}$ radians, ce qui est assez faible pour être négligé. Cependant, si on doublait le nombre d'échantillons, l'erreur systématique pourrait devenir gênante.

¹⁵ Voir article Wikipedia, *Mean of circular quantities*

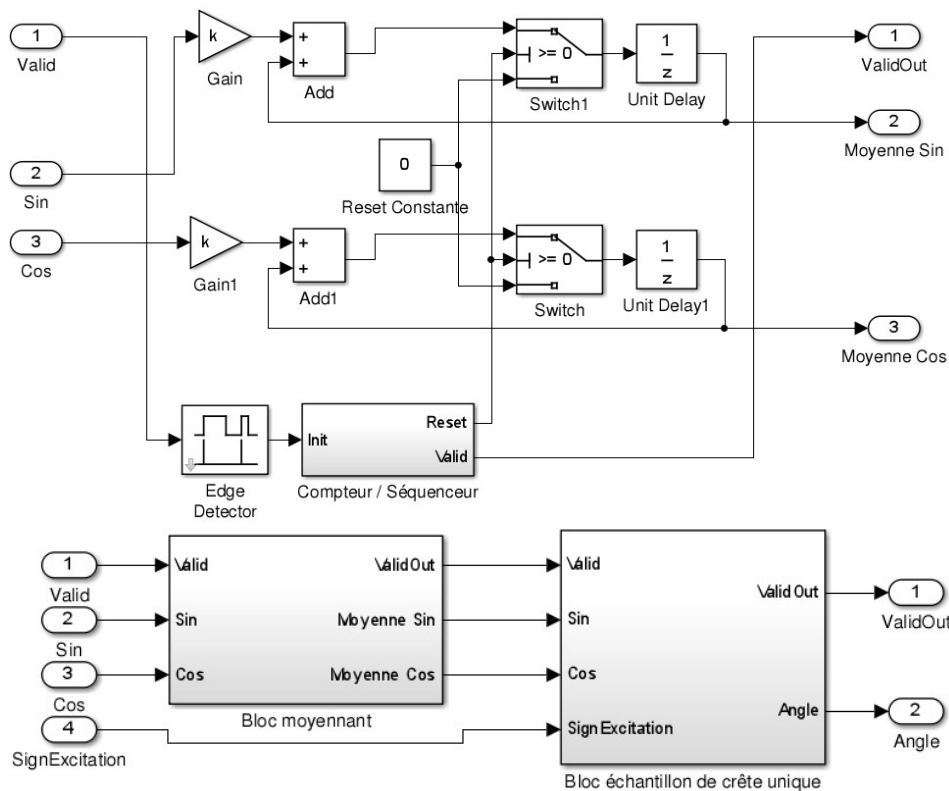


Illustration 18: Fonctionnement général de la méthode de moyenne d'échantillons. Le bloc moyennant est ajouté en amont du bloc d'échantillon de crête unique. Le signal valid du bloc moyennant est mis à 1 lorsque le signal des retours a une amplitude suffisante. Le signal valid du bloc d'échantillon de crête unique quant à lui reçoit une impulsion lorsque la moyenne est disponible en sortie du bloc précédent.

Méthode avec filtre médian

Cette méthode possède en commun avec la méthode précédente le fait que la mesure se déclenche sur le flanc montant du signal indiquant le début de la fenêtre d'échantillonnage. Cependant, dans ce cas, l'arctangeante est calculée en premier lieu, et la sélection de la médiane se fait sur le résultat de l'angle directement. Afin de calculer la médiane de plusieurs angles, ceux-ci sont stockés dans un registre série/parallèle afin d'être triés. Pour le tri à proprement parler, un réseau de tri a été utilisé¹⁶.

¹⁶ Voir modèle Simulink dédié, *SimulationSorting*

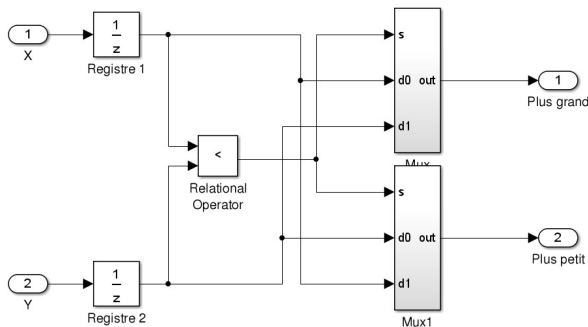
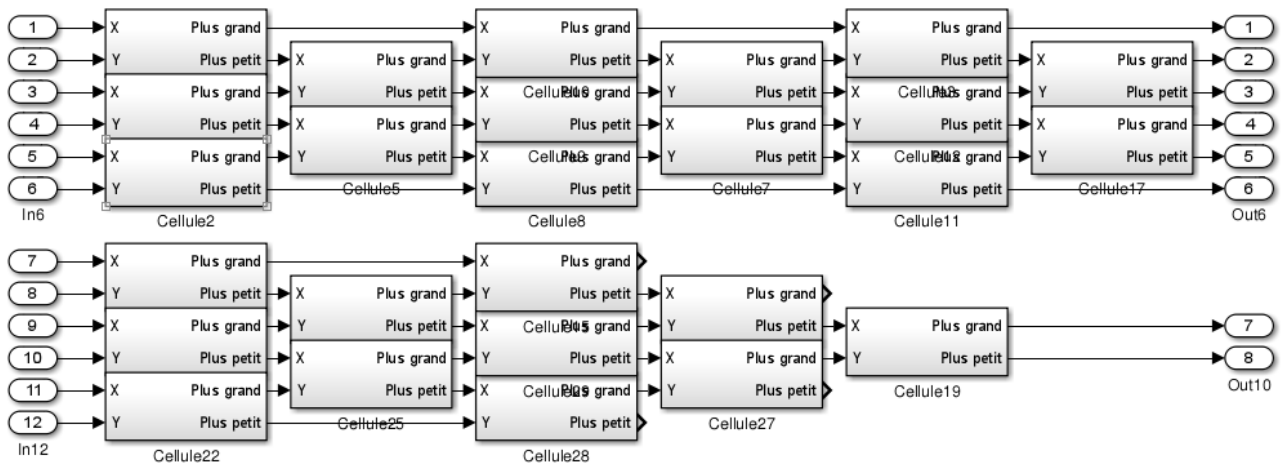


Illustration 19: Cellule de tri isolée, et assemblage non optimisé de cellules pour effectuer un tri complet sur 6 éléments. Dans le cas où seul l'élément médian nous intéresse, des cellules peuvent être retirées.



Le réseau de tri proposé comporte 32 éléments, et n'est pas optimisé. Il existe certaines topologies permettant d'effectuer un tri en utilisant moins de cellules, mais ici il a été décidé de ne pas partir à la recherche d'un réseau optimisé. Le réseau ayant une latence égale au nombre d'éléments à trier moins un et fonctionnant à la vitesse d'horloge, le tri est très rapide. Cependant, sa taille étant fixée à 32, il n'est pas judicieux de calculer l'angle sur 32 échantillons contigus. C'est pourquoi un compteur bouclant en entrée du réseau de tri effectue une décimation avant l'insertion dans le registre série/parallèle.

La latence introduite par cette méthode et celle nécessaire pour alimenter le réseau de tri, celle du réseau de tri lui-même, plus celle du bloc CORDIC. Dans le cas d'un réseau de tri de 32 éléments avec une décimation de 4 en entrée, on peut estimer le délai à $(4+1)*32$ plus le délai du bloc CORDIC lui-même. Ceci nous donne un peu plus de 150 coups d'horloge. La même remarque que pour la méthode précédente s'applique donc ici.

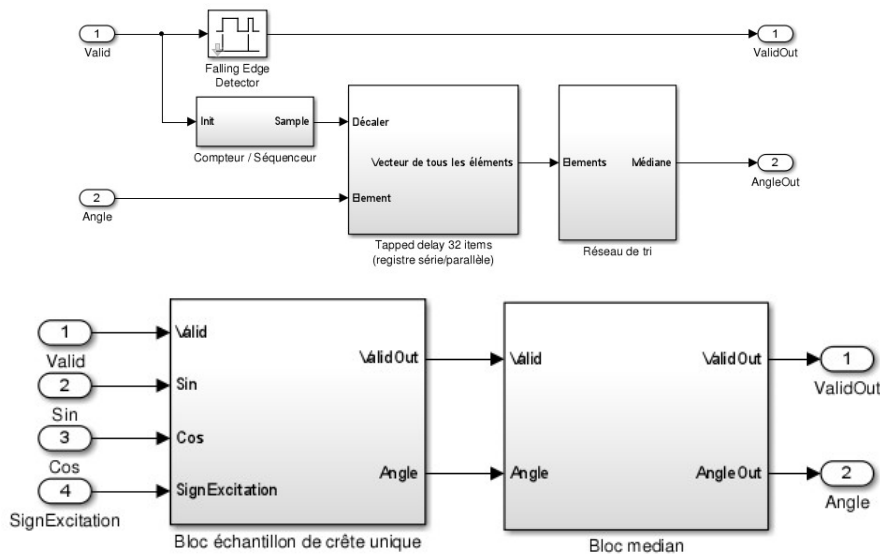


Illustration 20: Schéma général de fonctionnement de la méthode de médiane d'échantillons. Le bloc d'échantillon de crête unique a son entrée Valid à 1 lorsque le signal des retours atteint un certain seuil. ValidOut monte à 1 après le délai du bloc CORDIC, puis reste à 1 jusqu'à ce qu'on ne soit plus assez sur la crête. Lorsque celui-ci redescend, le bloc median émet une pulse de validité. L'échantillon médian des 32 derniers triés est alors renvoyé.

Méthode avec mediane de moyennes

Avec la séparation en sous blocs des trois méthodes de mesures implémentées, il est facile d'en dériver une quatrième issue de la méthode médiane. Dans cette méthode hybride, à la place de faire une simple décimation toutes les n valeurs d'angle, on calcule la moyenne des retours sur n échantillons, avec n petit, puis on effectue un tri médian sur les valeurs de l'angle.

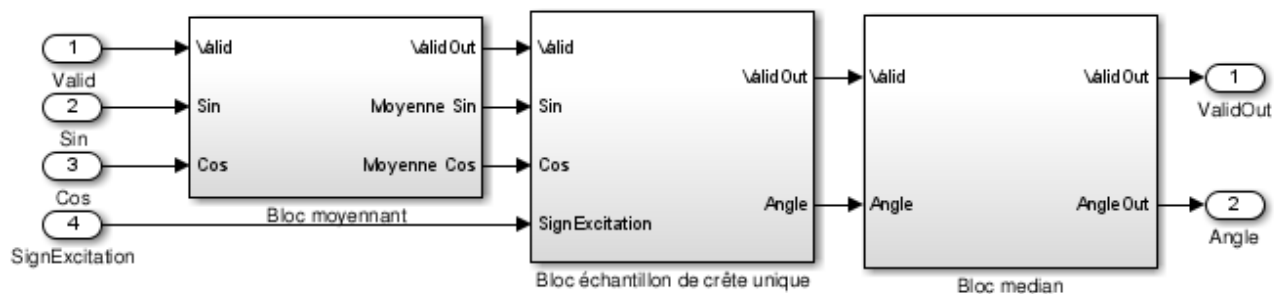


Illustration 21: Diagramme de la méthode hybride, medianes de moyennes. Cette méthode réutilise et combine quasiment tels quels les blocs issus des trois autres méthodes.

La latence introduite par cette méthode est l'addition de celle des trois blocs. Avec un réseau de tri réduit à 16 éléments, mais un moyennage sur 8 éléments en entrée, on arrive à environ $16 \cdot (8+1) + \text{le délai CORDIC}$. Ceci donne environ 160 coups d'horloge, à peu près à la même latence que la méthode précédente.

Méthode avec FFT

Cette méthode est très différente des autres méthodes présentées ici. Elle est basée sur une FFT. Voici les étapes que subissent les valeurs en provenance des ADC afin d'en extraire l'angle.

- Un signal complexe est généré à partir des retours, le cosinus étant considéré comme la partie réelle, le sinus comme la partie imaginaire.
- Une FFT est effectuée sur un certain nombre d'échantillons de ce signal. Simultanément, la même FFT est effectuée sur le signal d'excitation, exprimé sous forme complexe, tel que généré par le NCO d'excitation.
- Les valeurs de la FFT à la position correspondant exactement à la fréquence du signal d'excitation sont extraites des deux FFT.
- La différence de leurs arguments vaut l'angle actuel du résolveur.

La démonstration mathématique est disponible dans le papier parlant de cette méthode. En simulation dans un modèle Simulink uniquement, simple et séparé, cette méthode fonctionne, et fonctionne en effet plutôt bien.¹⁷

Cependant, après plusieurs tentatives, la modélisation DSP Builder a été un échec. L'angle mesuré était valide seulement une fois sur 4, comme s'il y avait un espèce de battement. La démonstration mathématique n'ayant pas été comprise en profondeur, la raison n'a pas été formellement identifiée. Plusieurs directions sont à explorer :

- Comme cette méthode nécessite d'effectuer une FFT sur l'onde d'excitation, est-ce que cette méthode de calcul renvoie toujours une valeur valable lors de déphasage entre l'excitation et les retours ?
- La différence entre la fréquence d'excitation (10 kHz) et celle de sampling (50 MHz) étant grande, quelle taille de FFT est nécessaire pour pouvoir bien isoler la fréquence d'excitation d'une éventuelle composante continue ?

L'investigation s'est arrêtée là, également pour une autre raison : La taille de FFT à effectuer, entre 1k et 8k points étant grande, le retard dans l'obtention de la valeur de l'angle sort de limites de l'acceptable à la vitesse de rotation maximale spécifiée. Il est d'ailleurs précisé dans le document source qu'une compensation de la position doit être effectuée à cause de la longueur des calculs avant d'obtenir un résultat valable. Ceci implique de garder trace de la vitesse instantanée, et dans l'idéal de connaître également le profil du mouvement. Or, comme nous partons du principe que nous ne connaissons pas le profil du mouvement, une telle compensation n'est simple à implémenter.

17 Voir modèle Simulink dédié, *SimulationDoubleFFT_RDC*

Résultats de simulation

Protocole de simulation

Les quatre premières méthodes présentées ont été implémentées. La simulation a été menée dans trois situations différentes, où deux paramètres ont été variés.

- Le bruit
- Activation ou non du préfiltrage en entrée

Tous les autres paramètres modifiables suivants n'ont pas été variés. La configuration de la PLL est la suivante :

Paramètres de la PLL

Taille du bus du filtre IIR	24	bits
Fréquence de coupure du filtre IIR	2	kHz
Décimation à l'entrée du filtre IIR	32	
Largeur de l'accumulateur du NCO de la PLL	24	bits
Largeur de bus du comparateur de phase, hors filtre IIR	16	bits
Coefficient proportionnel	$-5 \cdot 10^{-5}$	
Coefficient intégrateur	$-1 \cdot 10^{-8}$	

Table 9: Paramètres de la PLL pour le protocole de simulation

Les paramètres généraux ont été choisis comme suit :

Paramètres généraux		
Vitesse de rotation du résolveur	200	rad/s
Temps de simulation	1	tour
Fréquence d'excitation	10	kHz
Fréquence d'horloge :	50	MHz
Fréquence d'échantillonnage des ADC /DAC	50	MS/s
Valeur des retours à l'arrivée des ADC	1.9	Vpp max
Coefficient d'amortissement de l'offset DC	2^{-22}	
Offset DC sin	0	V
Offset DC cos	0	V
Paramètres de précision générale		
Précision des ADC	14	bits
Précision du DAC	14	bits
Taille de l'accumulateur du NCO d'excitation	24	bits
Paramètre de mesures		
Largeur de la fenêtre d'échantillonnage (centrée sur la crête)	$\pi/8$	rad
Nombre d'échantillons pour la méthode de moyenne	128	samples
Taille du réseau de tri de la médiane	32	samples
Nombre d'échantillons pour chaque moyennage de la méthode hybride	8	samples
Taille du réseau de tri de la méthode hybride	16	samples

Table 10: Paramètres généraux pour la simulation

Situations de tests

Les trois situations testées ont été les suivantes :

- **Situation 0** : pas de bruit ajouté sur les retours sin/cos du résolveur, pré-filtrage désactivé. Utilisée comme référence.
- **Situation 1** : pas de préfiltrage et bruit très important ajouté sur les retours
 - Bruit blanc centré sur 0, avec de 0.1 Vpp
 - Pulses aléatoires sur les deux retours de +1V ou -1V actives 0.5 % du temps. Ceci peut être représenté comme une forme de saturation sur les retours du à des impulsions parasites intenses.
- **Situation 2** : même bruit que précédemment, et préfiltrage passe-bas FIR d'ordre 100 avec point -3 dB à 20 kHz.

- **Situation 3** : cette situation, ajoutée par la suite, s'inspire des mesure de bruit effectuées au Cern. Le bruit blanc à une amplitude de 0.02 Vpp, et les pulses ont une amplitude de + 0.01 V ou – 0.01V, actives 0.1 % du temps. Le préfiltrage a été désactivé.

La valeur absolue de l'erreur entre l'angle réel et le résultat de chaque méthode a ensuite été analysée. La valeur maximum, moyenne, médiane et la déviation standard sur le tour complet ont ensuite été reportées dans le tableau ci-dessous. Les valeurs sont en radian. Pour rappel, la précision que l'on cherche à atteindre est de l'ordre de $2 \cdot 10^{-3}$ radians.

Méthode	Situation	Max	Moy	Median	Std dev
Crête unique-	0	244.57*10 ⁻⁶	88.546*10 ⁻⁶	86.464*10 ⁻⁶	50.219*10 ⁻⁶
	1	1.2987	36.962*10 ⁻³	31.585*10 ⁻³	58.823*10 ⁻³
	2	0.1950	13.585*10 ⁻³	6.6574*10 ⁻³	23.851*10 ⁻³
	3	18.625*10 ⁻³	6.8676*10 ⁻³	6.2249*10 ⁻³	4.0045*10 ⁻³
Moyenne	0	489.52*10 ⁻⁶	347.60*10 ⁻⁶	346.51*10 ⁻⁶	55.633*10 ⁻⁶
	1	92.810*10 ⁻³	11.407*10 ⁻³	6.6838*10 ⁻³	14.484*10 ⁻³
	2	89.964*10 ⁻³	10.903*10 ⁻³	7.1668*10 ⁻³	12.426*10 ⁻³
	3	6.0829*10 ⁻³	0.7089*10 ⁻³	0.5202*10 ⁻³	0.8141*10 ⁻³
Median	0	565.31*10 ⁻⁶	450.07*10 ⁻⁶	450.66*10 ⁻⁶	41.906*10 ⁻⁶
	1	110.64*10 ⁻³	12.255*10 ⁻³	9.9441*10 ⁻³	10.326*10 ⁻³
	2	152.38*10 ⁻³	10.093*10 ⁻³	6.7411*10 ⁻³	13.325*10 ⁻³
	3	10.702*10 ⁻³	2.2720*10 ⁻³	1.9012*10 ⁻³	1.7165*10 ⁻³
Hybride	0	582.27*10 ⁻⁶	418.13*10 ⁻⁶	416.77*10 ⁻⁶	50.006*10 ⁻⁶
	1	29.829*10 ⁻³	6.1305*10 ⁻³	5.4722*10 ⁻³	4.3073*10 ⁻³
	2	137.84*10 ⁻³	9.2871*10 ⁻³	6.5721*10 ⁻³	11.340*10 ⁻³
	3	3.5302*10 ⁻³	0.7345*10 ⁻³	0.6040*10 ⁻³	0.5818*10 ⁻³

Table 11: Précision de mesure des 4 méthodes implémentées suivant le niveau de bruit et l'activation ou non du préfiltrage. Les valeurs en vert représentent le meilleur résultat par situation.

Commentaires

Premièrement, on remarque que la situation de référence, **la situation 0**, rempli son rôle validateur est indique qu'il est théoriquement possible d'atteindre la précision demandée avec chacune des méthodes. Si on compare cette précision obtenue avec celle des ADC, on remarque que l'on ne peut pas arriver à beaucoup mieux : la précision des ADC est de $6 \cdot 10^{-6}$, et ici on arrive au mieux à une erreur maximale minimum de $2.5 \cdot 10^{-6}$. On reste au mieux un ordre de grandeur en dessous de la précision que l'on aimerait atteindre (pour la méthode de l'échantillon de crête unique), et au pire un demi ordre en dessous seulement pour la méthode hybride. Chaque méthode introduit un décalage, d'où le fait que la méthode la plus rapide, l'échantillon de crête unique, a une meilleure précision que toutes les autres, alors que la méthode hybride, la plus lente, à la moins bonne précision.

La situation 1 introduit un bruit très important, et dans ce cas-là, la précision demandée n'est évidemment pas obtenue. On remarque que la méthode de l'échantillon de crête unique est très sensible au bruit pulsé: si l'échantillon considéré tombe en même temps qu'un pulse, le résultat devient complètement imprévisible. Les trois autres méthodes se comportent mieux, avec mention spéciale à la méthode Hybride, qui obtient le meilleur résultat. C'est aussi dans cette situation que l'on peut observer les points faibles de différentes méthodes : la méthode moyennante ne permet pas d'éliminer le bruit pulsé, les pulsations sont prises en compte dans le calcul de la moyenne, et le résultat final est mauvais dans le cas des cas de bruit extrême. Par contre dans le cas d'un bruit aléatoire uniquement, comme testé dans certaines simulations préliminaires non représentées ici, cette méthode est la plus efficace. La méthode médiane quant à elle, avec seulement 32 échantillons pris en compte, n'a pas assez d'échantillons pour permettre d'éliminer le bruit blanc, mais par contre se débarrasse des pulses. La méthode hybride tend à utiliser les avantages des deux méthodes, d'où sa performance ici.

En considérant **la situation 2**, on voit tout de suite que le pré-filtrage d'entrée, tel que paramétré dans ce cas là (ordre 100, coupure à 20 kHz), n'améliore significativement la précision que de la méthode de l'échantillon de crête unique. La méthode hybride perd même légèrement en efficacité lorsque le préfiltrage est activé. La cause de ceci n'est pas très claire. Il est possible que le filtre FIR déforme trop le signal, ce qui ne permet pas ensuite d'effectuer un moyennage ou une médiane aussi bien que celui-ci désactivé. Ceci prouve surtout que les méthodes choisies sont déjà par elles-mêmes résistantes au bruit. Pour les prochains tests, il sera donc désactivé.

La situation 3, avec des conditions de bruit réalistes, sans trop de pulses, nous montre que la méthode moyennante nous offre déjà de très bons résultats dans la plupart du temps. Son erreur maximale reste cependant élevée, probablement dans le cas où une des pulses a été échantillonnée. La méthode hybride se comporte à peine moins bien que la méthode moyennante dans le cas général, et son erreur maximale est bien plus faible. La méthode de la médiane a une précision plus mauvaise en moyenne et dans le pire des cas, probablement à cause du faible nombre d'échantillons pris en compte. Cette simulation qui se veut proche de la réalité laisse présager qu'avec un résolveur parfait, il est possible d'attendre la précision demandée.

Notons aussi que la simulation d'un tour complet pour les 4 méthodes en parallèle est extrêmement long, de l'ordre de la dizaine d'heure sur ma machine de bureau. Ceci est dû principalement à la taille du réseau de tri de la méthode médiane de 32x16 cellules, que DSP builder met beaucoup de temps à simuler. Plus de simulations auraient été souhaitable. Ceci sera possible dans un temps plus raisonnable par la suite une fois qu'une méthode spécifique aura été sélectionnée.

Implémentation dans la FPGA

Les prochains tests ont été effectuée après implémentation dans la FPGA. La précision de chaque méthode a été testée avec une référence de position angulaire externe, un encodeur optique incrémental Heidenhain RON 225/9000. Les paramètres de configuration du design sont les mêmes que pour la simulation, sauf pour les paramètres de la PLL. En effet, un offset DC est présent sur l'entrée d'un ADC. Or il faut du temps pour que le compensateur d'offset fasse son effet. Pendant ce temps-là, la PLL n'arrive pas à se synchroniser et peut même voire son incrément grandir de façon incontrôlée. Pour éviter ceci, le coefficient de l'intégrateur du feedback de la PLL a été mis à 0. Etant donné qu'il n'il y a pas de compensation de fréquence à effectuer, la compensation proportionnelle suffit. La taille du filtre IIR a également été augmentée de 24 à 32 bits, pour être sur que sa qualité de filtrage ne soit pas un facteur limitant.

Importation dans Quartus II

Lors de chaque simulation dans DSP Builder, si l'on laisse la génération de hardware activée, une arborescence de dossiers et de fichiers VHDL est créée. Cette arborescence respecte la hiérarchie des blocs telle que créée sous Simulink. Cependant, pas de projet Quartus n'est automatiquement généré.

La création d'un projet Quartus devant être faite séparément, un outil dédié fourni sur le CD de la carte de développement¹⁸ a été utilisé. Cet outil permet de choisir quels périphériques de la carte on désire utiliser afin de créer un projet minimal ayant déjà l'assignation des pins effectuée pour les périphériques choisis. Il connaît également les périphériques compatibles avec cette carte, et assigne directement les pins pour l'utilisation avec la carte de DAC/ADC. Le résultat est un projet minimal avec les pins assignées, avec un top en Verilog dans lequel tous les signaux des périphériques que l'on a choisi sont déjà déclarés.

Ensuite, les fichiers VHDL générés par DSP Builder doivent être ajoutés au projet. Etant donné que ces fichiers utilisent des bibliothèques de DSP Builder, celles-ci doivent également être ajoutées au projet.¹⁹ Une fois l'entité « top » exportée instanciée dans le « wrapper » Verilog, la synthèse peut avoir lieu.

¹⁸ Terasic System Builder, répertoire « tools »

¹⁹ [quartus install dir]/dspba/libraries/vhdl/base/dspba_library*.vhd

Utilisation des ressources

Entité	Elements Combinatoires	Registres	Bits de mémoire	DSP Blocks
Methode echantillon de crête unique	1570	1023	0	0
Méthode moyennante	1636	1066	0	0
Méthode Médiane	19157	9486	0	0
Méthode Hybride	5845	3659	0	0
Excitation				
NCO excitation	208	307	7168	4
Préfiltrage				
Filtre FIR ordre 100	3581 (x2)	5593 (x2)	0	0
PLL				
NCO	1594	1317	0	24
Comparateur de phase	203	148	0	6
Filtre IIR	1390	1750	0	8
Dispatch Prop/Int	611	417	0	18
Autres				
Compensateur d'offset	526	488	0	16

Table 12: Utilisation des ressources du design de test pour la FPGA de la DE2-115

Pour le design de test complet, y compris la logique nécessaire au fonctionnement de SignalTap, la FPGA est utilisée à 50 % pour les éléments logiques, 34 % pour les éléments DSP et 30 % pour la mémoire.

Résultats au banc de test

Montage de test

Le banc de test est composé des éléments cités dans la première partie du rapport (carte de développement, convertisseurs ADC/DAC, carte d'adaptation analogique, résolveur Rotasyn). La valeur de l'angle de référence est fournie par un encodeur optique incrémental de grande précision monté sur le même axe que le résolveur. Un moteur DC dont on peut faire varier la vitesse complète le banc de test.

L'encodeur optique renvoie 3 signaux :

- Deux signaux pulsés de forme d'onde carrée, en quadrature, avec un rapport cyclique de 50 %
- Un signal actif bas envoyant une pulse lorsque l'encodeur a effectué une rotation complète.

L'encodeur optique possède 18000 incréments (9000 lignes) par tour, ce qui garanti une précision de 5 centièmes de degrés. L'interfaçage dans la FPGA s'est fait via un design simplifié, qui n'utilise qu'un seul des deux signaux de retour en plus du signal de révolution complète. Le sens de rotation n'est donc pas détectable. Si besoin, il faut inverser la polarité du moteur avant d'acquérir les données afin que la rotation soit dans le même sens pour les deux dispositifs de mesure.

L'encodeur étant incrémental, il est nécessaire de lui attribuer une référence afin de préciser quand la valeur 0 est atteinte. Le plus simple est de manuellement attribuer la valeur 0 lorsque le résolveur est immobile et sur son zéro de référence. Alors, un système de compteur, activé par la pression manuelle d'un bouton, compte ensuite une seule fois jusqu'à la première pulse de référence sur le rythme d'un des canaux de l'encodeur. Ceci afin d'introduire un biais dans la mesure de l'angle, ce qui permet de synchroniser les valeurs de l'encodeur et du résolveur une seule fois pour toute la manipulation. La synchronisation ne peut se faire qu'une seule fois, il faut redémarrer la carte pour effectuer une nouvelle calibration. De plus, si l'on fait tourner le banc de test à l'envers, même de quelques dixièmes de degrés, l'interface de l'encodeur ne détectant pas le sens de rotation, la synchronisation est perdue. Les détails de la procédure de calibration sont les suivants :

- Afficher la valeur de l'angle sur leds rouges (SW3 à 5 en bas, SW 15 et 16 en haut)
- Tourner le résolveur jusqu'à atteindre l'angle le plus faible possible
- Reseter la carte (SW0)
- Presser le bouton de calibration (SW1)
- Tourner d'un geste rapide et régulier l'axe du banc de test sur un tour entier dans le sens de progression positif de l'angle.

Résultats

Mesure d'angle statique

Le résolveur monté sur le banc de test a été grossièrement ajusté à aux 4 valeurs d'angle suivantes. 4K points par méthode ont ensuite été capturés avec SignalTap. Après avoir soustrait la la moyenne de la série à chacun de ces points, leur valeur absolue a été calculée. Ensuite la série résultante a été traitée comme pour les résultats de simulation.

Méthode	Situation	Max	Moy	Median	Std dev
Crête unique-	Immobilé 0	$28.245 \cdot 10^{-3}$	$8.4228 \cdot 10^{-3}$	$7.6599 \cdot 10^{-3}$	$5.6112 \cdot 10^{-3}$
	Immobilé 45	$29.427 \cdot 10^{-3}$	$8.6627 \cdot 10^{-3}$	$7.5604 \cdot 10^{-3}$	$6.0925 \cdot 10^{-3}$
	Immobilé 90	$28.481 \cdot 10^{-3}$	$7.7040 \cdot 10^{-3}$	$6.6916 \cdot 10^{-3}$	$5.4728 \cdot 10^{-3}$
Moyenne	Immobilé 0	$4.7035 \cdot 10^{-3}$	$1.1557 \cdot 10^{-3}$	$1.2233 \cdot 10^{-3}$	$861.18 \cdot 10^{-6}$
	Immobilé 45	$6.5533 \cdot 10^{-3}$	$2.3381 \cdot 10^{-3}$	$2.2968 \cdot 10^{-3}$	$1.3009 \cdot 10^{-3}$
	Immobilé 90	$19.417 \cdot 10^{-3}$	$2.0884 \cdot 10^{-3}$	$2.1139 \cdot 10^{-3}$	$1.3197 \cdot 10^{-3}$
Median	Immobilé 0	$22.190 \cdot 10^{-3}$	$3.1151 \cdot 10^{-3}$	$2.2316 \cdot 10^{-3}$	$3.5745 \cdot 10^{-3}$
	Immobilé 45	$20.012 \cdot 10^{-3}$	$3.3730 \cdot 10^{-3}$	$2.9377 \cdot 10^{-3}$	$2.4836 \cdot 10^{-3}$
	Immobilé 90	$12.429 \cdot 10^{-3}$	$3.1760 \cdot 10^{-3}$	$2.6632 \cdot 10^{-3}$	$2.2430 \cdot 10^{-3}$
Hybride	Immobilé 0	$18.032 \cdot 10^{-3}$	$1.5485 \cdot 10^{-3}$	$1.0338 \cdot 10^{-3}$	$2.5058 \cdot 10^{-3}$
	Immobilé 45	$7.5301 \cdot 10^{-3}$	$2.3632 \cdot 10^{-3}$	$2.2663 \cdot 10^{-3}$	$1.3939 \cdot 10^{-3}$
	Immobilé 90	$8.3994 \cdot 10^{-3}$	$2.0059 \cdot 10^{-3}$	$2.0529 \cdot 10^{-3}$	$1.1242 \cdot 10^{-3}$

Table 13: Mesure sur le banc de test, immobile, pré-filtrage désactivé. Les valeurs sont en radians et indiquent la variation de la mesure reçue. En vert, le meilleur résultat suivant l'angle.

Le but de cette mesure est d'estimer la part de bruit dans la mesure. On'utilise pas l'encodeur optique, donc on a pas de référence pour l'angle et par conséquent on ne peut pas détecter d'erreur systématique.

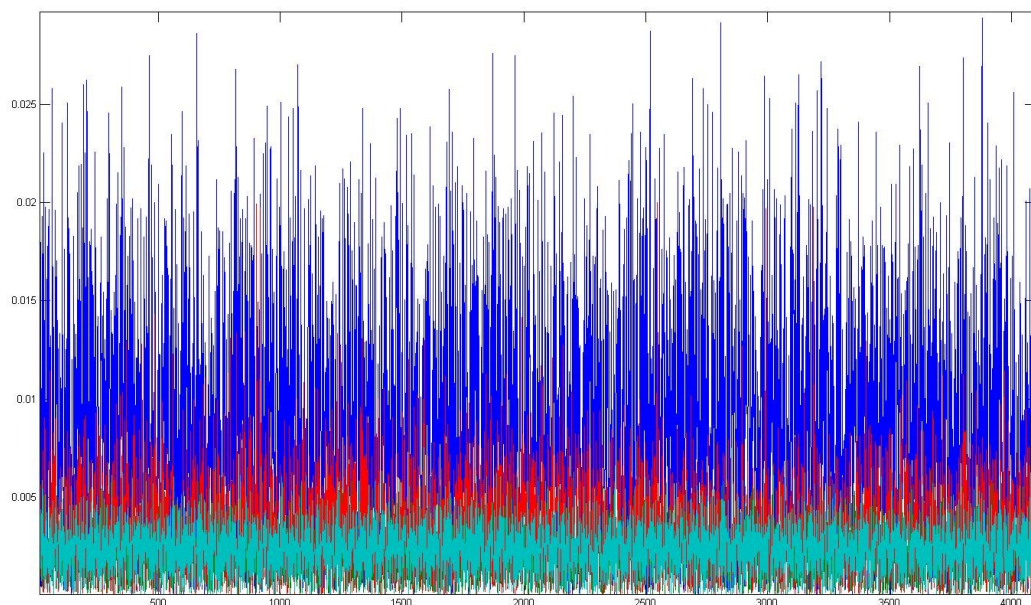


Illustration 22: Variation de l'erreur sur 4k échantillons pour un angle de 45°. En bleu foncé, méthode de l'échantillon de crête unique, en rouge, méthode médiane, en bleu clair méthode hybride. En vert, la plupart du temps en arrière plan car de plus faible amplitude, la méthode moyennante.

Mesure d'angle à 200 rad/s

Analyse sur 4k points à 20'000 samples/secondes, ce qui donne environ 5 tours. La vitesse réelle du moteur est de 167 rad/s à 12 V. N'ayant pas sous la main une deuxième alimentation réglable, les tests seront effectués à cette vitesse là. Les valeurs ci-dessous sont été calculée sur les différences absolues entre la valeur retournée par l'encodeur et celle retournée par le résolveur. La calibration manuelle n'étant pas extrêmement précise, il a fallu décaler les deux ensembles de données à comparer. Afin de ne pas biaiser le résultat, la méthode de l'échantillon de crête unique, qui n'introduit que peu de latence, a servi de référence pour le décalage à effectuer sur les autres ensembles de mesures.

Méthode	Situation	Max	Moy
Crête unique	Brut	1.7730	$29.466 \cdot 10^{-3}$
Moyenne	Brut	$33.570 \cdot 10^{-3}$	$11.492 \cdot 10^{-3}$
Median	Brut	$44.876 \cdot 10^{-3}$	$12.447 \cdot 10^{-3}$
Hybride	Brut	$42.847 \cdot 10^{-3}$	$11.900 \cdot 10^{-3}$

Table 14: Mesures au banc de test, à 167 rad/s. Les valeurs, en radian, représentent la différence entre la valeur du résolveur et celle de l'encodeur optique.

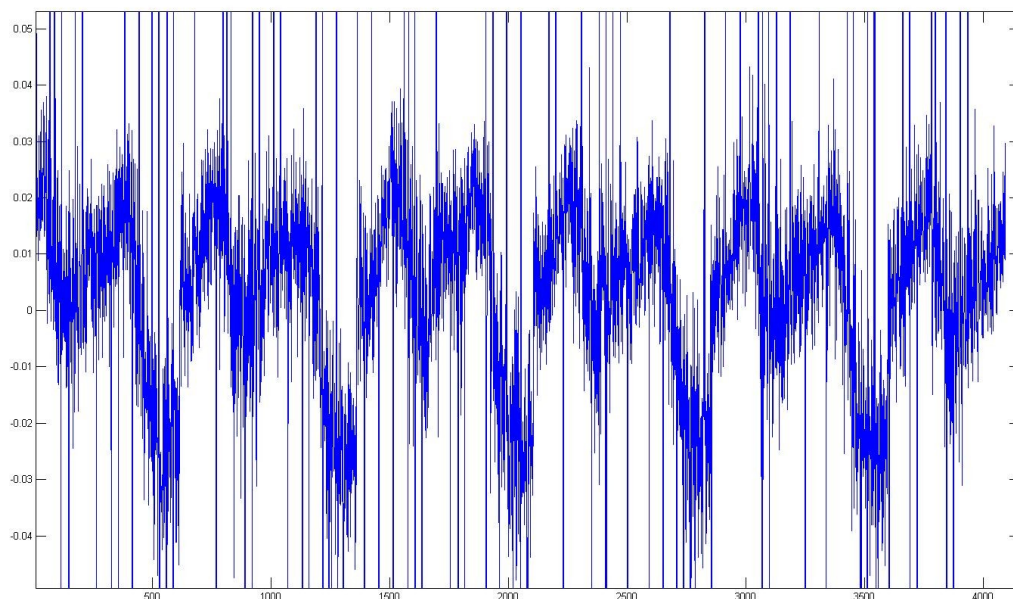


Illustration 23: Erreur absolue encodeur vs résolveur, échantillon de crête unique à 167 rad/s

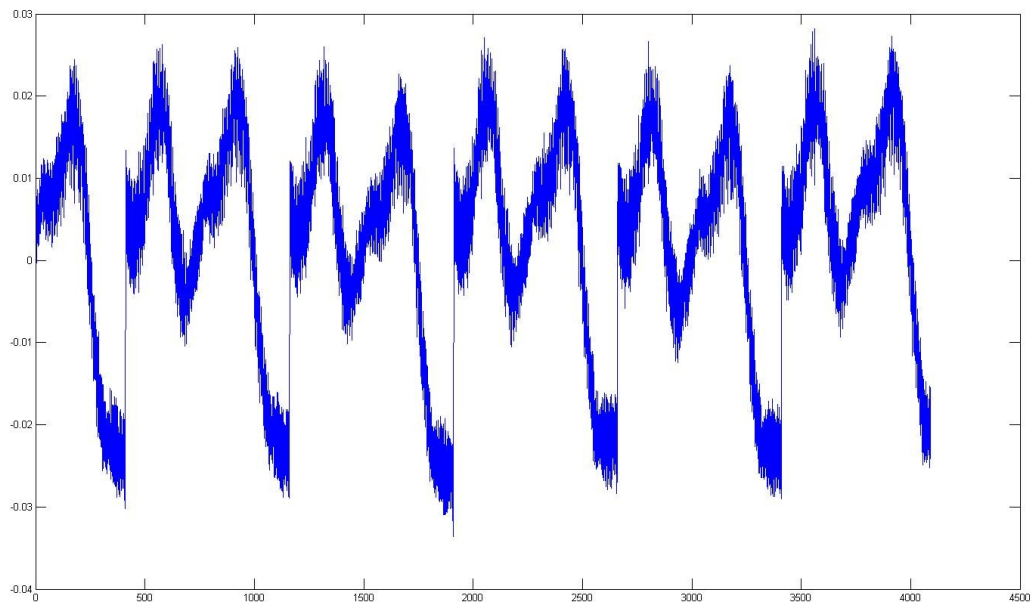


Illustration 24: Erreur absolue encodeur vs résolveur, méthode moyennante à 167 rad/s, 5 tours.

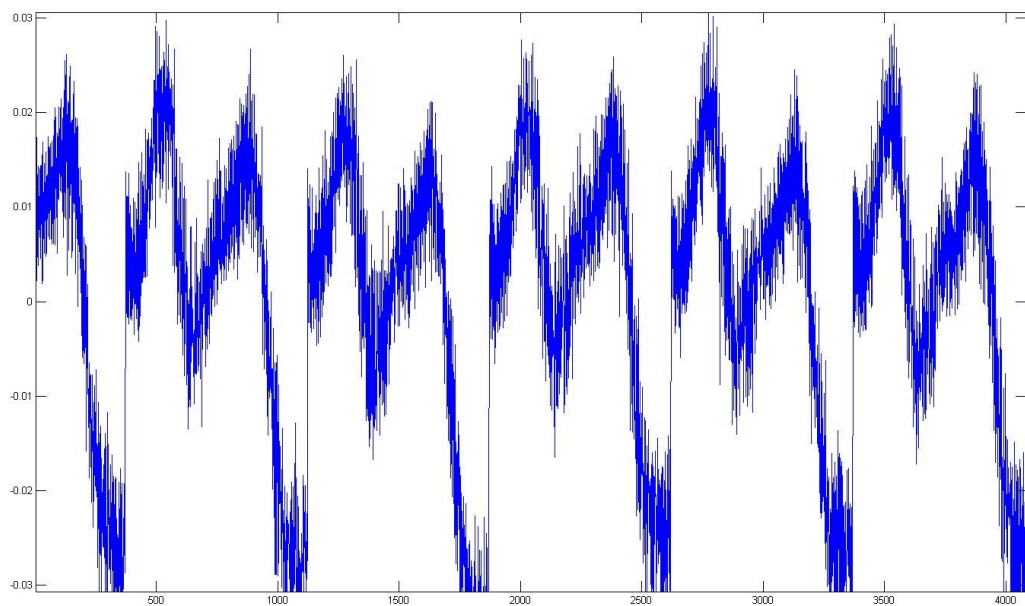


Illustration 26: Erreur absolue encodeur vs résolveur, méthode médiane à 167 rad/s, 5 tours.

Commentaires et discussion

Beaucoup de choses sont à remarquer de ces résultats. Premièrement, les mesures d'angles immobiles relèvent une précision comparable bien que environ deux fois plus mauvaise par rapport à ce qu'on a obtenu en simulation avec la situation N°3. Cependant, avec la méthode moyennante ou hybride, la précision de plus ou moins $2 \cdot 10^{-3}$ rad est respectée. Les trois méthodes les plus élaborées, moyenne, médiane et hybride ont des précisions très proches. La méthode de l'échantillon de crête unique quant à elle reste comme prévu loin derrière avec une précision 3 à 6 fois moindre. Néanmoins, une mesure sur plus de points aurait été souhaitable afin de pouvoir départager les performances de la méthode hybride de celle de la méthode moyennante dans le cas de perturbations pulsées temporaires.

Au niveau utilisation de la FPGA par contre, les méthodes offrent des occupation de ressources très inégales. La plus légère, l'échantillon de crête unique, constitué essentiellement d'un bloc CORDIC seul, utilise déjà environ 1700 éléments combinatoires pour 1000 registres. Si on lui ajoute un bloc moyennant, on utilise 100 éléments combinatoires de plus, ce qui est peu. Par contre, si on ajoute un réseau de tri 32 éléments, l'utilisation croît d'environ 18'000 éléments logiques et 8'000 registres, ce qui est énorme compte tenu de la médiocre performance de cette méthode. La méthode hybride, utilisant un réseau plus petit de 16 éléments seulement, rajoute 4000 éléments logiques et environ 2500 registres. Cela reste une facture salée, compte tenu de sa performance à peine meilleure que celle de la méthode moyennante.

Pour les éléments annexe, on remarque que les filtres FIR d'entrée, démontrés comme étant inutiles dans leur forme actuelle, utilisent aussi énormément de logique. Pour la PLL, l'utilisation de blocs logiques reste modeste : 3000 éléments logiques et 3000 registres. Par contre, l'utilisation de blocs DSP est élevée, avec 60 éléments. Ceci est principalement dû aux gains du filtre IIR.

Pour ce qui est des tests avec le résolveur optique, la précision atteinte est d'environ un ordre de grandeur plus faible que lorsque l'angle est immobile. Cette perte de précision ne peut être imputée au bruit sur le signal, on remarque que son niveau ne change pas de manière significative par rapport à celui déjà présent sur le résolveur lorsqu'il est immobile. Par contre, sur les graphiques, une erreur systématique est clairement visible. Elle se répète à l'identique sur les 5 tours effectués par le résolveur. La précision de 1° annoncée par le constructeur est bien visible ici. Le profil de cette erreur systématique est identique, peu importe la méthode de mesure utilisée. Elle est probablement spécifique à chaque résolveur, mais une fois profilée, elle pourra être retirée.

Test sur le terrain

Contexte

Lors de la visite au Cern le 17 juillet, des mesures ont été effectuées avec l'implémentation telle qu'elle était à ce moment là. Le banc de test a été utilisé avec les câbles définitifs qui étaient déjà en place sur site. Les trois méthodes de mesures alors implémentées, échantillon de crête unique, moyenne et médiane, ont été testées sur deux différentes longueur de câble. Malheureusement, l'enconneur optique n'ayant pas encore été interfacé, il n'il y pas de référence externe fiable de position.

Néanmoins, ces mesures ont été analysées afin d'en extraire les informations suivantes :

- Profil et intensité du bruit sur les câbles de retour
- Estimation du déphasage entre l'excitation et les retours
- Estimation de la stabilité de la mesure d'angle

Les signaux ont été acquis directement via les convertisseurs ADC, et sont donc exactement tels qu'il sont à l'entrée du design.

Résultats

Bruit de fond

Le bruit de fond a été mesuré dans deux situations distinctes : lorsque le resolver est débranché des câbles²⁰ et lorsque le resolver est branché mais immobile.²¹

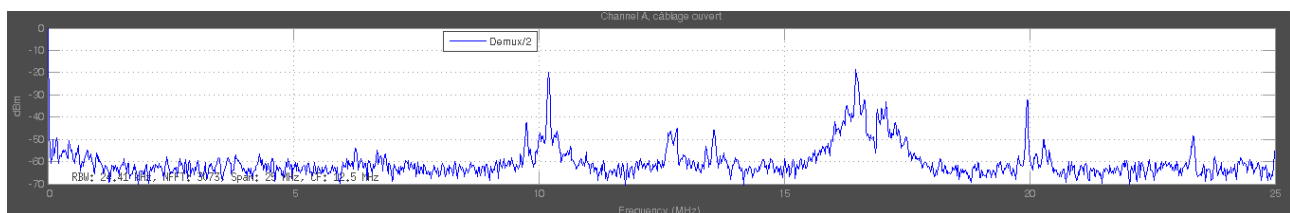


Illustration 27: Décomposition de fourrier du bruit de fond, resolveur débranché (circuit ouvert)



Illustration 28: Décomposition de fourrier du bruit de fond, résolveur branché et immobile (circuit ouvert). L'angle du resolver est tel qu'un des secondaires est au maximum, alors que l'autre est au minimum. L'illustration de gauche représente un zoom sur les basses fréquences de la décomposition de fourrier du retour ayant son amplitude maximale, afin de visualiser le rapport signal bruit entre la fréquence d'excitation et le bruit résiduel.

20 Source : SignalTap_3Methods_Inputs_50MHz_180m_cable_ouvert_sans_resolver.txt

21 Source : SignalTap_3Methods_Inputs_50MHz_180m_after_gain_chage_2.txt

La première remarque sur la décomposition fréquentielle du bruit est que le bruit est similaire entre les deux retours mais son intensité n'est pas identique dans tout le spectre, et varie suivant le cas où le résolveur est branché ou pas.

On remarque un pic à 10 MHz, et trois autres entre 16 et 21 MHz qui se détachent clairement du bruit de fond ambiant. Ceci est plutôt étrange, étant donné le préfiltrage analogique à 10 MHz appliqué sur les deux retours. Ces trois pics sont présents aussi bien lorsque le circuit est ouvert que lorsque le résolveur est branché. Lorsque le résolveur est branché, celui-ci se transforme même en un plateau s'étalant sur plusieurs MHz. Leur origine est inconnue.

Pour ce qui est du rapport signal bruit entre la fréquence d'excitation, on arrive à une estimation d'environ 50 dBm, probablement sur-estimé, car la précision de la FFT utilisée pour cette mesure n'est pas assez bonne pour clairement faire la différence entre le 10 kHz de l'excitation et l'éventuelle composante continue.

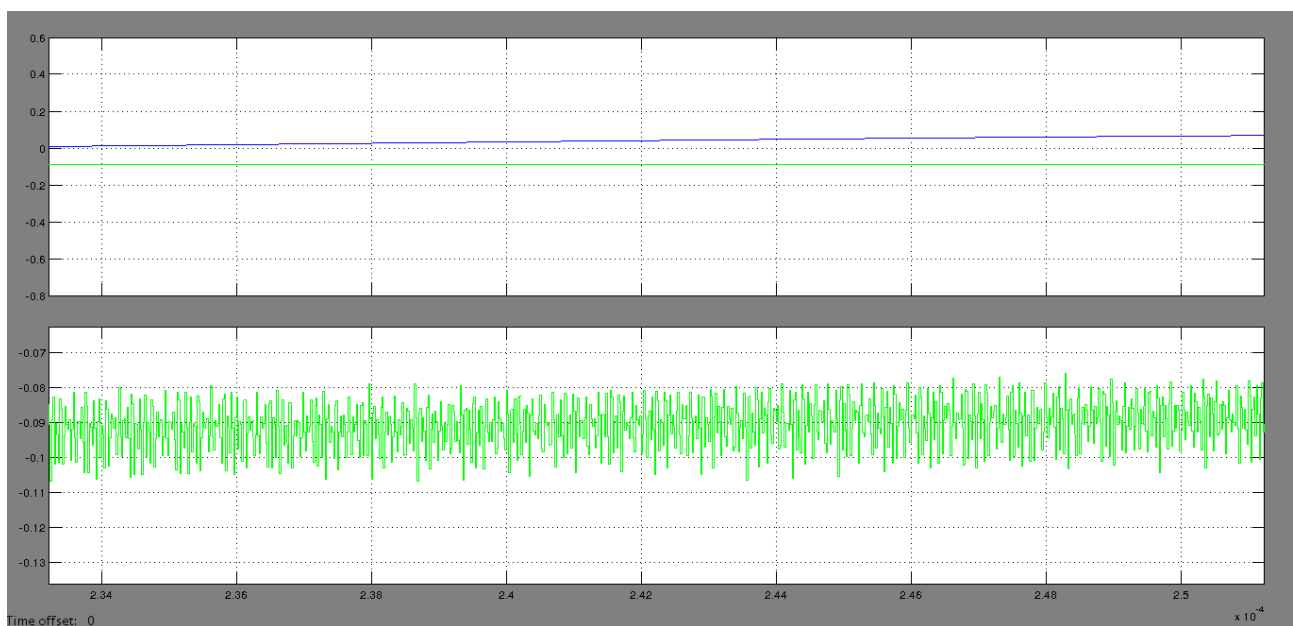


Illustration 29: Bruit de fond, dans le domaine temporel, resolver immobile. La première paire de mesures représente la moyenne du signal, la deuxième représente le signal brut, sur une courte période de temps afin d'estimer précisément l'amplitude du bruit sur les retours.

En analysant dans le domaine temporel cette-fois-ci, on retrouve l'offset DC déjà observé lors des tests sur la FPGA. L'amplitude du bruit est de 0.2 Vpp. En considérant que l'amplitude de la fréquence d'excitation est en full-range sur les ADC (2 Vpp), on peut estimer le rapport signal bruit à 40 dBm au mieux, lorsque le retour est à son maximum.

Déphasage

Le déphasage, mesuré sur un scope Simulink pour la longueur de câble maximale de 260 m²², est égal à environ $0.8 \cdot 10^{-5}$ s, ce qui équivaut à environ 14° à 10 kHz.

Stabilité de la mesure de l'angle

Pour estimer la stabilité de l'angle, on considère la différence de mesure entre deux mesures successives.²³ Le résolveur étant en mouvement, on observera une variation constante de l'angle, autour de laquelle oscillera un bruit.

²² Source : SignalTap_3Methods_Results_20kHz_264m_200rad_3.txt

²³ Source : SignalTap_3Methods_Results_20kHz_264m_200rad_3.txt

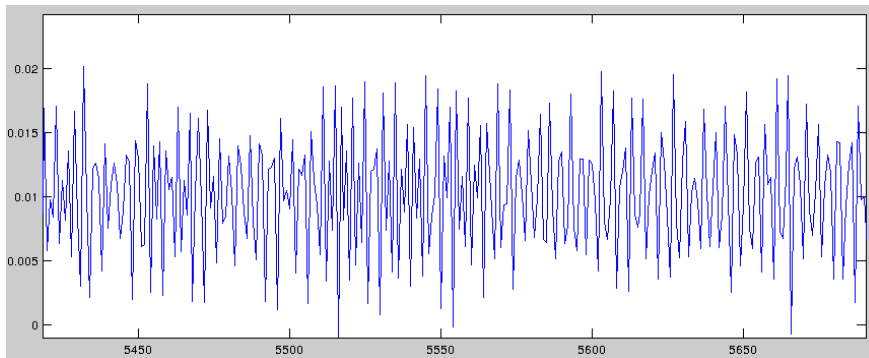


Illustration 31: Variation de l'angle, en radian, entre deux points successifs lors de la mesure sur site. Une seule des méthodes a été représentée ici. Le préfiltrage en entrée ayant en effet été activé, peu de variations entre les trois méthodes de mesures peuvent être observées.

Dans le graphique ci-dessus, on observe une variation dans la mesure de l'angle d'environ $\pm 10 \cdot 10^{-3}$ degrés.

Discussion

Commentaires sur les résultats obtenus

La simulation nous laissait entrevoir la possibilité d'arriver facilement à la précision demandée de $\pm 2 \cdot 10^{-3}$ rad, même en condition de bruit crédible. Les méthodes implémentées ont montré leur bonne tenue face au bruit en simulation. Cependant, lors des tests physiques, il s'est avéré bien plus délicat d'obtenir les mêmes résultats, pour plusieurs raisons.

- Le résolveur testé en simulation est un modèle idéal, alors que le résolveur réel ne l'est pas. Sa précision lorsqu'il est immobile n'est pas en cause, mais sans table de calibration, il n'est pas possible d'atteindre une meilleure précision que $\pm 1^\circ$.
- Le bruit est difficilement gérable avec le banc de test. En effet, certaines parties des connecteurs et câbles ne sont pas blindés. Il est également difficile de comprendre l'impact de la mise à la terre des différents éléments du banc de test.

Au final, lorsque le banc de test est statique, on arrive à une précision d'environ $2 \cdot 10^{-3}$ rad dans la majorité, avec le pire écart enregistré à $8 \cdot 10^{-3}$. Lorsque le banc de test est en mouvement, l'erreur augmente d'un ordre de grandeur. Mais cette erreur est essentiellement systématique et sur les graphiques le bruit du signal ne semble pas augmenter substantiellement.

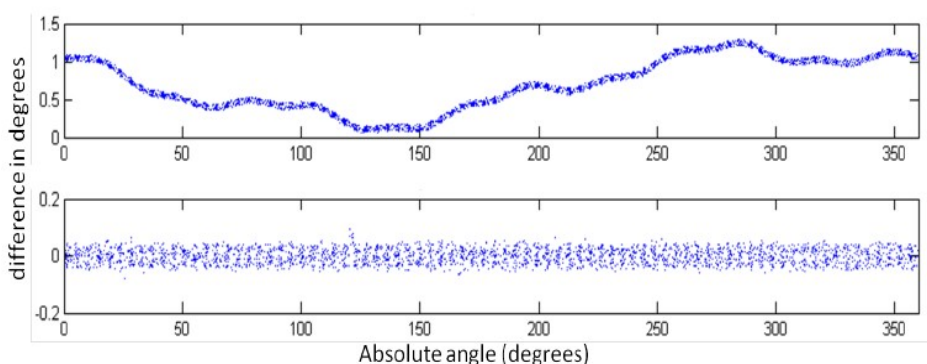


Illustration 32: Calibration et mesure de la précision du résolveur dans le cadre d'une étude préliminaire sur le BWS.

Dans un travail préliminaire consacré au design de l'actuateur du BWS, les auteurs ont utilisé un résolveur afin de contrôler le moteur d'un banc de test. A l'aide d'une calibration du résolveur, ils sont arrivés à une précision de $\pm 1 \cdot 10^{-3}$ rad. Sauf erreur, une puce de mesure commerciale avait été utilisée. La précision obtenue dans le cadre de ce travail s'approche déjà beaucoup de celle que l'on peut obtenir avec des puces commerciales, mais pour le moment la précision de mesure n'est pas encore un argument valide en faveur de l'utilisation d'une FPGA pour réaliser cette tâche.

Pour ce qui est du choix de la méthode de mesure, la méthode moyennante tout comme la méthode hybride se sont avérées les meilleures dans tous les cas. La méthode purement médiane n'est pas plus précise, même avec un réseau de tri important. Comme le bruit s'avère surtout être un bruit aléatoire plutôt que des pulsations, un moyennage s'avère déjà proche de l'optimum. Cependant, l'avantage de la méthode hybride reste qu'en cas de bruit pulsé dans la fenêtre d'échantillonnage, il n'aura que peu d'impact, alors qu'il aura de toutes manières un impact sur le résultat d'une méthode purement moyennante. Des méthodes implémentées, c'est personnellement sur cette méthode uniquement que je conseillerais de continuer à travailler.

Le préfiltrage en entrée, dans sa forme actuelle très sélectif, ne semble pas être une bonne idée. En simulation du moins, son activation n'apporte aucune amélioration de précision, sauf sur la méthode de l'échantillon de crête unique.

Améliorations possibles et suite du travail

En l'état actuel, une marge de progression est possible autant sur la précision des mesures que sur le poids du design dans la FPGA. La prochaine étape serait de sélectionner la méthode hybride et de mener des mesures plus poussées sur sa précision sur le banc de test, en faisant varier la taille du réseau de tri et le nombre d'échantillons à moyenner. De plus, le réseau de tri étant petit dans cette méthode, il existe des solutions optimisées courantes pour des réseaux de taille jusqu'à 16. Il serait donc simple d'économiser beaucoup de ressource FPGA de cette manière.

La table de calibration du résolveur devrait également être établie afin de pouvoir vérifier le bon comportement de cette méthode une fois le résolveur en mouvement. Une régression linéaire pourra être utilisée pour remplir une LUT. Son interfacement dans la FPGA sera extrêmement simple via DSP Builder.

Si le filtrage en entrée FIR devrait être conservé, il faudrait également essayer plusieurs fréquences de coupure possible moins sélectives afin confirmer ou de réfuter définitivement son inutilité.

Pour ce qui est de la PLL utilisée pour créer la fenêtre d'échantillonnage, sa faisabilité et son aspect pratique sont confirmés. Néanmoins, son utilisation relativement élevée de ressources FPGA, additionné au fait que dans l'implémentation finale la FPGA générera elle-même son signal d'excitation mitigent le choix de son utilisation. De plus, son réglage s'avère difficile, et sa fiabilité dépend de beaucoup de facteurs. Si le déphasage excitation/retours est connu à l'avance et est démontré comme étant invariant, celle-ci pourrait être remplacée par un tampon de données en RAM. Si la place sur la FPGA ne manque pas, c'est quand même un bon choix de la conserver, mais dans ce cas il faudrait lui ajouter un mécanisme de contrôle.

Enfin, pour ce qui est de la compensation des offsets en entrée, son utilité s'est avérée vitale. Mais il existe probablement des méthodes plus élaborées et plus rapides pour enlever ces offsets qu'un simple filtre digital RC. Une amélioration de ce bloc-ci pourrait considérablement baisser le temps nécessaire au système après démarrage avant de produire des mesures correctes en cas d'important offset DC.

Conclusion

Le but initial de ce projet était de développer une interface pour résolveur magnétique qui puisse mesurer un angle de manière fiable, avec une précision de l'ordre de $2 \cdot 10^{-3}$ rad, soit 0.1° . En comparant et sélectionnant des méthodes de mesure tolérantes au bruit, cette précision est déjà atteinte lorsque le résolveur est immobile. L'interfaçage de l'encodeur optique devrait permettre de construire une table de calibration afin de pouvoir généraliser cette précision lorsque le résolveur est en mouvement.

Personnellement, j'ai eu beaucoup de plaisir à travailler sur ce projet, qui m'a beaucoup apporté. Le domaine du traitement de signal m'était complètement étranger avant le début de ce travail, et le fait de le découvrir tout en pouvant appliquer au fur et à mesure les connaissances apprises est la meilleure manière d'aborder un nouveau domaine. De même, je n'avais jamais utilisé DSP Builder avant ce travail, ni même Matlab, et je n'avais que peu de connaissances dans l'utilisation de Quartus II. Je suis satisfait d'avoir eu l'occasion d'utiliser des outils récents pour développer sur FPGA. Il est vrai que la prise en main de DSP Builder est un peu compliquée au début, mais ensuite on comprends bien le travail effectué par les développeurs afin de nous faciliter le notre. Je suis convaincu que c'est l'outil idéal pour ce genre de design impliquant un traitement de flux avec beaucoup des calculs complexes.

Maintenant, je suis conscient qu'avec de tels outils, une personne sachant déjà les utiliser et ayant déjà des bases en traitement de signal pourrait réaliser ce que j'ai fait en une fraction du temps qu'il m'a fallu. Je suis reconnaissant qu'on m'ait donné l'occasion de travailler sur un projet si intéressant, et même si le résultat final n'est pas encore exploitable, j'espère qu'il vous sera utile et j'espère avoir pu apporter ma modeste contribution au nouveau design BWS.

Remerciements

Je tiens à remercier mon professeur responsable Michel Starkier, pour la qualité de ces enseignements durant ces 3 années, pour son encadrement lors de ce travail, et pour sa sympathie et le temps qu'il m'a consacré.

Je tiens également à remercier Jonathan Emery et Carlos Pereira et leur équipe pour leur aide précieuse, leur gentillesse, leur importante implication et contribution à ce projet, et leurs grandes compétences.

Yverdon-les-Bains, le 5.08.2013

Kevin Henzer

Références

Marc Correvon - Capteurs inductifs de position, Cours systèmes électromécaniques, HES-SO

Santanu Sarma - Software-Based Resolver-to-Digital Conversion Using a DSP, IEEE TRANSACTIONS ON INDUSTRIAL ELECTRONICS, 2008

Admotec - Understanding Resolvers and Resolver-to-Digital Conversion

Ken Chapman - Digitally Removing a DC Offset, Xilinx FPGA

Zhu Ming, Wang Jianming, Ding Ling, Zhu Yi - A Software based robust Resolver-to-Digital Conversion method in designed in Frequency Domain, 2011 International Symposium on Computer Science and Society

Altera - Binary Numbering Systems, 1997

M. saber, Yutaka Jitsumatsu and T. Kohda - A Low-Power Implementation of arctangent function for Communication Applications using FPGA, 2009

Mohamed Koujili, Youcef Ait-Amirat, Bernd Dehning, Abdesslem Djerdir, Jonathan Emery, Juan Herranz Alvarez - Design of an Actuator for the Fast and High Accuracy Wire Scanner, 2013

Jose Luis Sirvent Blasco - BWS Review 2013, Cern, 2013

Annexes

Entrées sorties présentes sur la FPGA

Une bonne partie des entrées/ sorties de la FPGA sont utilisées afin de pouvoir rapidement configurer le design. Voici l'assignation actuelle.

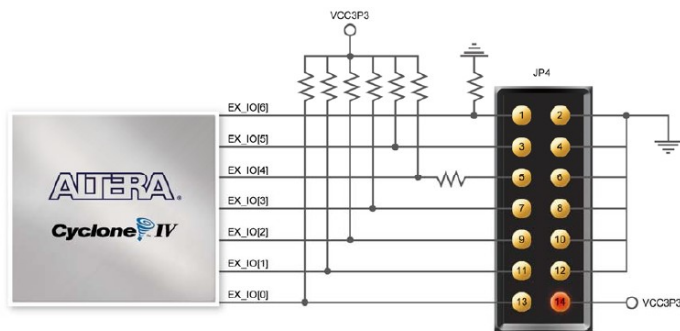
Entrée / Sortie	Fonction	Commentaire
Switchs		
SW17	Inversion SIN/COS	
SW16 à SW15	Mode de mesure pour l'affichage	0 :Echantillon unique 1 :Moyenne 2 :Médiane 3 :Hybride
SW14	Mode de détection de crête	0:Statique (via le NCO d'excitation) 1:Via la PLL
SW12	Bypass du filtre FIR d'entrée	/!\ Si actif, la fonctionnalité est désactivée.
SW11	Bypass du compensateur d'offset	/!\ Si actif, la fonctionnalité est désactivée.
SW5 à SW3	Choix de l'élément à afficher sur les leds	0 :Angle de la méthode courante 1 :Enveloppe du sinus 2 :Enveloppe du cosinus 3 :Angle encodeur optique 4 :Offset Sinus 5 : Offset Cosinus 6 : Sinus brut 7 : Cosinus brut
SW2 à SW0	Choix de l'élément à envoyer au deuxième DAC	0 :NCO PLL 1 :Sinus brut 2 :Cosinus brut 3 :Excitation 4 :Rampe NCO PLL 5 : Correction d'incrément de la PLL
Bouttons poussoirs (actif bas)		
Key 2	Définition de la référence pour l'encodeur optique Heidenhain	
Key 1	Reset pour le bus de mémoire Avalon	Inutile ici, mais ajouté au projet par défaut.
Key 0	Reset général	
LEDs		
LEDR17 à LEDR0	Affichage de la valeur absolue de la valeur sélectionnée par SW5 à SW3	Le format est en point fixe non signé [3].[15]
LEDG8	Indication du verrouillage de la PLL	
LEDG7/LEDG6	Signe du retour SIN / COS resp.	

LEDG5 à LEDG2 Indication de la méthode de mesure actuelle

LEDG7/LEDG6 Indication d'overflow sur les entrées du DAC, pour l'entrée SIN/COS resp.

Afficheur 7SEG HEX3 à HEX 0 Affichage de l'angle au dixième de degré.

EX_IO (connecteur à gauche JP4)



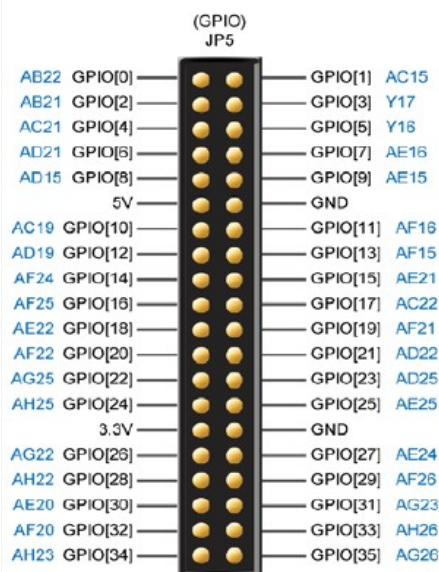
Feedback des SW16 à SW15

Affiche la valeur de retour de la méthode choisie.

Outputs :

- 0 : Signal de crête, statique
- 1 : Signal de niveau atteint, statique
- 2 : Signal de crête, PLL
- 3 : Signal de niveau atteint, statique
- 4 : Signal de révolution effectuée (RaZ) de l'encodeur optique

GPIO (connecteur à droite JP5)



Inputs :

- 0 : Encodeur optique, channel A
- 2 : Encodeur optique, channel B
- 2 : Encodeur optique, channel Ref