

Université de Toulon
dans le cadre de
l'École Doctorale 548 – MER ET SCIENCES

THÈSE

Spécialité: Microélectronique

présentée par

Denis FOUGERON

en vue d'obtenir le grade de docteur de l'université de Toulon

**Étude et mise en œuvre de cellules résistantes aux
radiations dans le cadre de l'évolution du détecteur à
pixels d'ATLAS en technologie CMOS 65 nm**

Soutenue le 15 janvier 2020 devant le jury composé de :

M. Jean-Baptiste BEGUERET	Professeur	Université de Bordeaux	Rapporteur
M. Sylvain BOURDEL	Professeur	Université de Grenoble Alpes	Rapporteur
M. Hervé BARTHELEMY	Professeur	Université de Toulon	Directeur de thèse
M. Marlon BARBERO	Professeur	Université Aix-Marseille	Co-directeur de thèse
M. Mohsine MENOUNI	IR	CPPM - UMR 7346	Co-Encadrant
M. Cristinel DIACONU	DR	CPPM - UMR 7346	Examineur
Mme Patricia DESGREYS	Professeur	Telecom-Paris-Tech	Examinatrice
Mme Edith KUSSENER	Ens.Chér-HDR	ISEN-YNCREA-Toulon	Examinatrice
M. Jean-Luc AUTRAN	Professeur	Université d'Aix-Marseille	Invité

*Ce n'est qu'en essayant continuellement que l'on finit par réussir...
En d'autres termes... Plus ça rate et plus on a de chances que ça
marche...*

(Les Shadoks - Jacques Rouxel)

Remerciements

Il convient de démarrer l'écriture d'un mémoire par une lettre de remerciements destinée à l'ensemble des personnes qui ont permis que ces travaux puissent se réaliser dans les meilleures conditions possibles. J'ai choisi d'écrire cette lettre à la fin de la réalisation de ce manuscrit en essayant de synthétiser toutes les étapes qui m'ont permises de conclure les différentes études entreprises.

J'ai effectué cette thèse en ayant le statut d'« étudiant salarié » au sein du Centre de Physique des Particules de Marseille (CPPM). Souvent cette question m'a été posée : « Mais pourquoi fais-tu une thèse ? », question voulant sans doute dire « Pourquoi cherches-tu les ennuis finalement ? ». C'est vrai Denis, tu pourrais te contenter d'étudier ou de rechercher et de concevoir puisque c'est aussi ce qu'on te demande au quotidien. Pour être clair, je n'ai pas de réponse à cette question, enfin pas tout à fait.

J'ai commencé à travailler en microélectronique sur la problématique des irradiations des détecteurs pixels en 2007, à ma prise de fonctions. Contrairement à maintenant, la technologie choisie à l'époque répondait de façon plus ou moins standard, même si certains aléas ont fait défaut, ce qui est encore le cas aujourd'hui, durant l'exploitation du détecteur préalablement conçu.

Fort de cette première expérience, et pour rester dans la continuité de mon activité, les premières études d'une nouvelle technologie (65 nm) qui ont été menées en vue de remplacer le détecteur à pixel actuel, ont montré un comportement complètement différent voire rédhibitoire en imaginant un temps d'exploitation tel qu'il était défini dans le tout premier cahier des charges.

C'est aussi cela qui m'a motivé ici : rassembler un maximum d'informations, de façon à essayer de comprendre précisément quelles seraient les causes d'un phénomène que nous ne pouvions pas expliquer aussi simplement.

Je ne vais pas tout de suite me faire remarquer, et déroger à la règle des traditionnels remerciements, c'est donc en respectant un ordre hiérarchique que je vais citer les personnes qui m'ont soutenu. Avant de respecter cet ordre, je tiens tout d'abord à remercier MM. Jean-Baptiste Begueret et Sylvain Bourdel, membres du jury, qui ont acceptés d'évaluer mon mémoire en tant que rapporteurs. Je remercie également Mmes Patricia Desgreys et Edith Kussener membres du jury en qualité d'examinatrices.

Je remercie M. Éric Kajfasz ancien directeur du CPPM, surpris par cette demande mais confiant de la suite à donner, ainsi que M. Cristinel Diaconu, actuel directeur, qui m'ont autorisés à mettre en place cette étude sous forme de thèse. Au même titre, je remercie Mme Elisabeth Muriasco, directrice de l'Ecole Doctorale 548 de Toulon (mer et sciences) pour les mêmes raisons, à savoir veiller à la bonne mise en place de ce projet.

Je remercie M. Rémy Potheau, directeur technique du CPPM, MM. Hervé Barthélémy et Marlon Barbero respectivement directeur et co-directeur de cette thèse avec qui les échanges et dont les conseils ont été très constructifs, pour mener au mieux l'ensemble de ce travail en veillant à garder une ligne de conduite. Il est trop facile de s'en détourner.

Je remercie M. Alain Calzas et M. Patrick Pangaud, respectivement ancien et nouveau chefs de service électronique du CPPM. Sans leur confiance et leur autorisation pour mener à bien cette activité, cela n'aurait pas pu déboucher à l'écriture de ce manuscrit.

Je remercie M. Mohsine Menouni, mon chef de projet et co-tuteur de cette thèse. Nous partageons notre quotidien depuis douze ans maintenant, rares ont été nos désaccords, c'est d'une façon quasi-naturelle maintenant que nous entreprenons nos différentes recherches sur les thématiques qui nous sont confiées et dont nous sommes responsables.

Enfin, je remercie M. Jean-Luc Autran, actuel directeur de l'IM2NP, et membre du jury en qualité d'invité. Nos échanges, tout au long de cette étude, ont permis d'établir une convention de travail entre nos deux laboratoires. Cette étape cruciale nous permet aujourd'hui de mutualiser l'utilisation d'une source à rayon X, et de continuer l'étude du comportement à la dose de nos conceptions en microélectronique dont une partie est présentée dans ce mémoire.

Toutes les personnes citées ici ont toutes un point commun : celui d'avoir été très patient avec moi, avec un degré de tolérance que je qualifierais hors normes, pour cela je les en remercie.

Résumé

La technologie CMOS 65 nm est une technologie très intéressante pour la conception de l'électronique « Front-End » des détecteurs pixélisés des expériences du HL-LHC (« High Luminosity - Large Hadron Collider »), particulièrement pour sa capacité d'intégration.

La collaboration de dimension internationale, RD53, a été mise en place dans le but de développer la prochaine génération d'ASIC de lecture des détecteurs à pixels des expériences ATLAS et CMS installées auprès de l'accélérateur du CERN. Cette technologie, retenue par la communauté scientifique, nécessite une tolérance extrême au rayonnement ionisant. Une première puce de type prototype en 65 nm (RD53A) contenant 76800 pixels de $50 \times 50 \mu\text{m}^2$ a été envoyée en fabrication durant l'été 2017. Elle est en cours de caractérisation dans tous les instituts faisant partie de cette collaboration.

Les simulations montrent que les couches les plus internes du nouveau détecteur à pixels intégreront une fluence d'environ 2.10^{16} n/cm^2 (1 MeV équivalent neutron) correspondant à une dose ionisante totale (TID) de 1 Grad équivalent à dix ans d'exploitation. Il a été également estimé à $0,5.10^9 \text{ p/cm}^2/\text{s}$ le flux de particules produisant un « Single Event Upset » (SEU) dans la couche la plus interne du détecteur, située à seulement $\sim 3,7 \text{ cm}$ des collisions de particules de l'accélérateur du CERN. L'immunité au SEU pour cette application doit être soigneusement prise en compte car la capacité d'intégration élevée qu'offre cette technologie implique l'utilisation de cellules élémentaires aux dimensions réduites et donc une possible sensibilité au SEU non négligeable.

Deux approches expérimentales sont décrites dans ce mémoire :

1 : Des études en irradiation ont été réalisées afin d'estimer la tolérance à la dose (TID) du process 65 nm pour fixer des règles de conception qui peuvent être respectées pour les cellules numériques et analogiques implantées dans le circuit final. L'objectif est d'assurer un fonctionnement optimal dans un environnement extrêmement agressif car très radioactif.

Des véhicules de test (PCM) ont été définis pour être irradiés à l'aide d'une source de rayons X (10 keV – 3 kW) afin d'estimer les effets de dose. Les résultats obtenus sont synthétisés dans les chapitres concernés.

2 : Dans le but d'optimiser l'immunité des points mémoires aux effets des SEU, plusieurs circuits prototypes ont été conçus en technologie 65 nm. Ils incluent différentes architectures en vue d'être irradiées.

Plusieurs campagnes d'irradiation ont été menées en utilisant un faisceau d'ions lourds et un faisceau de protons pour comparer leur comportement et d'en extraire une section efficace la plus précise possible. La finalité de cette étude est d'évaluer le facteur d'amélioration comparé à une cellule standard et de proposer une bibliothèque de composants fiables à la collaboration.

Abstract

The 65 nm CMOS process is a promising technology for the pixel readout chips at HL-LHC in terms of high integration density. The RD53 collaboration was established to develop the next generation of pixel readout chips needed by ATLAS and CMS at the HL-LHC and requiring extreme rate and radiation tolerance. A first 65 nm demonstrator chip (RD53A) containing 76800 pixels of $50 \times 50 \mu\text{m}^2$ has been submitted during the summer 2017.

Simulations show that the innermost parts of the new pixel detector will integrate a fluence of about 2.10^{16} n/cm^2 (1 MeV neutron equivalent) corresponding to a Total Ionizing Dose (TID) of 1 Grad equivalent of 10 years of exploitation. The flux of particles producing Single Event Upset (SEU) in the pixel barrel layer 0, at approximatively 3,7 cm of particles collisions from CERN accelerator, is estimated to be $0,5.10^9 \text{ p/cm}^2/\text{s}$. The SEU immunity for this highly scaled process should be carefully considered because the device dimensions are small and the capacitance of the storage nodes becomes very low.

Two main approaches are considered in this document:

1: Irradiation studies were done in order to estimate the TID tolerance of the 65 nm process in order to fix some design rules which can be respected for digital and analog blocks to ensure good functionality in these aggressive operating conditions.

Some different Process Control Monitors (PCM) have been defined to be irradiated with an X-Ray Source (10 keV – 3 kW) to estimate the TID effect and results are described in the following chapters.

2: In order to optimize the immunity of the latches against SEU effects, several chip prototypes including different SEU tolerant structures was designed in the 65 nm technology. Some different irradiation campaigns were carried out by using a heavy ions beam and a protons beam to estimate the SEU tolerance of the proposed structures and the level of improvement comparing with a standard architecture.

Liste des acronymes

ADC:	Analog to Digital Converter
AFTU:	Analog Fault Tolerance - University of Sevilla
ALICE:	A Large Ion Collider Experiment
ASIC:	Application Specific Integrated Circuit
ATLAS:	A Toroidal LHC ApparatuS
BJT:	Bipolar Junction Transistor
CI:	Circuit Intégré
CERN:	Organisation Européenne pour la Recherche Nucléaire
CMS:	Compact Muon Solenoid
CPPM:	Centre de Physique des Particules de Marseille
CSC:	Cathode Strip Chamber
CMOS:	Complementary Metal Oxide Semiconductor
DAC:	Digital to Analog Converter
DC:	Direct Current
DICE:	Dual Interlocked Cell
DNW:	Deep N-Well
DUT:	Device Under Test
ELDRS:	Enhanced Low Dose Rate Sensitivity
ELT:	Enclosed Layout Transistor
ESD:	ElectroStatic Discharge
FEI3:	Front-End IBM 3
FEI4:	Front-End IBM 4
FOXFET:	Field OXide Field Effect Transistor
HBD:	Hardened By Design
HL-LHC:	High Luminosity-Large Hadron Collider
IBL:	Insertable B Layer
IM2NP:	Institut Matériaux Microélectronique Nanosciences de Provence
LDD:	Low Doped Drain
LET:	Linear Energy Transfert
LINAC:	LINear ACcelerator
LHC:	Large Hadron Collider
LHCb:	Large Hadron Collider beauty
LVDS:	Low Voltage Differential Signal
MBU:	Multiple Bit Upset

MCC:	Module Control Chip
MIP:	Minimum Ionizing Particle
MOS:	Metal Oxide Semiconductor
MOM:	Metal Oxide Metal
MTD:	Monitored Drift Tubes
NIEL:	Non Ionizing Energy Loss
PAC:	Préamplificateur de Charges
PCB:	Printed Circuit Board
PCM:	Process Control Monitor
PS:	Proton Synchrotron
RILC:	Radiation-Induced Leakage Current
RINCE:	Radiation Induced Narrow Channel Effect
RISCE:	Radiation Induced Short Channel Effect
RF:	Radiofréquence
RPC:	Resistive Plate Chamber
RTD:	Resistive Thermal Device
SAR:	Successive Approximation Register
SCT:	Semiconductor Tracker
SCSI:	Space Charge Sign Inversion
SEB:	Single Event Burn-out
SEE:	Single Event Effect
SEGR:	Single Event Gate Rupture
SEL:	Single Event Latch-Up
SET:	Single Event Transient
SEU:	Single Event Upset
SiO ₂ :	Dioxyde de silicium
SPS:	Super Proton Synchrotron
STI:	Shallow Trench Isolator
SR:	Shift Register
TID:	Total Ionizing Dose
TGC:	Thin Gap Chamber
ToT:	Time over Threshold
TRL:	Triple Redundancy Latches
TRT:	Transition Radiation Tracker
VDMOS:	Vertical Diffusion Metal Oxide Semiconductor

Table des matières :

Remerciements.....	1
Résumé.....	3
Abstract.....	4
Liste des acronymes	5
Table des matières :	7
Liste des figures :	11
Liste des tableaux :	15
I Contexte	16
I.1 Introduction	16
I.2 CERN	16
I.3 LHC	18
I.4 Expériences LHC	19
I.5 Experience ATLAS	20
I.6 Le détecteur pixels	23
I.7 IBL (« Insertable B Layer »)	25
I.8 Technologie « Front-End » hybride	26
I.8.1 Détecteur	27
I.8.2 Electronique « Front-End »	29
I.8.3 RD53	33
I.9 Conclusion	36
II Effets du rayonnement ionisant dans les circuits intégrés.....	38
II.1 Introduction	38
II.2 Interaction rayonnement-matière	39
II.2.1 Cas d'une particule chargée	40
II.2.2 Cas d'une particule neutre	41
II.2.2.1 Interaction des neutrons avec la matière	41
II.2.2.2 Interaction des photons avec la matière	42
II.3 Effet des radiations sur les transistors	49

II.3.1	Transistors MOS	49
II.3.1.1	Introduction	49
II.3.1.2	Le transport des charges dans l'oxyde	49
II.3.1.3	Synthèse du transport de charges	51
II.3.1.4	Les différents types de charges	53
II.3.1.5	Effets de la dose ionisante sur les caractéristiques électriques	53
II.3.1.5.1	Charge dans le volume de l'oxyde	54
II.3.1.5.2	Charge d'interface SiO ₂ /Si	55
II.3.1.6	Effet global	55
II.3.1.7	Structures MOS submicroniques avancées	56
II.3.1.7.1	Introduction	56
II.3.1.7.2	Effets sur le courant de fuite de grille	57
II.3.1.7.3	Effets de canal étroit	57
II.3.1.7.4	Effets de canal court	59
II.3.1	Transistors bipolaire	60
II.3.1.1	Introduction	60
II.3.1.2	Fonctionnement et structure de base	60
II.3.1.3	Effets d'irradiation du transistor bipolaire	61
II.3.1.4	Effet sur la structure intégrée du transistor bipolaire	62
II.3.1.4.1	Introduction	62
II.3.1.4.2	Le transistor PNP parasite	62
II.3.1.4.3	Le transistor NPN	63
II.3.1.5	Effet du débit de dose	63
II.4	Effet d'un événement singulier	64
II.4.1	Introduction	64
II.4.2	SET (« Single Event Transient »)	64
II.4.3	SEL (« Single Event Latch Up »)	68
II.4.4	SEU (« Single Event Upset »)	69
II.4.5	Évènement Singulier dans les composants de puissance	72
II.5	Conclusion	73
III	Mise en œuvre d'architectures innovantes tolérantes aux rayonnements ionisants.....	74

III.1	Introduction	74
III.2	Étude de la dose	75
III.2.1	Véhicule de test	75
III.2.2	Échantillons transistors	76
III.3	Étude des phénomènes SEU - SET	78
III.3.1	Puce prototype SEU	78
III.3.2	Description du bloc	79
III.3.3	Architectures des mémoires SEU	80
III.3.3.1	Mémoire TRL (« Triple Redundancy Latches »)	80
III.3.3.2	Mémoire DICE (« Dual Interlocked CELL »)	82
III.3.3.3	Mémoire « Hamming code »	84
III.3.4	Puce prototype SET	85
III.3.4.1	Introduction	85
III.3.4.2	Description du bloc SET	86
III.4	Conclusion	88
IV	Synthèse des mesures obtenues en irradiation.....	89
IV.1	Introduction	89
IV.2	Sources de particules	90
IV.2.1	Introduction	90
IV.2.2	Sources à rayon X	90
IV.2.3	Sources protons et ions lourd	91
IV.3	Banc de test transistors	93
IV.4	Méthode de test transistors	95
IV.5	Résultats de test des transistors	96
IV.5.1	Irradiation à température ambiante	96
IV.5.1.1	Effets des irradiations sur les transistors NMOS	96
IV.5.1.1.1	Courant de fuite NMOS fondeur 1	96
IV.5.1.1.2	Paramètres DC NMOS fondeur 1	97
IV.5.1.2	Effets des irradiations sur les transistors PMOS	99
IV.5.1.2.1	Courant de fuite PMOS fondeur 1	99
IV.5.1.2.2	Paramètres DC PMOS fondeur 1	99

IV.5.1.3	Effets de l'anncaling sur les transistors NMOS et PMOS	100
IV.5.2	Irradiation à basse température	101
IV.5.2.1	Effets des irradiations	101
IV.5.2.2	Effets de l'anncaling	102
IV.5.3	Comparaison des process	103
IV.5.4	Effet canal court	104
IV.5.5	Variation I_{DS} en faible inversion	106
IV.5.6	Anncaling longue durée	107
IV.6	Résultats de test des résistances	110
IV.7	Banc de test SEU	111
IV.8	Méthode de test SEU	112
IV.9	Résultats de tests SEU-SET	113
IV.9.1	Résultats SEU	113
IV.9.2	Résultat SET	115
IV.10	Conclusion	116
Conclusion		117
Perspectives		119
Communications/Publications		120
Bibliographie		121

Liste des figures :

Figure 1: synoptique collisionneur LHC	17
Figure 2: vue 3D de l'expérience ATLAS.....	20
Figure 3: section de l'expérience ATLAS.....	20
Figure 4: vue 3D du détecteur interne ajectographe	21
Figure 5: vue 3D du détecteur pixels d'ATLAS.....	23
Figure 6: vue 3D d'un module	24
Figure 7: insertion de la couche de détection "IBL"	25
Figure 8: vue simplifiée d'un pixel hybride.....	27
Figure 9: largeur de la distance de déplétion en fonction de la tension V_{dep}	28
Figure 10: ASIC's "Front- End" détecteur pixels ATLAS, (a) FEI4 couche IBL, (b) FEI3 couches externes.....	30
Figure 11: implantation des pixels des "Front-End", (a) FEI3, (b) FEI4.....	30
Figure 12: synoptique partie analogique "Front-End", (a) FEI3, (b) FEI4.....	31
Figure 13: inefficacité du FEI3 à 3.7 cm du faisceau.....	32
Figure 14: implantation du circuit "Front-End" RD53A	33
Figure 15: taux d'occupation de pixels bruyants en fonction du seuil de détection.....	34
Figure 16: évolution de la loi de Moore.....	37
Figure 17: mécanisme de l'effet rayonnement-matière.....	39
Figure 18: émission rayonnement X.....	40
Figure 19: diffusion d'un photon, a) élastique - diffusion Rayleigh, b) inélastique - diffusion Compton.....	42
Figure 20: absorption d'un photon : a) fluorescence UV-visible b) fluorescence X c) émission Auger.....	42
Figure 21: production d'une paire e^+/e^- avec génération de γ d'une énergie de 511 keV.....	43
Figure 22: effet du rayonnement des photons versus numéro atomique (Z) du matériau cible [12]	43
Figure 23: exemple d'un cluster de défauts dans le silicium provoqué par un atome d'une énergie de 50keV [13].....	45
Figure 24: normalisation des défauts de substrat pour différents types de particules en fonction de leur énergie [14]	46
Figure 25: changement de la tension de déplétion d'un capteur de silicium de 300 μm d'épaisseur et de son dopage effectif en fonction de la fluence normalisée ($\Phi_{eqn,1 MeV}$), après irradiation [15]	47
Figure 26: illustration des effets de substrat d'une jonction p-n d'un capteur silicium.....	48
Figure 27: représentation schématique des effets de surface dans un dioxyde de silicium [16] ..	49

Figure 28: quantité de paires électrons/trous non recombinaées en fonction du champ électrique appliqué à l'oxyde pour différents types de particules [18].....	51
Figure 29: accumulation des charges dans l'interface Si/SiO ₂	52
Figure 30: distribution des charges au niveau de l'oxyde [19].....	53
Figure 31: effet de l'épaisseur d'oxyde sur la variation de la tension de seuil (V_{TH}) en fonction de la dose ionisante [20].....	54
Figure 32: Variation de la tension de seuil des transistors N et PMOS en fonction de la dose ionisante[21]	56
Figure 33: vue en coupe d'un transistor MOS type N.....	56
Figure 34: Influence du transistor parasite (STI) sur le courant de fuite.....	58
Figure 35: Régions du transistor influencées par le champ électrique lié aux charges piégées dans le STI	58
Figure 36: Régions du transistor influencées par le champ électrique relatif aux charges piégées dans l'oxyde des espaceurs.....	59
Figure 37: transistor bipolaire PNP parasite dans un process CMOS avec STI	62
Figure 38: (a) génération de paires électron-trous, (b) séparation des paires en présence d'un champ électrique (c) diffusion dans le substrat, (d) forme d'onde de l'impulsion électrique dans la jonction PN.....	65
Figure 39 : (a) masquage logique, (b) masquage temporel, (c) masquage électrique	66
Figure 40: possibilités de mémoriser un évènement SET.....	67
Figure 41: phénomène SEL, (a) Thyristor parasite dans une structure CMOS, (b) schéma équivalent de la structure parasite.....	68
Figure 42: états d'un point mémoire, (a) chargement d'une donnée, (b) stockage d'une donnée	70
Figure 43: exemple de résultats obtenus pour un point mémoire de type TRL lors de tests en ions lourds.....	71
Figure 44: (a) mécanisme de déclenchement d'un SEB, (b) mécanisme de déclenchement d'un SEGR.	72
Figure 45: jonction parasites FOXFET.....	76
Figure 46: puces transistors, (a) fondeur 1, (b) fondeur 2.....	76
Figure 47: Puce prototype 65 nm, (b) dessin des masques bloc SEU, (c) 7 colonnes indépendantes de mémoires tolérantes aux SEU.....	78
Figure 48: synoptique de la puce tolérante aux SEU	79
Figure 49: synoptique de la cellule TRL.....	80
Figure 50: logique cellule TRL, (a) erreur majorité, (b) erreur mémoire.....	81
Figure 51: TRL durcie aux SET, (a) insertion d'un délai, (b) triplication du signal 'LOAD' ...	81
Figure 52: layout TRL, 'LOAD' tripliqué interdigité.....	82
Figure 53: schéma d'une cellule DICE.....	83

Figure 54: upset cellule DICE charge 1=300 fC charge 2=1.5 fC, (a) upset '0'→'1', (b) upset '1'→'0'	83
Figure 55: variantes de layout DICE, (a) cellule standard, (b) DICE avec anneaux de garde, (c) DICE standard avec séparation des nœuds sensibles, (d) cellule DICE avec des tailles de transistors plus importantes.....	84
Figure 56: schéma mémoire "Hamming code" 8 bits, (a) codeur/décodeur des bits de parité, (b) cellule mémoire 1 bit	84
Figure 57: puce RD53_SEU, (a) implantation sur PCB, (b) architecture de la puce.....	85
Figure 58: synoptique bloc SET	86
Figure 59: linéarité de la détection de la largeur d'un signal SET	88
Figure 60: comparaison des sources à rayon X CERN/IM2NP, (a) I_{ON} NMOS 480 nm/60 nm vs dose, (b) I_{ON} PMOS 240 nm/60 nm vs dose	91
Figure 61: paramètres faisceau protons CERN, (a) liste des paramètres, (b) forme XY du faisceau.....	92
Figure 62: synoptique du banc de tests transistors	93
Figure 63: séquence de test du DUT transistors	94
Figure 64: $I_D(V_{GS})$ vs dose @ 1 Grad, (a) transistor NMOS 120 nm/60 nm, (b) PMOS 120 nm/60 nm.....	96
Figure 65: courant de fuite NMOS vs dose (T °C ambiant), (a) NMOS vs dose, (b) FOXFET vs dose.....	96
Figure 66: courant de drain NMOS vs dose (T °C ambiant), (a) I_D vs dose, (b) G_m vs dose..	97
Figure 67: paramètres DC NMOS vs dose (T °C ambiant), (a) I_{ON} vs dose, (b) V_{TH} vs dose....	98
Figure 68: courant de fuite PMOS vs dose(T °C ambiant)	99
Figure 69: courant de drain PMOS vs dose (T °C ambiant), (a) I_D vs dose, (b) G_m vs dose..	99
Figure 70: paramètres DC PMOS vs dose (T °C ambiant), (a) I_{ON} vs dose, (b) V_{TH} vs dose..	100
Figure 71: annealing des transistors NMOS et PMOS (irradiation à T °C ambiante, (a) I_{ON} NMOS, (b) I_{ON} PMOS.....	100
Figure 72: variation des tensions de seuil des transistors PMOS pendant l'annealing.....	101
Figure 73: comparaison I_{ON} en température pour $V_{DS} = 1,2$ V, (a) NMOS 120 nm/60 nm, (b) PMOS 120 nm/60 nm	102
Figure 74: annealing des transistors NMOS et PMOS (irradiation à -15 °C), (a) I_{ON} NMOS, (b) I_{ON} PMOS	102
Figure 75: comparaison des courants de fuites fondeurs 1 et 2, (a) NMOS 120 nm/60 nm, (b) NMOS 480 nm/60 nm.....	103
Figure 76: comparaison des courants I_{ON} fondeurs 1 et 2, (a) NMOS 120 nm/60 nm, (b) PMOS 120 nm/60 nm.....	104
Figure 77: $I_D(V_{GS})$ vs dose, (a) NMOS 240 nm/60 nm, (b) NMOS 240 nm/120 nm.....	105
Figure 78: $I_D(V_{GS})$ vs dose, (a) PMOS 240 nm/60 nm, (b) PMOS 240 nm/120 nm	105
Figure 79: I_{DS} en régime de faible inversion.....	106

Figure 80: $I_D(V_{GS})$ en faible inversion irradiation + annealing, (a) NMOS (1 $\mu\text{m}/60\text{ nm}$), (b) PMOS (1 $\mu\text{m}/60\text{ nm}$)	107
Figure 81: comparaison $I_D(V_{GS})$, (a) PMOS (480 nm/60 nm) source protons@300 Mrad, (b) PMOS (480 nm/60 nm) source X 10 keV@1 Grad	108
Figure 82: conditions d'irradiation, (a) effet du débit de dose, (b) dégradation du I_{ON} PMOS versus température et temps de récupération.....	109
Figure 83: variation des résistances en fonction de la dose.....	110
Figure 84: synoptique carte mère 65 nm	111
Figure 85: Acquisition SEU en irradiation.....	112
Figure 86: séquence de test SEU, (a) mode pulsé, (b) mode continu.....	112
Figure 87: exemple de données brutes, 'NR2D0', ions $^{84}\text{Kr}25$, $\text{LET}=32,4\text{ MeV.cm}^2/\text{mg}$, flux= 5.10^6 p/cm^2	115
Figure 88: résultats du bloc SET, (a) cross-section-saturée des cellules 'INVD0' et 'NRD2D0', (b) largeur d'un SET dans la cellule 'NRD2D0'	116

Liste des tableaux :

Tableau 1: principaux paramètres des faisceaux du LHC.....	18
Tableau 2: signature d'une particule en fonction des détecteurs	21
Tableau 3: synthèse des éléments constituant la partie barrel + les endcaps.....	24
Tableau 4: niveau de dose du détecteur interne sur 1 an de fonctionnement	25
Tableau 5: synthèse des éléments constituant l'IBL	26
Tableau 6: synthèse des paramètres des "Front-End" du détecteur pixels.....	32
Tableau 7: synthèse des paramètres du "Front-End" RD53B.....	36
Tableau 8: catégorie de neutron vs énergie.....	41
Tableau 9: énergie de radiation minimale pour la création d'un défaut ponctuel et d'un cluster de défauts dans un volume de silicium en fonction du type de particule	44
Tableau 10: modes de fonctionnement du transistor bipolaire.....	60
Tableau 11: liste des transistors implantés sur les échantillons	77
Tableau 12: spécifications de la puce RD53B relatives à la problématique aux SEU.....	79
Tableau 13: liste des entrées/sorties de la puce SEU	80
Tableau 14: bilan des surfaces pour une mémoire "Hamming code" 8 bits.....	85
Tableau 15: liste des entrées/sorties du bloc SET	87
Tableau 16: comparatif des sources X CERN/IM2NP	91
Tableau 17: liste des isotopes disponibles au cyclotron de Louvain-la-Neuve.....	92
Tableau 18: Liste des résistances disponibles (fondeur 1).....	110
Tableau 19: spécifications carte mère 65 nm	111
Tableau 20: résultats SEU puce n°1.....	113
Tableau 21: résultats SEU puce n°2.....	114
Tableau 22: cross-section saturée mémoires SEU.....	115
Tableau 23: estimation du temps moyen entre deux erreurs	115

Chapitre I

I Contexte

I.1 Introduction

Ce chapitre décrit le contexte de cette étude et introduit la nécessité de développer des architectures électroniques durcies aux radiations. Afin de vérifier les théories des physiciens des particules, les expériences doivent être munies d'un ensemble de détecteurs mesurant le plus précisément possible les signatures laissées par les particules qui les traversent. Les voies de lecture se comptent par milliards, seul le domaine de la microélectronique répond à de tels cahiers des charges pour optimiser la densité d'intégration, la précision de mesure et la puissance dissipée nécessaire au fonctionnement de ces expériences.

Tout d'abord il sera fait une description du CERN (« Centre Européen pour la Recherche Nucléaire ») puis des expériences qui sont installées autour de l'accélérateur. Ensuite il sera décrit la partie centrale de l'expérience ATLAS qui est un détecteur à pixels pour converger vers la chaîne de lecture électronique dite « Front-End » de ce détecteur et les développements en cours en technologie 65 nm. Une conclusion clôturera l'ensemble de ces descriptions.

I.2 CERN

Le contexte de l'étude décrite ici s'inscrit dans le cadre d'une expérience de physique fondamentale, ATLAS (« A Toroidal LHC Apparatus »), située auprès d'une machinerie gigantesque qu'est le LHC (« Large Hadron Collider ») du CERN appelé aujourd'hui Organisation européenne pour la recherche nucléaire [1].

Aussi grande soit la taille de ces installations, l'objectif de ce centre est d'identifier avec une extrême précision tous les constituants qui composent l'univers et mieux comprendre son origine autour de la théorie du « Big Bang ». Le paradoxe ressentit lors de mes premiers contacts avec cet environnement est la nécessité d'intégrer le fait que la communauté scientifique se doit d'avoir à disposition un ensemble de machines puissantes et précises pour identifier à la loupe d'infimes particules au temps de vie ridicule. L'accélérateur actuel, nommé LHC (cf. : Figure 1), est le fruit de 60 ans d'histoire, né par la volonté de construire un centre européen d'abord, devenu international aujourd'hui. L'importance du CERN s'est également accrue grâce aux premiers accords signés par une dizaine de pays européens. Ils prévoyaient déjà une indispensable union des communautés scientifiques, se voulant pacifique, travaillant sur la thématique de la recherche nucléaire dans un contexte d'après-guerre. Cette union a eu pour effet de pérenniser cette activité de recherche, et de partager les coûts de construction et d'exploitation de cette machine complexe.

Aujourd'hui, vingt-deux états sont membres du CERN, auxquels se rajoutent d'autres états ayant un statut différent. Six cents instituts et universités du monde entier y sont représentés. En plus de défier et de reculer les limites des performances proposées par les technologies actuelles, le CERN se veut fédérateur. Il est le lieu incontournable de rencontre d'une communauté de scientifiques et de personnels techniques.

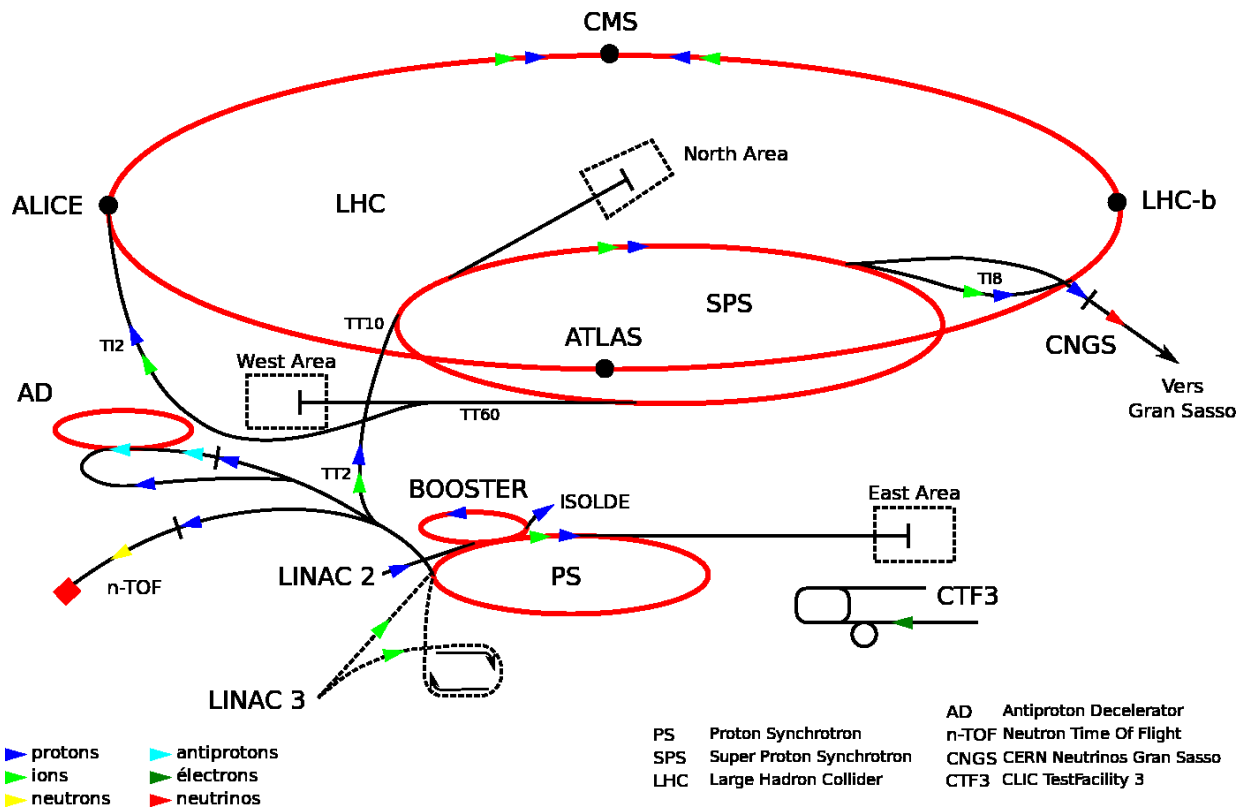


Figure 1: synoptique collisionneur LHC

I.3 LHC

Les installations du LHC (cf. : Figure 1) ciblent le domaine de recherche en physique des particules. Les caractéristiques des faisceaux (cf. : Tableau 1) de l’anneau principal sont assurées par une chaîne d’accélérateurs de plus petite taille situés en amont du LHC. Ceux-ci permettent une montée graduelle des paramètres des faisceaux, comme l’énergie ou encore la luminosité, de façon à obtenir en bout de chaîne des collisions de particules d’une énergie de 14 TeV.

Ces particules peuvent être des protons ou des ions lourds, et sont conditionnées dans un tube à vide où la pression se situe entre 10^{-10} et 10^{-11} mbar. Les faisceaux circulant dans le LHC sont pulsés. Organisés en paquets, ils suivent la phase d’une onde RF permettant la montée et le maintien de l’énergie pour atteindre une vitesse très proche de la vitesse de la lumière. La taille finale de ces paquets est infime, de l’ordre de $16 \times 16 \mu\text{m}^2$, dans le but d’optimiser la probabilité de collision des particules dans la zone d’interaction dédiée.

Le générateur de particules est situé au niveau du LINAC (« LINear ACcelerator »). La source de protons est une bouteille d’hydrogène à l’état gazeux. L’hydrogène est soumis à un champ électrique, qui arrache ses électrons afin de ne laisser entrer dans l’accélérateur que les protons. Ceux-ci sont accélérés jusqu’à une énergie de 50 MeV. Ce faisceau entre alors dans un « booster », petit synchrotron circulaire, faisant monter en énergie les particules jusqu’à 1,4 GeV. Cette chaîne d’accélération s’intensifie, dans un PS (« Proton Synchrotron ») pour atteindre 25 GeV, puis le faisceau est injecté dans le SPS (« Super Proton Synchrotron ») où il est porté à une énergie de 450 GeV. L’injection dans le LHC se fait en sortie du SPS dans deux tubes à vide de sorte que deux faisceaux circulent dans le sens opposé afin de réaliser les collisions à quatre points précis, où sont centrées les quatre expériences installées auprès du LHC.

Paramètre	Valeur
Circonférence	26,7 km
Energie des faisceaux	7 TeV
Energie d’injection	450 GeV
Champ des dipôles à 7 TeV	8,33 T
Luminosité	$10^{34} \text{ cm}^{-2}.\text{s}^{-1}$
Nombre de paquets	2835
Nombre de particules par paquet	10^{11}
Courant continu du faisceau	0,56 A
Durée de vie de la luminosité	10 h
Taille de la zone d’interaction :	
$\sigma_x = \sigma_y$	16 μm
σ_z	5,4 cm
Angle de croisement	200 μrad

Tableau 1: principaux paramètres des faisceaux du LHC

Les quatre expériences principales du LHC sont :

- ATLAS (**A** **T**oroidal **L**HC **A**pparatu**S**),
- CMS (**C**ompact **M**uon **S**olenoid),
- ALICE (**A** **L**arge **I**on **C**ollider **E**xperiment),
- LHCb (**L**arge **H**adron **C**ollider **B**eauty).

I.4 Expériences LHC

ATLAS et CMS sont des expériences complémentaires. Elles ont toutes les deux été dimensionnées pour détecter une particule élémentaire qu'est le Boson de Higgs. L'existence de cette particule a été prédite en 1964 par les physiciens Robert Brout, François Englert, Peter Higgs, Carl Richard Hagen, Gerald Guralnik et Thomas Kibble. Elle permet d'expliquer pourquoi certaines particules ont une masse et d'autres n'en ont pas. Son existence a été confirmée de manière expérimentale en 2012 grâce à l'utilisation du LHC et a conduit à l'attribution du prix Nobel de physique à François Englert et Peter Higgs en 2013.

Cette particule a été la motivation première de la construction du LHC dont l'exploitation a commencé en 2009. Envisager sa détection a amené les dimensions gigantesques actuelles du LHC, dont les caractéristiques des faisceaux très lumineux génèrent quelques milliards de collisions permettant ainsi d'avoir une statistique suffisante pour prouver l'existence même de cette particule.

ALICE et LHCb ont des missions différentes de celles des précédentes expériences citées. ALICE intervient pour des runs dédiés c'est-à-dire quand le LHC fait entrer en collision des faisceaux d'ions lourds. Dans ces conditions, cette expérience étudie la matière dans une phase instable qui correspondrait à un état « post-Big Bang », quelques millièmes de seconde, où les constituants élémentaires de la matière n'étaient alors pas fixés entre eux.

Les collisions de l'accélérateur génèrent cet état de transition. Les particules telles que les quarks, formant les protons et les neutrons, ainsi que les gluons caractérisant la force qui les lie, force dite « interaction forte », sont étudiés grâce à cette expérience.

LHCb est quant à elle une expérience dédiée à observer et étudier les différences entre la matière et l'antimatière. Les mesures effectuées dans cette expérience demandent une extrême finesse et consistent à détecter des particules contenant des quarks b (quarks « bottom ») et le fruit de leurs désintégrations. Ces particules sont émises, lors des collisions des faisceaux de l'accélérateur, et se situent dans des directions voisines de ces faisceaux. Ce paramètre impose la présence de détecteurs à des distances très proches des collisions, de l'ordre du centimètre, réduisant dans le même temps leur durée de vie dû à l'environnement très radioactif.

I.5 Expérience ATLAS

L'expérience ATLAS est couramment représentée par une vue 3D illustrée ci-dessous (cf. : Figure 2).

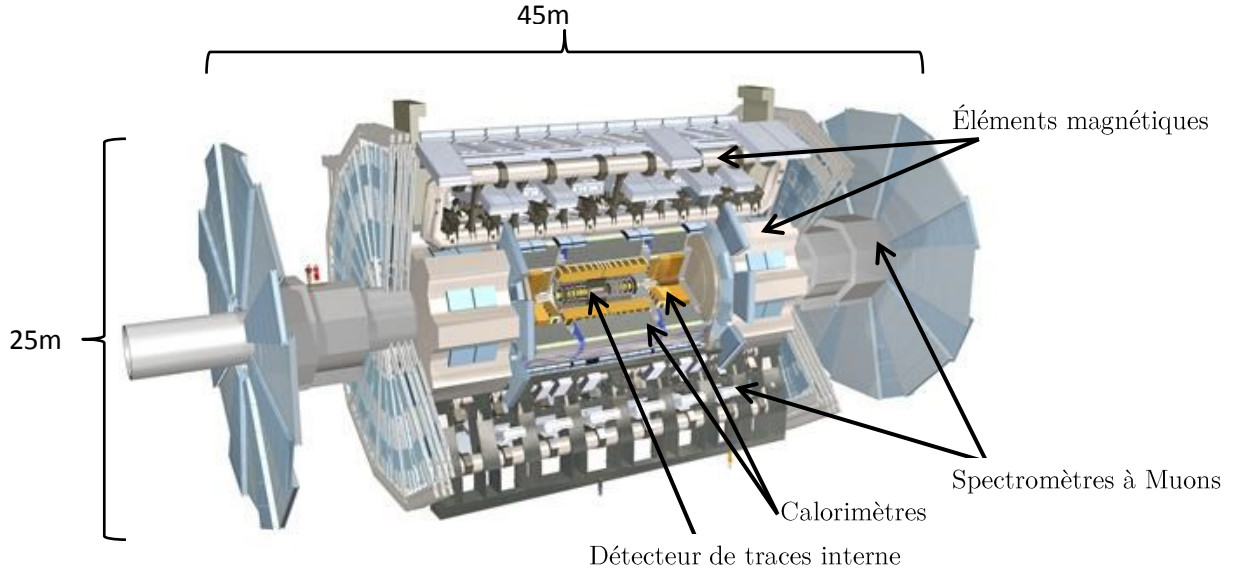


Figure 2: vue 3D de l'expérience ATLAS

Les expériences citées dans le chapitre précédent (cf. : Chapitre I.4) sont toutes dotées d'un assemblage de détecteurs ayant des propriétés différentes. En effet, chaque élément de détection a sa propre fonction, et une corrélation des mesures de l'ensemble permet de discriminer les évènements pour identifier une particule avec une très bonne efficacité.

Avant de converger vers la partie centrale de l'expérience qui concerne le détecteur à pixels, il convient de faire une étape intermédiaire sur l'ensemble des détecteurs présents dans l'expérience. L'illustration ci-dessous (cf. : Figure 3) montre les liens indispensables entre les détecteurs afin de reconstruire la signature de la particule qui les traverse et donc d'en reconnaître sa nature.

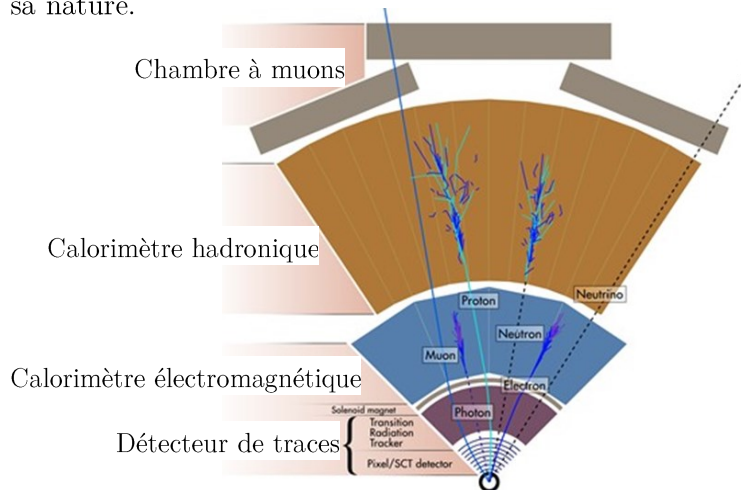


Figure 3: section de l'expérience ATLAS

Le tableau ci-dessous (cf. : Tableau 2) interprète cette stratégie de détection et résume le type de phénomène physique pour chaque détecteur en fonction de la nature de la particule qui le traverse.

Particules	pixels	Calorimètre électromagnétique	Calorimètre hadronique	Détecteur de Muons
Photon	-	gerbe électromagnétique	-	-
électron	Ionisation	gerbe électromagnétique	-	-
Proton	Ionisation	faible dépôt d'énergie	gerbe hadronique	-
Neutron	-	faible dépôt d'énergie	gerbe hadronique	-
Muon	Ionisation	faible dépôt d'énergie	faible dépôt d'énergie	Impulsion
Neutrino	-	-	-	-

Tableau 2: signature d'une particule en fonction des détecteurs

Partant du centre de l'expérience, les quatre principaux sous-ensembles sont les suivants :

- 1- Le détecteur de traces, aussi appelé trajectographe (cf. : Figure 4).

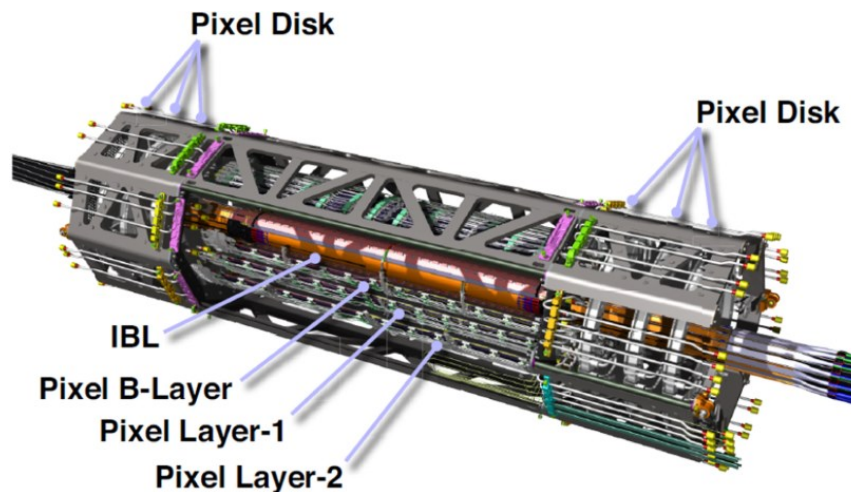


Figure 4: vue 3D du détecteur interne

Il est composé de trois parties :

- ✓ Un détecteur à pixels. Formé de quatre couches de détection, trois plus une couche supplémentaire non représentée ici, dite IBL (« Insertable B Layer ») installée en 2011, qui est en cours d'exploitation depuis (cf. : Chapitre I.7).
- ✓ Un SCT « Semiconductor Tracker » : Cette partie comporte quatre couches de détection à base de microstrips.
- ✓ Un TRT « Transition Radiation Tracker ». Il utilise un sandwich de pailles, environ 52000, confinées dans un radiateur en polypropylène. Dans ces tubes circule un gaz qui améliore la détection. Ils sont dotés d'un microfil porté à un potentiel haute tension pour extraire les charges issues du passage d'une particule ionisante. Le TRT possède deux seuils de détection. Un seuil bas pour détecter les électrons et un seuil haut pour les rayons X émis par rayonnement de transition lors du passage d'un électron.

2- Les calorimètres.

Comme illustré ci-dessus (cf. : Figure 2), ATLAS possède deux types de calorimètres.

- ✓ Le calorimètre électromagnétique, essentiellement dimensionné pour quantifier l'énergie d'un photon ou d'un électron. La gerbe déposée par ces particules est proportionnelle à son énergie. Pour optimiser son efficacité à détecter ces gerbes, l'électrode de détection est entourée d'un absorbeur en plomb, le tout plongé dans l'argon liquide afin d'amplifier le phénomène de désintégration de la particule incidente.
- ✓ Le calorimètre hadronique détecte le passage de protons et de neutrons. Plusieurs techniques sont utilisées pour les détecter selon les besoins de la physique. La technique envisagée évolue selon les niveaux de radiation que doivent tolérer ces détecteurs, niveau dépendant de leur localisation dans l'expérience. La partie supérieure est un calorimètre à tuiles scintillantes. Les bouchons sont également plongés dans l'argon liquide, leur structure ressemble à celle du calorimètre électromagnétique.

3- Les chambres à muons.

- ✓ La dernière partie de détection, la partie la plus extérieure, est réservée à la détection de muons. Cette particule est assimilée à un électron puisque elle en possède les mêmes propriétés physiques mis à part sa masse, 207 fois plus élevée que celle de l'électron. Cette particule traverse l'ensemble de l'expérience en laissant une trace très infime. Plusieurs techniques sont utilisées pour les détecter, quatre sont implantées dans l'expérience.

1 : les MTD (Monitored Drift Tubes)

2 : les CSC (Cathode Strip Chamber)

3 : les RPC (Resistive Plate Chamber)

4 : les TGC (Thin Gap Chamber)

Ces chambres ont pour point commun de détecter la position du passage d'un muon avec une résolution de l'ordre du millimètre en utilisant un système gazeux pour amplifier le faible signal par ionisation. Des électrodes sont portées à une haute tension de plusieurs kilovolts, soit pour collecter la dérive des électrons issue de la charge déposée par le muon, soit pour créer un phénomène d'avalanche et venir amplifier le signal incident.

4- Les éléments magnétiques.

L'expérience ATLAS demande la présence de champs magnétiques intenses permettant de courber la trajectoire des particules dans le but de mesurer l'impulsion (quantité de mouvement) et le signe de la charge.

Le dispositif est composé de huit bobines supraconductrices de forme rectangulaire ($25\text{ m} \times 5\text{ m}$) sans élément ferromagnétique. Alimentées par un courant de plus de 20 kA, elles produisent un champ magnétique de forme toroïdale parallèle à l'axe des faisceaux et entourant l'ensemble de l'expérience.

I.6 Le détecteur pixels

Le détecteur pixels est la partie centrale du trajectographe de l'expérience. Il a été conçu pour fournir des informations, avec une extrême précision, sur les traces laissées par des particules chargées issues des collisions des faisceaux de protons de l'accélérateur. Situé à quelques centimètres de ces collisions, il couvre une détection des interactions de particules avec un large champ angulaire.

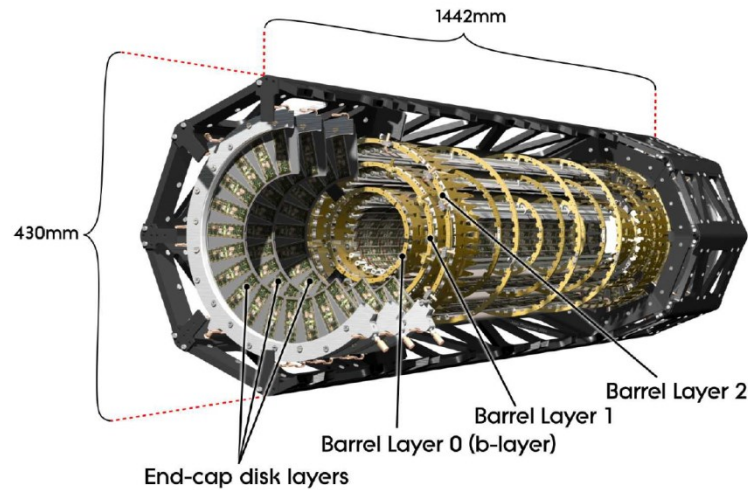


Figure 5: vue 3D du détecteur pixels d'ATLAS

Représenté ci-dessus (cf. : Figure 5), le détecteur pixels est constitué de trois cylindres ayant pour rayon respectif 5, 8 et 12 cm. De chaque côté, trois disques dits « end caps » viennent couvrir les rayons de détection de 11 à 20 cm. La taille d'un pixel est de $50 \times 400\text{ }\mu\text{m}^2$. L'ASIC de lecture (« FEI3 ») est une matrice de 2880 pixels. Seize puces sont interconnectées à un module de contrôle MCC (« Module Control Chip »), qui communique l'ensemble des commandes afin de faire transiter les données préalablement stockées dans une mémoire tampon, dans l'attente d'une décision de déclenchement de la lecture des matrices [2]. Ces seize puces, ajoutées au MCC, constituent un module et sont connectées au détecteur silicium via des microbilles (« bump bonding ») (cf. : Figure 6).

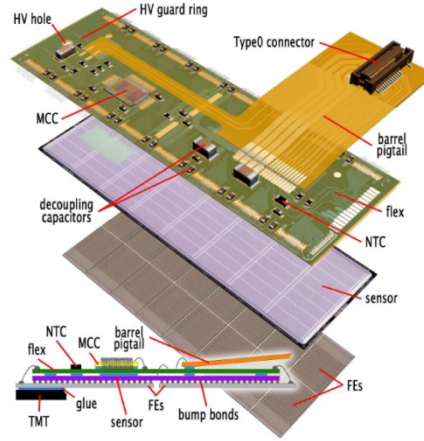


Figure 6: vue 3D d'un module

Un récapitulatif incluant le nombre de modules, la quantité de voies électroniques et la surface équivalente de détection par couche est synthétisé ci-dessous (cf. : Tableau 3).

N° couche	Rayon (mm)	Qté échelles	Qté modules	Qté voies électroniques	Surface active (m ²)
0	50.5	22	286	13 178 880	0,28
1	88.5	38	494	22 763 520	0,49
2	122.5	52	676	31 150 080	0,67
Total couches pixels		112	1456	67 092 480	1,45
N° disque endcaps	Rayon (mm)	Qté secteurs	Qté modules	Qté voies électroniques	Surface active (m ²)
0	495	8	48	2 211 840	0,0475
1	580	8	48	2 211 840	0,0475
2	650	8	48	2 211 840	0,0475
Total 1 endcap		24	144	6 635 520	0,14
Total de l'ensemble		48	288	13 271 040	0,28

Tableau 3: synthèse des éléments constituant la partie barrel + les endcaps

Le trajectographe comprend 1744 modules représentant 80 millions de voies dans son ensemble. Les modules sont fixés sur une structure mécanique en fibre de carbone incluant un refroidissement pour assurer une température de fonctionnement constante de l'ordre de -7 °C. La partie mécanique est une échelle sur laquelle sont fixés 13 modules. La longueur active d'une échelle est de 810 mm.

Un point très important concerne la tenue aux radiations du détecteur pixels liée directement à la fluence des faisceaux de l'accélérateur. Les conceptions des ASIC de lecture des pixels (cf. : Tableau 6) du détecteur, utilisant des technologies commerciales, ont été durcies pour résister à l'environnement fortement radioactif [3].

De par sa proximité (~ 5 cm pour la couche 0) toute la matrice de détection subira un niveau de dose très élevé. Il était prévu que la première couche soit remplacée après 5 ans de fonctionnement.

Les dommages sur le matériau sont de deux ordres :

- 1 : La dose ionisante TID (« Total Ionizing Dose ») exprimée en rad ou en Gray (Gy). Elle correspond à la quantité d'énergie absorbée dans la matière laissée par une particule incidente.
- 2 : Le NIEL (« Non Ionizing Energy Loss ») provoque des déplacements atomiques dans le silicium. Ce phénomène s'exprime en particules/cm² et est normalisée en neutron équivalent de 1 MeV.

Les valeurs de dose sont toujours intégrées dans le temps et sont résumées ci-dessous (cf. : Tableau 4)

détecteur	NIEL (1MeV neq 10 ¹³ /cm ² /an)		TID (kGray/an)	
	Typ.	Max	Typ.	Max
Pixel	5	50	30	300
SCT	1.5	2	4	10
TRT	0,7	1	2	6

Tableau 4: niveau de dose du détecteur interne sur 1 an de fonctionnement

Le détecteur pixel a dû être qualifié à une dose totale maximum de 150 Mrad équivalent à cinq ans d'exploitation.

I.7 IBL (« Insertable B Layer »)

Depuis 2014, le détecteur pixels est équipé d'une nouvelle couche de détection nommée IBL (cf. : Figure 7). En effet, pour pallier les dégradations principalement liées aux irradiations de la première couche de détection (couche 0), IBL a nécessité la réduction du diamètre du tube à vide dans lequel sont conditionnés les faisceaux primaires, et a été implantée au plus près de ce tube à environ trois centimètres de distance. Sa longueur active est de 640 mm.

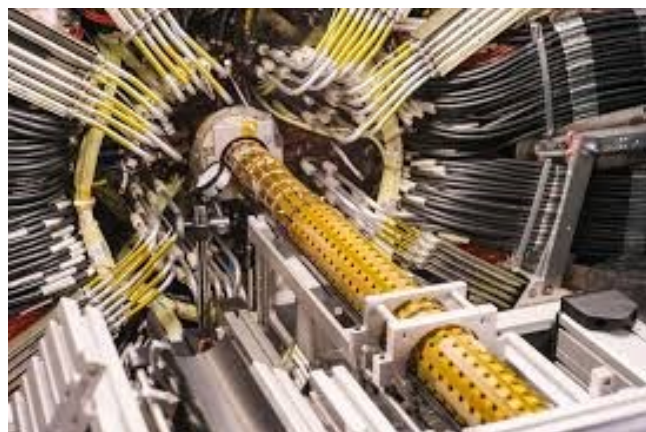


Figure 7: insertion de la couche de détection "IBL"

Cette étape dite « upgrade phase I » est intervenue après cinq années de fonctionnement du détecteur [4]. Le concept de l'étude a été très délicat car l'idée est de faire cohabiter deux types de « Front-End » (FEI3 et FEI4) aux propriétés différentes dans le but de préserver les performances du détecteur dans sa globalité. Le nouveau « Front-End » (FEI4) a été réalisé en technologie 130 nm de façon à bénéficier d'une densité d'intégration plus élevée [5]. La taille de l'ASIC est de $2 \times 2 \text{ cm}^2$ et comprend une matrice de pixels de 336 lignes $\times$ 80 colonnes. Chaque pixel occupe une surface de $50 \times 250 \mu\text{m}^2$. Le choix de ces dimensions est un compromis pour optimiser le rendement de fabrication proche de 70 %. IBL est constituée de 14 échelles de 16 modules. Un module comprend deux puces. L'ensemble est synthétisé dans le tableau suivant (cf. : Tableau 5) :

couche	Rayon (mm)	Qté échelles	Qté modules	Qté voies électroniques	Surface active (m^2)
IBL	33,25	14	224	12 042 240	0,18

Tableau 5: synthèse des éléments constituant l'IBL

La proche distance qui lie cette nouvelle couche de détection au faisceau demande de qualifier l'électronique à une dose de l'ordre de 250 Mrad avec une fluence de $5.10^{15} \text{ neq/cm}^2$, soit approximativement 2 fois plus que la couche 0.

I.8 Technologie « Front-End » hybride

La technologie utilisée dans le détecteur pixels est une technologie hybride. Une des difficultés dans la réalisation d'un détecteur à pixels provient de la grande densité de connexions entre le détecteur et l'électronique de lecture. Le détecteur et l'électronique « Front-End » présentent la même géométrie. Les deux éléments sont connectés par une technique dite de « flip-chip » à l'aide de microbilles (Etain-Plomb ou Indium) ayant un diamètre moyen de l'ordre de 20-30 μm selon le matériau utilisé, quelques dizaines de microns séparent la puce du détecteur (cf. : Figure 8). Cette opération de « micro connexion » est cruciale, couteuse et sensible atteignant tout de même 90 % de rendement, variable, selon la densité de connexion et le nombre de pixel à connecter. Cette technologie présente un intérêt majeur, celui de découpler le détecteur de l'électronique de lecture. Cette configuration laisse la possibilité du choix du substrat du capteur (Si, AsGa, Cd(Zn)...) selon l'application voulue, et d'utiliser une technologie commerciale pour l'électronique, offrant une grande densité de transistors. Il est alors possible d'implanter nombre de fonctionnalités dans le pixel lui-même doté d'une intelligence numérique permettant un premier traitement localement.

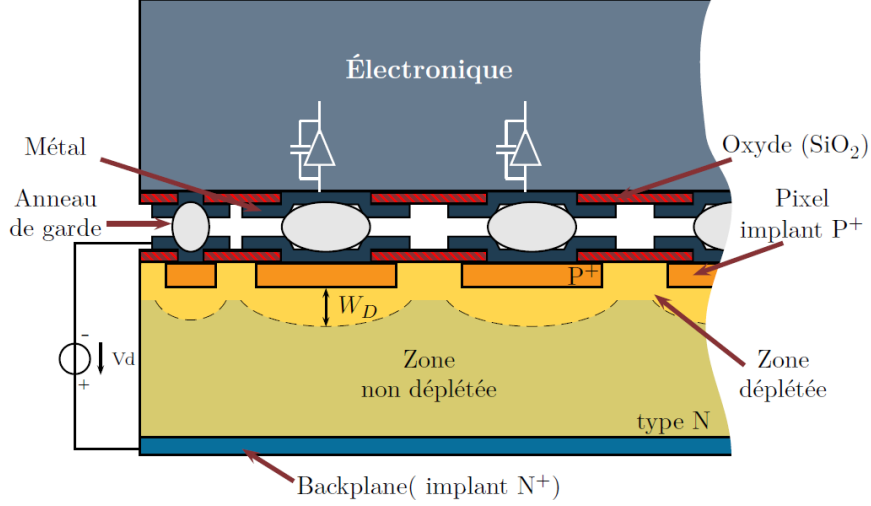


Figure 8: vue simplifiée d'un pixel hybride

Plusieurs options de dopage du capteur sont possibles. Selon le type de substrat N ou P, les électrodes de collections peuvent être dopées N⁺ ou P⁺. Le dopage le plus courant, comme illustré ci-dessus (cf. : Figure 8), est l'ajout d'implants dopés P⁺ sur un substrat de type N. La tension de déplétion V_d est appliquée entre ces électrodes et la face arrière du substrat dont l'interface est assurée par un implant N⁺ associé une couche métallique, généralement de l'aluminium. Cette illustration est donnée à titre d'exemple, il existe d'autres variantes selon l'application voulue.

I.8.1 Détecteur

La structure d'un capteur semi-conducteur permet la collection des charges et le courant de fuite s'élimine en générant une zone désertée sur une jonction PN polarisée en inverse [6]. La zone N est dopée avec des atomes donneurs en concentration N_D et la zone P avec des atomes accepteurs en concentration N_A .

A la limite de ces deux zones, il se produit des modifications dans une région de faible épaisseur (quelques microns) avec la présence d'un courant de diffusion dû à la migration d'électrons et de trous :

$$\vec{J}_d = \vec{J}_{dn} + \vec{J}_{dp}$$

Les électrons migrent vers la zone P et les trous vers la zone N. Ces porteurs migrent vers des zones où ils sont fortement minoritaires, se recombinent avec les porteurs majoritaires. Ils génèrent alors de part et d'autre de la jonction, une zone dépourvue de porteurs libres nommée zone désertée. Cet état est appelé équilibre thermodynamique. Dans cette zone de déplétion, les ions fixes génèrent un champ électrique $\vec{E}$. Ce champ électrique empêche la circulation des électrons et des trous à travers la jonction. Le champ électrique est équivalent à une différence de potentiel appelée barrière de potentiel (V_{bi}).

Ce potentiel est fonction du dopage du substrat et des concentrations des atomes $N_{D,A}$ et peut s'écrire :

$$V_{bi} \sim \frac{k_B T}{e} \ln\left(\frac{N_D N_A}{n_i^2}\right)$$

Pour prendre l'exemple du silicium, à 20°C, cette barrière de potentiel vaut $\sim 0,6$ V.

La résistivité ρ du substrat est un paramètre à prendre en compte. Elle s'exprime en fonction de la mobilité $\mu_{n,p}$ des porteurs majoritaires et du dopage $N_{D,A}$ du substrat.

Pour un substrat de type N, ρ peut s'écrire :

$$\rho = \frac{1}{\mu_n e N_D}$$

Pour le silicium, la valeur standard de la résistivité est de l'ordre de $\rho = 10$ k Ω .cm correspondant à un dopage $N_D = 4,4 \cdot 10^{11}$ cm $^{-3}$.

Afin de détecter les particules traversant les détecteurs pixels, les jonctions PN des capteurs sont polarisées en inverse. La zone de déplétion s'élargit et devient vide de porteurs de charges libres augmentant dans un même temps le volume de détection. Le courant est quasi-nul (existence d'un courant de fuite appelé « dark current »). Le détecteur ainsi polarisé, le courant induit par les charges collectées donne une conversion précise de l'énergie déposée par la particule incidente. La tension de déplétion V_{dep} peut s'exprimer, en fonction de l'épaisseur de la zone désertée d , ainsi :

$$V_{dep} = \frac{e N_D d^2}{2 \epsilon_0 \epsilon_{si}} - V_{bi}$$

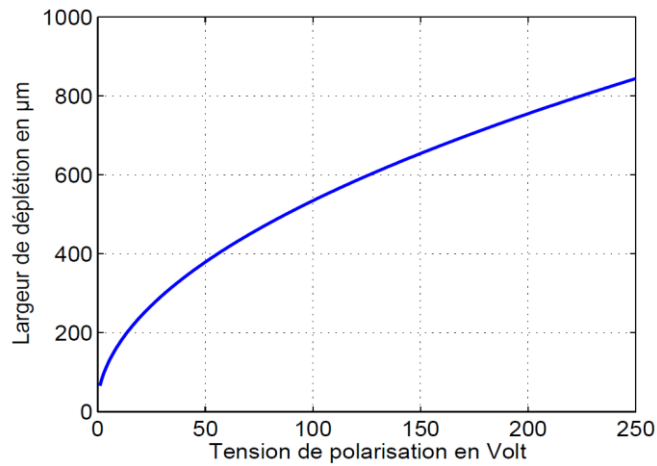


Figure 9: largeur de la distance de déplétion en fonction de la tension V_{dep}

L'exemple de la courbe illustrée ci-dessus (cf. : Figure 9) montre l'évolution de la largeur de déplétion en fonction d'une tension de polarisation inverse. Cette courbe considère un substrat de type N faiblement dopé ($N_D = 4,4 \cdot 10^{11}$ cm $^{-3}$). Notons par exemple que pour des valeurs standards d'épaisseur de substrat $d = 300$ µm, $V_{dep} = 30$ V ou encore $d = 500$ µm, $V_{dep} = 90$ V.

Au premier ordre, la collection de charges générées dans le substrat dépend de l'énergie E_p de création d'une paire électron-trou. Si E est l'énergie de la particule incidente et n_p le nombre de paires électron-trou, alors :

$$n_p = \frac{E}{E_p}$$

En d'autres termes, la technologie hybride permet de choisir le matériau du détecteur en fonction de l'application. Le candidat sera retenu selon différents critères comme :

- Le niveau d'énergie de création de paires électron-trou (3,6 eV pour le silicium, 2,96 eV pour le germanium, 4,43 eV pour le CdTe,...),
- un courant de fuite minimum déterminé par la largeur de bande interdite E_g ,
- la dynamique en énergie des particules incidentes est fonction de la densité du matériau et de son numéro atomique Z
- la mobilité des porteurs
- ...

Pour clore ce chapitre, et tuer un peu le suspens de ce mémoire, les effets des irradiations sur les capteurs à semi-conducteur est, pour la plupart des cas, un point critique pour les détecteurs pixels. Ils subissent une augmentation du courant de fuite, pouvant être en partie compensée par l'électronique de lecture. Dans le même temps, il est observé une atténuation du gain liée à la dégradation du niveau d'énergie de création de paires électron-trou.

I.8.2 Electronique « Front-End »

Ce chapitre traitera uniquement l'électronique de lecture du détecteur pixels d'ATLAS pour au moins deux raisons :

- 1 : il existe énormément de versions de ce type d'électronique « Front-End », qui concernent différents domaines comme la physique des particules ou encore l'imagerie médicale. Il serait difficile de tous les énumérer.
- 2 : l'architecture de l'électronique analogique d'un pixel comporte malgré tout quelques similitudes.

Actuellement deux générations d'ASIC (cf. : Figure 10) sont en cours d'exploitation sur le détecteur pixels d'ATLAS. Le « Front-End » FEI3 [7], produit en 2003, sur les trois couches les plus externes du détecteur, et le « Front-End » FEI4, produit en 2011, sur la couche la plus interne dite IBL.

Les deux ASIC présentent tout d'abord une grosse différence au niveau de leur surface respective. L'image (cf. : Figure 10) respectant grossièrement un facteur d'échelle, le FEI3 remplit une surface de 82 mm², comparé au FEI4 qui lui, remplit une surface de 400 mm².

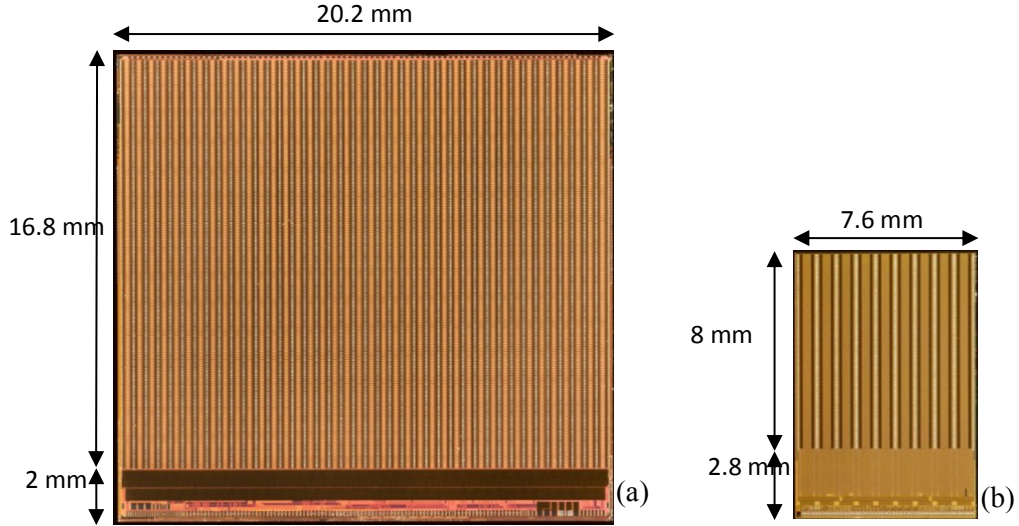


Figure 10: ASIC's "Front-End" détecteur pixels ATLAS, (a) FEI4 couche IBL, (b) FEI3 couches externes

Tous deux ont une surface inactive dédiée à la détection correspondant au bas de colonnes. Différentes fonctions sont implantées dans cette zone comme la distribution des alimentations, la chaîne de polarisation des parties analogiques, la configuration globale de la puce, ainsi que le traitement des données numériques avant leur transmission vers la partie « Back-End » du détecteur. Pour le FEI3 cette zone représente $21,3 \text{ mm}^2$ soit 25 % de la surface totale contre 40 mm^2 , soit 10 % pour le FEI4. Comme mentionné précédemment, le FEI4 a été dimensionné de façon à optimiser la surface active de détection tout en gardant un rendement et un coût acceptable de fabrication. Les dessins des masques des « Front-End » possèdent de nombreux points communs. La matrice est arrangée en double colonne (cf. : Figure 11) de façon à séparer les parties analogiques et numériques où les données transitent à la vitesse d'une horloge cadencée à 40 MHz.

L'architecture de la partie analogique (cf. : Figure 12) est composée d'un préamplificateur de charge linéaire jusqu'à 20 ke⁻ pour le FEI3 et 100 ke⁻ pour le FEI4.

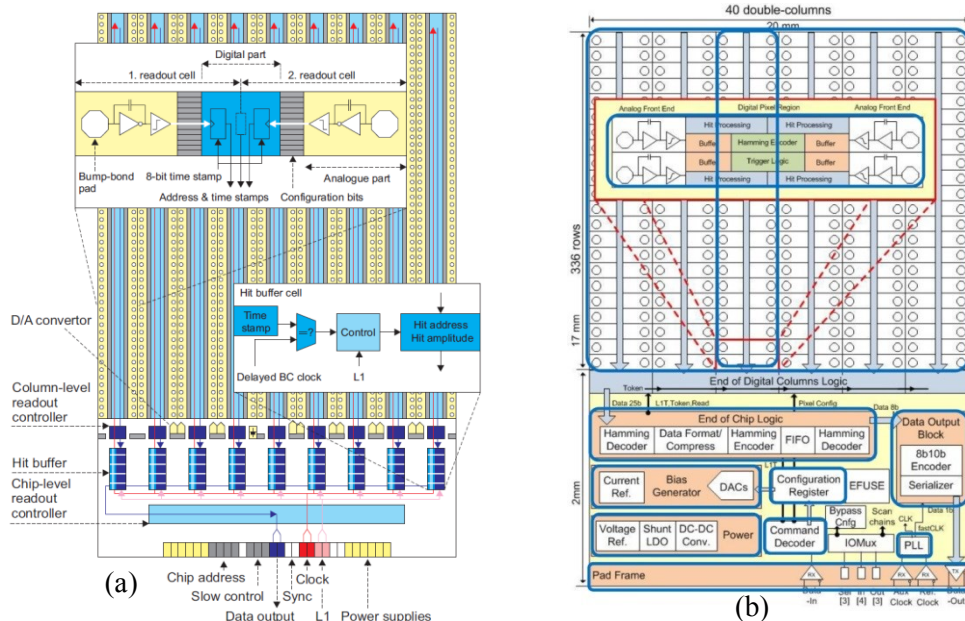


Figure 11: implantation des pixels des "Front-End", (a) FEI3, (b) FEI4

Le PAC du FEI4 est connecté au comparateur via un étage intermédiaire d'amplification permettant de libérer la contrainte sur la valeur de capacité de contre-réaction du PAC en répartissant les gains sur les deux étages.

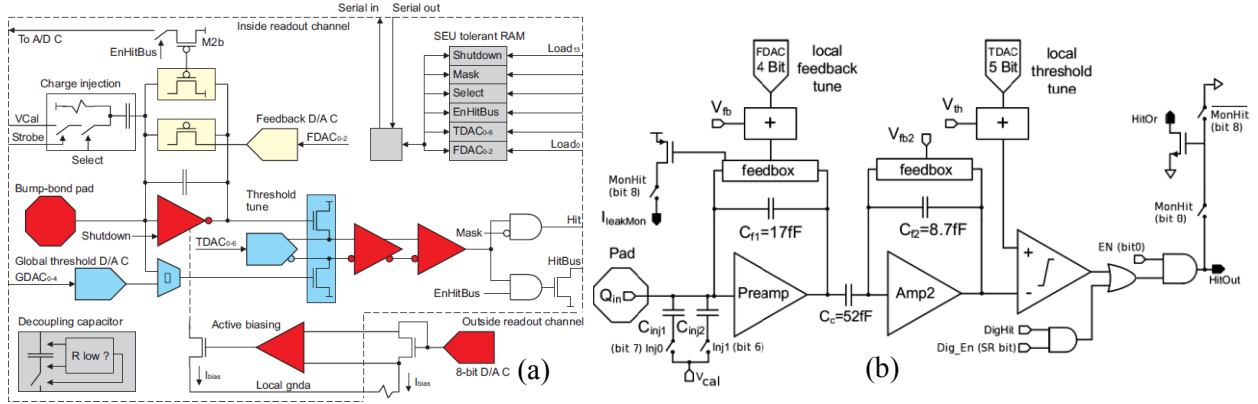


Figure 12: synoptique partie analogique "Front-End", (a) FEI3, (b) FEI4

Dans les deux versions, la contre-réaction du premier étage n'est pas qu'une simple capacité.

Deux fonctions majeures, primordiales, sont incluses sur cette partie du « Front-End » :

- 1 : Comme le détecteur est affecté par les radiations, une compensation de son courant de fuite est injectée à l'entrée du PAC et peut atteindre 100 nA. Cette option limite les dérives du gain de la chaîne de lecture ainsi que la polarisation DC. Un transistor est connecté à l'entrée du « Front-End » pour drainer ce courant.
- 2 : Deux informations, venant de la partie analogique, sont stockées et transmises via le digital. Ces informations sont :

- la cellule touchée, signal de sortie du comparateur allant sur un compteur,
- l'énergie de la particule incidente est mesurée via le contrôle de la décharge de la capacité de contre-réaction du préamplificateur. Cette tension redescend au piédestal de façon linéaire. De ce fait, la largeur du signal du comparateur appelée ToT (« Time over Threshold ») est comptée. Elle fournit une information sur l'énergie à la précision d'une période d'horloge.

Ce qui diffère vraiment dans l'architecture de ces deux puces est leur partie digitale. La motivation de la conception de la nouvelle architecture FEI4 est d'éviter le risque de saturation du stockage des événements, et donc la perte de ceux-ci.

La bande passante du FEI3 s'en trouverait limitée et son inefficacité dans ce nouvel environnement a été simulée (cf. : Figure 13) [8].

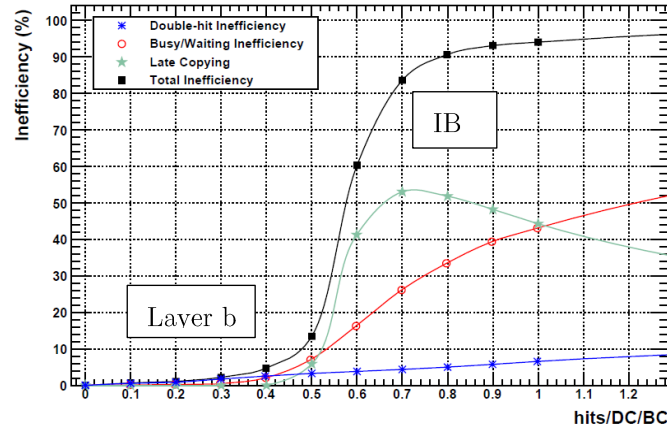


Figure 13: inefficacité du FEI3 à 3.7 cm du faisceau

Pour le FEI3, un premier tri des données mémorisées est fait en périphérie de la puce, comme par exemple une remise à zéro des compteurs si un signal « trigger » n'apparaît pas durant un temps de latence de plusieurs dizaines de microsecondes. Chaque événement est identifié dans le temps avec l'adresse du pixel touché ainsi que l'énergie du signal correspondant. Le FEI4 garde cette philosophie de fonctionnement mais la partie digitale gère à chaque fois un cluster de quatre pixels (contre deux pour le FEI3) et mémorise l'information selon un algorithme entre ces quatre pixels. Ce système permet de réduire les transmissions de données sur le bus commun des colonnes de pixels, d'augmenter la bande passante et de limiter très fortement le taux d'occupation global de la puce.

Les paramètres caractérisant les deux puces sont résumés ci-dessous (cf. : Tableau 6) :

Paramètre	FEI3	FEI4
Taille pixel	$50 \times 400 \mu\text{m}^2$	$50 \times 250 \mu\text{m}^2$
Matrice pixels	18×160	80×336
Densité pixels	4000 pixel/cm^2	8000 pixel/cm^2
Quantité pixels	2880	26880
Dimensions puce	$7,6 \times 10,8 \text{ mm}^2$	$20,2 \times 19 \text{ mm}^2$
Zone active	74 %	89 %
Transistors	$3,5 \cdot 10^6$	$87 \cdot 10^6$
Fréq. Evts.	100 MHz/cm^2	400 MHz/cm^2
Bande passante	40 Mb/s	320 Mb/s
Dose totale (TID)	100 Mrad	200 Mrad
Technologie	250 nm	130 nm
$I_{\text{DDA}}/I_{\text{DDD}}$	$26 (\mu\text{A/pix.})/17 (\mu\text{A/pix.})$	$10 (\mu\text{A/pix.})/10 (\mu\text{A/pix.})$
$V_{\text{DDA}}/V_{\text{DDD}}$	1,6 V/2 V	1,5 V/1,2 V
Puissance	$0,3 \text{ W/cm}^2$	$0,22 \text{ W/cm}^2$

Tableau 6: synthèse des paramètres des "Front-End" du détecteur pixels

I.8.3 RD53

Afin de répondre à une nouvelle phase d'exploitation des expériences ATLAS et CMS (« upgrade phase II ») prévue courant 2026, une nouvelle conception d'un ASIC « Front-End » RD53B est en cours. RD53 est une collaboration internationale, comprenant une vingtaine d'instituts dont l'objectif est de fournir à la communauté scientifique un détecteur pixels complet à l'échéance 2024 pour son installation dans l'expérience.

Les contraintes premières qui apparaissent, sont liées aux flots importants d'événements à traiter puisque la luminosité des faisceaux de l'accélérateur du CERN devrait être à terme sept fois supérieure à celle de la précédente phase d'exploitation.

La thématique des irradiations est aussi une préoccupation. En effet, le premier cahier des charges [9] stipulait une tolérance à la dose de 1 Grad (1.10^{16} 1 MeVneq/cm²) soit un facteur 5 comparé au précédent développement.

Une première puce, RD53A, est actuellement en cours de caractérisation (cf. : Figure 14). C'est un ASIC prototype, demi-échelle ($\sim 2 \times 1$ cm²) couvrant l'ensemble des fonctionnalités mentionnées dans les spécifications (cf. : Tableau 7).

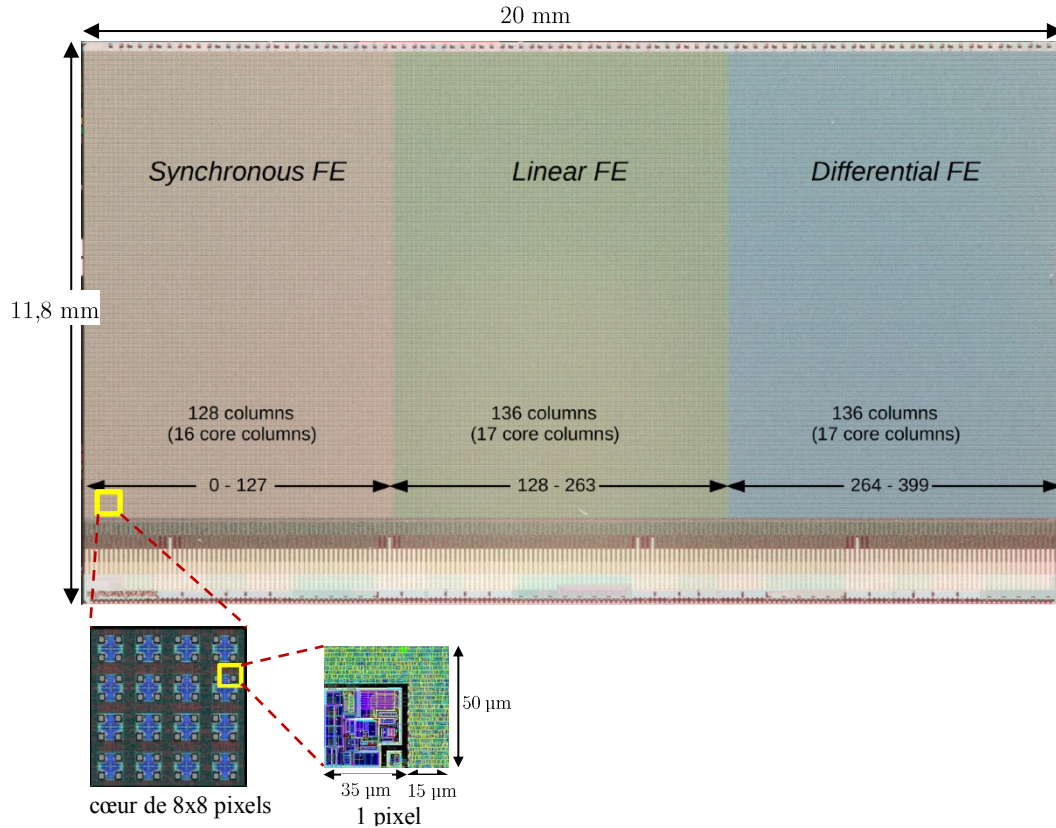


Figure 14: implantation du circuit "Front-End" RD53A

Ce prototype est segmenté en trois zones où les architectures des circuits analogiques sont différentes. Leur conception est optimisée pour limiter la consommation (~ 4 μ A/pixel), ainsi que les effets du courant de fuite du détecteur, mais aussi diminuer le seuil de détection et le niveau de bruit de la chaîne :

1 « Front-End » Synchrone : C'est une architecture qui ne dispose pas de DAC (« Digital to Analog Converter ») de seuil pour la détection. Ce seuil est défini par la charge d'une capacité équilibrant les entrées du comparateur. La mesure du ToT est précise grâce à un oscillateur local d'une fréquence de 100-900 MHz.

2 : « Front-End » Linéaire : L'architecture ressemble à celle du FEI4 avec un simple étage d'amplification pour limiter la consommation.

3 : « Front-End » Différentiel : L'étage comparateur est différentiel. Les résultats obtenus montrent un seuil de détection ($\sim 1 \text{ ke}^-$, $\sigma \sim 120 \text{ e}^-$) assez bas comparativement aux autres « Front-End » et reproductible sur l'ensemble de la matrice avec une bonne efficacité (cf. : Figure 15). Peu de pixels sont inopérants ($< 0.01 \%$ @ Seuil = 400 e^-)

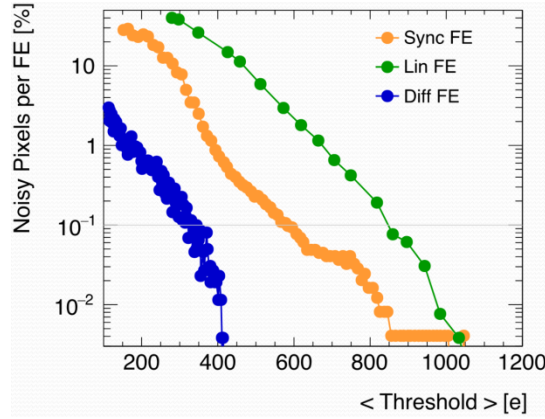


Figure 15: taux d'occupation de pixels bruyants en fonction du seuil de détection

Bénéficiant d'un degré d'intégration élevé de par l'utilisation d'une technologie CMOS 65 nm, certains paramètres exigés dans le cahier des charges sont cependant extrêmement contraignants :

1 : La taille du pixel : dans le but d'améliorer la granularité du détecteur, la taille du pixel a été fixée à $2500 \mu\text{m}^2$ ($50 \times 50 \mu\text{m}^2$). Comme illustrée ci-dessus (cf. : Figure 14) la particularité du dessin des masques montre un îlot analogique comprenant quatre pixels autour de la partie digitale (« analog island in a digital sea »). Les deux intérêts majeurs de cet arrangement géométrique sont la possibilité d'isoler les parties analogiques et digitales au moyen d'un caisson DNW (« Deep N-Well »), mais aussi de limiter la zone morte de détection le long de la matrice [10].

2 : Le taux d'évènements : Cette valeur est fixée à 3 GHz/cm^2 avec une tolérance d'évènements non traités négligeable et inférieure à 1 %. Le taux d'évènements (R_H) peut s'écrire :

$$R_H = \frac{N_{\text{HIT pixels}}}{T \times S_{\text{chip}}}$$

où $N_{\text{HIT pixels}}$ est le nombre d'évènements enregistrés, T la période entre deux évènements S_{chip} la surface totale de détection. L'efficacité de cette détection est le rapport entre le nombre de pixels dans la surface de détection sur le nombre d'évènements enregistrés.

Les facteurs limitants pouvant se traduire par la non prise en compte d'un évènement sont le temps mort de la partie analogique et la saturation des mémoires numériques stockant les différentes données [11].

Le taux d'évènements est aussi en rapport avec deux autres paramètres que sont le taux de déclenchement et le temps de latence que peut se permettre la chaîne de lecture pour mémoriser les données. Ces paramètres sont deux compromis et permettent d'effectuer une première sélection des évènements selon leur pertinence, calculée par l'intelligence des structures digitales mises en place. Les pixels sont gérés par cœurs de 8×8 pixels (cf. : Figure 14).

Chaque cœur est segmenté en région représentant un multiple de 2×2 ou de 4×4 pixels de façon à mémoriser les évènements dans une mémoire locale en respectant le temps de latence préconisé. Cette segmentation permet de ne pas affecter la bande passante du bus de données et de limiter la consommation dynamique de la partie digitale. La mise en forme des données est effectuée dans le bas de colonne où elles sont formatées (Aurora 64b/66b) puis transmises via un nombre configurable de liens différentiels vers la partie « Back-End », à 1,28 Gb/s par lien.

3 : L'alimentation : ce point est très critique vu la densité de pixels intégrés dans une seule puce (~ 76000 pour un prototype demi-échelle), la puissance dissipée/unité de surface ($\sim 1 \text{ W/cm}^2$) et le faible niveau de tension d'alimentation requis pour la technologie ($\sim 1,2 \text{ V}$). L'alimentation par un traditionnel générateur de tension est exclue dans ce cas de figure, car ceci nécessiterait des niveaux de courant élevés et augmenterait le budget matière. Ce dernier point est critique et déterminant dans le choix de la géométrie du détecteur. Toute la matière, correspondant par exemple aux lignes de transmission et d'alimentation ou encore à la structure mécanique de l'ensemble, tend à parasiter et dégrader l'efficacité de détection des particules. Le seul recours pour alimenter les « Front-End » de cette génération, est d'utiliser un générateur de courant venant alimenter plusieurs ASIC mis en série. L'impédance d'entrée de chaque circuit permet de délivrer la puissance nécessaire au fonctionnement de la puce. L'avantage premier est d'alimenter des puces mises en série par un seul et unique courant constant. L'inconvénient majeur d'une telle architecture est la nécessité de prévoir une architecture tolérante à la possible défaillance d'un « Front-end ». Ce dernier, une fois identifié, peut être remplacé par une résistance shunt. Sans cette possibilité, le risque est de perdre une chaîne de lecture complète pouvant comprendre plus d'une centaine de « Front-End ».

Les spécifications du circuit intégré final, RD53B, sont synthétisées dans le tableau suivant (cf. : Tableau 7) :

Paramètre	ATLAS	CMS
Technologie	65 nm CMOS	
Taille pixel	$50 \times 50 \mu\text{m}^2$	
Quantité pixels	$384 \times 400 = 153600$	$336 \times 432 = 145152$
Seuil de détection	$< 600 \text{ e-}$	
Pixels bruyants	$< 10^{-6}$	
Freq. Evts	$< 3 \text{ GHz/cm}^2$ (perte max. = $< 1 \%$)	
Taux de déclenchement	1 MHz max.	
Temps de latence	12,5 μs	
Résolution charge	4 bits ToT	
Vitesse de Transmission	1-4 links @ 1,28 Gbit/s = max 5,12 Gbit/s	
Dose totale (TID)	500 Mrad, $1.10^{16} \text{ 1MeVneq/cm}^2$	
Taux SEU tolérable	$< 0.05/\text{hr}/\text{chip}$ @ flux : $1,5 \text{ GHz/cm}^2$	
Consommation@ Freq. Evts max.	$< 1 \text{ W/cm}^2$	
Consommation pixel	4 μA (I analogique) / 4 μA (I digital)	

Tableau 7: synthèse des paramètres du "Front-End" RD53B

I.9 Conclusion

Maintenant que le contexte des expériences du CERN, dont traite ce mémoire, a été posé, les prochains chapitres vont permettre d'aller au cœur de la problématique : les effets des irradiations sur l'électronique utilisée auprès des détecteurs de physique des particules. Le CERN ainsi que ses expériences ont été brièvement passées en revue, pour converger vers la partie centrale de l'expérience ATLAS, qui concerne le détecteur pixels. L'évolution de son électronique « Front-End » depuis une bonne quinzaine d'années maintenant montre une similitude avec la loi de Moore. Gordon E. Moore, co-fondateur d'Intel, prédisait dans les années soixante-dix, une multiplication par deux du nombre de transistors implantés dans les microprocesseurs tous les deux ans environ.

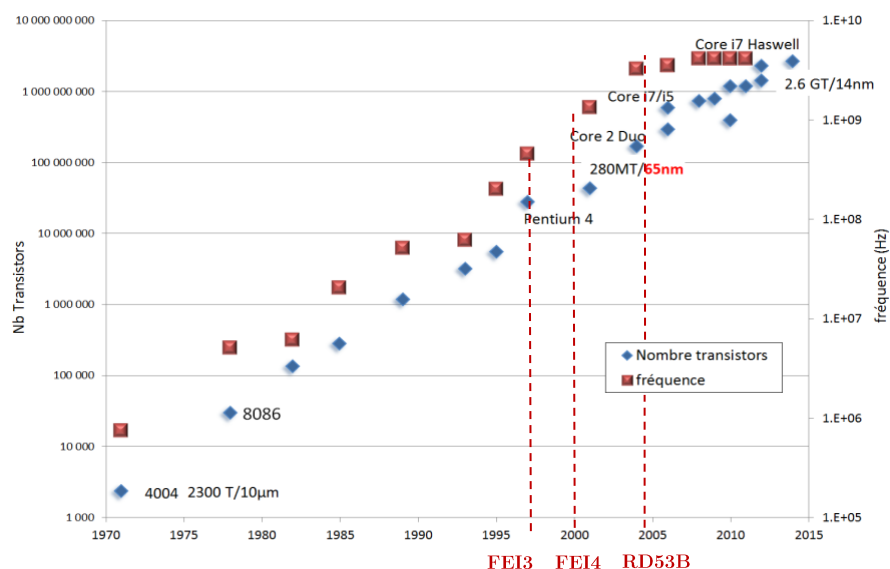


Figure 16: évolution de la loi de Moore

La tendance de la prédiction de Moore, illustrée ci-dessus (cf. : Figure 16), s'est poursuivie jusque dans les années 2010-2015, dates qui correspondent à l'intégration de technologies très fines comme la 14 nm et plus petites encore. Ce seuil pose de véritables problèmes technologiques, où la gravure sur silicium demande des étapes coûteuses afin d'optimiser le rendement de la chaîne de fabrication. La puissance dissipée est aussi un facteur limitant, ramenée au cm^2 , la dissipation thermique des composants doit être étudiée.

Si on transpose cette loi avec les applications en physique des particules, les « Front-End » décrits dans ce chapitre utilisent effectivement une technologie éprouvée depuis plus de quinze ans. Cependant, il n'est pas sûr qu'utiliser une technologie très avancée comme la 14 nm pour une application dans ce domaine de recherche soit une véritable solution. Les circuits décrits dans ce chapitre sont mixtes analogique/numérique. La conception des parties analogiques devient délicate avec la diminution de la taille des transistors et des niveaux de tension d'alimentation engagés. Autre problème majeur soulevé par notre problématique : Qu'en est-il de la tenue aux radiations pour ces technologies aussi modernes ? Cette question renvoie à la thématique du chapitre suivant dans lequel sera décrit les effets du rayonnement ionisant sur la matière tel que le silicium.

Chapitre II

II Effets du rayonnement ionisant dans les circuits intégrés

II.1 Introduction

Ce chapitre va permettre d'apporter une compréhension sur les phénomènes générés par le rayonnement ionisant sur un substrat tel que le silicium. Depuis plusieurs décennies maintenant, le comportement des circuits intégrés soumis à un tel environnement est compris et anticipé lors des conceptions qui doivent dans la plupart des cas être robuste et d'une fiabilité optimale car une intervention de maintenance est rarement possible. Que ce soit dans le domaine de l'avionique, le spatial ou dans notre cas auprès des accélérateurs de particules, même si les niveaux de doses n'ont pas le même ordre de grandeur, les phénomènes physiques liés aux radiations venant dégrader les paramètres électriques des composants implantés sur silicium s'expliquent.

Les effets du rayonnement ionisant sur une électronique sont dissociés en deux parties :

- 1 : Une dégradation progressive générant à terme des dysfonctionnements est liée aux effets de dose absorbée par le matériau.
- 2 : Une particule chargée peut avoir suffisamment d'énergie pour générer un évènement singulier. Classé comme un SEE (« Single Event Effect »), ces effets sont de plusieurs ordres et peuvent générer des défaillances temporaires ou irréversibles.

Ce chapitre comprend deux thèmes abordant ces problématiques. Il commence par une explication sur l'interaction du rayonnement avec la matière. Ensuite il sera mentionné les conséquences sur les composants implémentés sur le silicium tel que les transistors bipolaires et MOS.

Puis la deuxième partie portera sur les effets des événements singuliers avec une synthèse des différents types d'événements possible. Enfin une conclusion synthétisera cette problématique.

II.2 Interaction rayonnement-matière

L'interaction rayonnement-matière décrit l'effet du rayonnement sur le milieu traversé et donc le transfert d'énergie qu'il va provoquer dans le matériau. Cet effet est très dépendant d'une part de la nature de la particule incidente que ce soit sa masse, son énergie, sa charge électrique, d'autre part la structure atomique et la densité du matériau, victime de ce rayonnement, sont également importantes. Il est possible de dissocier en deux parties ces effets selon si la particule est chargée ou neutre (cf. : Figure 17).

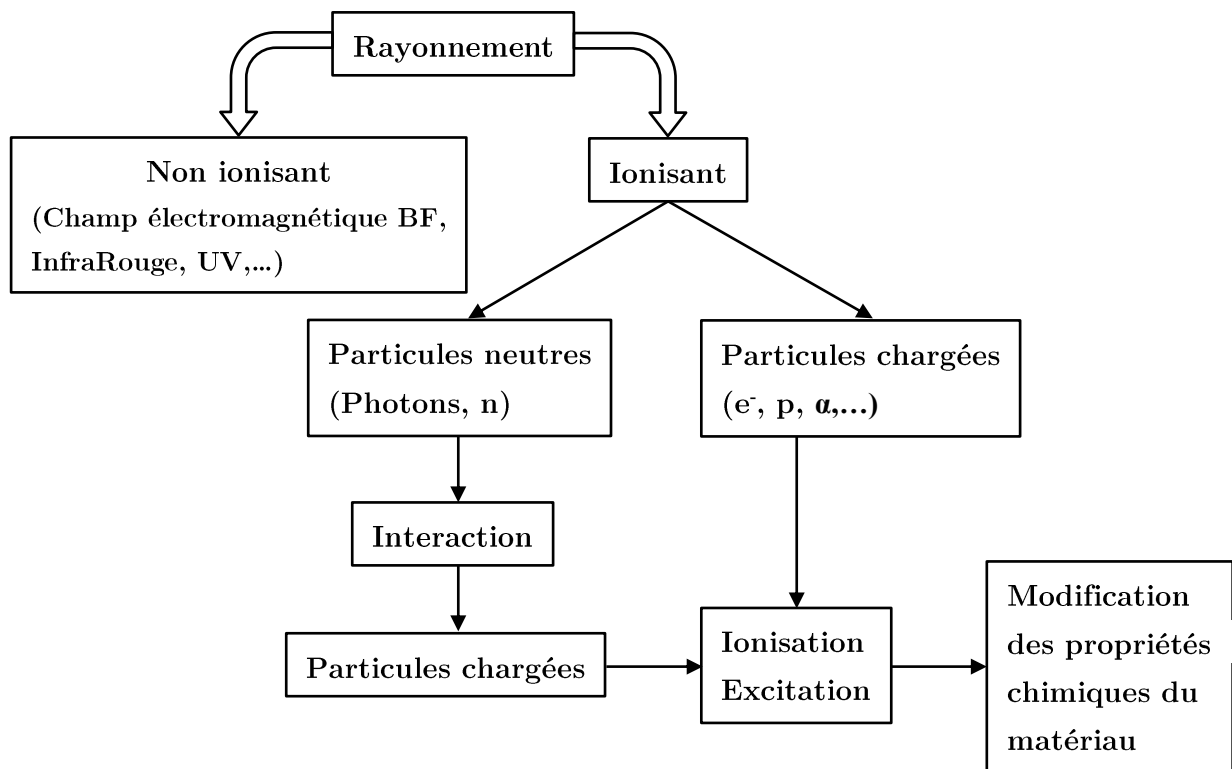


Figure 17: mécanisme de l'effet rayonnement-matière

II.2.1 Cas d'une particule chargée

Les particules chargées provoquent des interactions coulombiennes à travers le matériau où elles cèdent leur énergie. Ces interactions peuvent prendre deux formes :

- 1 : Une ionisation en éjectant un électron du cortège électronique de l'atome.
- 2 : Une excitation en transférant un électron sur une couche électronique différente.

Ces phénomènes sont dépendants de l'énergie de la particule incidente. Le rayonnement qu'il soit particulaire ou électromagnétique est ionisant s'il est susceptible d'arracher des électrons à la matière. Ce phénomène se réalise si l'énergie du rayonnement est supérieure à l'énergie de liaison des électrons considérés.

Pour le cas de protons, particules se rapportant au contexte de cette étude, l'excitation se produit pour des énergies inférieures à 100 keV. En plus des interactions coulombiennes, il peut se produire :

- des collisions entre les noyaux qui peuvent provoquer leur excitation ou leur déplacement,
- une réaction nucléaire pour des énergies initiales supérieures à 10 MeV.

L'interaction des ions lourds avec la matière donne lieu à des phénomènes similaires.

Concernant les électrons, ceux-ci peuvent faire partie de l'environnement radioactif ou provenir des interactions avec le matériau par un autre type de particule incidente.

Dans tous les cas ils interagissent de deux manières, selon leur niveau d'énergie :

- 1 : Comme pour les protons, ils induisent une ionisation ou une excitation de l'atome.
- 2 : Ils peuvent transférer leur énergie au noyau et générer des déplacements.

Au voisinage d'un noyau un électron subit une déviation et une décélération (cf. : Figure 18). Celui-ci perd de son énergie et émet alors un rayonnement de freinage dit « bremsstrahlung ». Un électron ralenti correspond à un photon X dont l'énergie sera proportionnelle au freinage de l'électron incident.

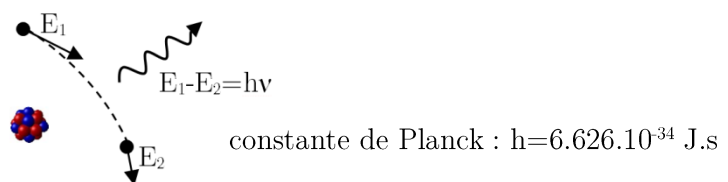


Figure 18: émission rayonnement X

II.2.2 Cas d'une particule neutre

Une particule neutre par définition n'est pas sensible à un champ électrique. Il n'y a donc pas d'interaction de type coulombienne avec ce type de particule.

II.2.2.1 Interaction des neutrons avec la matière

L'interaction d'un neutron avec la matière diffère selon son niveau d'énergie. Il est classé en plusieurs catégories (cf. : Tableau 8).

Catégorie	énergie
Neutrons lents ou thermiques	$E_n < 0,5 \text{ eV}$
Neutrons intermédiaires ou épithermiques	$1 \text{ eV} < E_n < 10 \text{ keV}$
Neutrons rapides	$E_n > 10 \text{ keV}$

Tableau 8: catégorie de neutron vs énergie

Selon leur énergie, les neutrons provoquent des réactions de plusieurs types dites de diffusion, de capture ou de fission. Les diffusions peuvent être :

- élastiques. Le neutron incident entre en collision avec le noyau de l'atome. Si l'énergie transmise au noyau est suffisante, le noyau peut à son tour se déplacer provoquant une ionisation ou un déplacement nucléaire. La perte d'énergie du neutron dépend de la masse du noyau cible.
- inélastiques. Le neutron incident est tout d'abord absorbé par le noyau. Le phénomène provoque une excitation du noyau qui retrouve son niveau fondamental en émettant un neutron et un ou plusieurs photons.

Les réactions de capture consiste en ce que le neutron soit absorbé par le noyau provoquant une excitation de celui-ci allant jusqu'à sa désintégration. Le noyau peut émettre alors des particules chargées comme des protons ou des particules α . Le nouveau noyau est un isotope du noyau cible, moins riche en neutron, pouvant être instable et émetteur de particules β^+ .

Enfin, la troisième réaction, dite de fission, représente le cas où le neutron incident est absorbé par le noyau provoquant une excitation de tous les nucléons. Le noyau se déforme et se scinde en deux fragments accompagnés de chaleur ou d'énergie. Deux à trois neutrons sont émis simultanément. Les neutrons émis peuvent induire à leur tour de nouvelles fissions provoquant alors une réaction en chaîne pouvant être contrôlée comme c'est le cas pour les réactions se passant au cœur des centrales nucléaires.

Tous ces phénomènes physiques sont étroitement liés à l'énergie de la particule incidente, les neutrons de basse énergie provoquent des réactions de diffusion, les autres réactions sont induites par des particules aux énergies plus élevées.

II.2.2.2 Interaction des photons avec la matière

Les photons interagissent de plusieurs manières avec l'atome. Comme pour les neutrons, on distingue deux effets dits de diffusion et d'absorption.

Les diffusions (cf. : Figure 19) sont soit :

- élastiques : le photon incident « rebondit » sur un électron de l'atome cible et est diffusé sans perdre d'énergie. Cette diffusion est nommée diffusion de Rayleigh.
- inélastiques : Le photon incident entre en collision avec un électron d'un atome de la matière cible. Durant ce phénomène, l'électron est éjecté de l'atome qui est ionisé tandis qu'un photon est émis. L'énergie initiale du photon incident est distribuée entre l'électron éjecté et le photon diffusé.

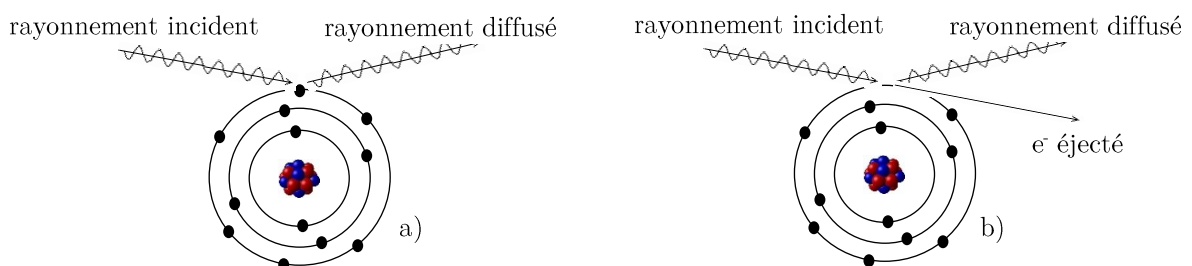


Figure 19: diffusion d'un photon, a) élastique - diffusion Rayleigh, b) inélastique - diffusion Compton

Dans le cas où le photon est absorbé, il provoquera une transition électronique. Selon son énergie, soit l'électron sera dévié de son orbite, soit il induit un processus d'ionisation où l'électron cible sera éjecté et appelé photoélectron. Le terme « relaxation » est une désexcitation de l'atome qui tend à revenir à son équilibre et à son énergie initiale. Une transition d'un électron de la couche supérieure vient combler le trou laissé vacant par l'électron éjecté. Selon l'énergie du photon incident, il peut y avoir plusieurs cas de figures. Si l'énergie de transition est faible, en périphérie de l'atome il y aura l'émission d'un photon lumineux d'une longueur d'onde située dans le visible où l'ultraviolet (cf. : Figure 20a). Aux énergies plus élevées, soit il y a émission d'un photon X (cf. : Figure 20b), soit il peut aussi être capturé par l'atome et provoquer l'éjection d'un électron périphérique. On parle dans ce cas d'une émission Auger (cf. : Figure 20c).

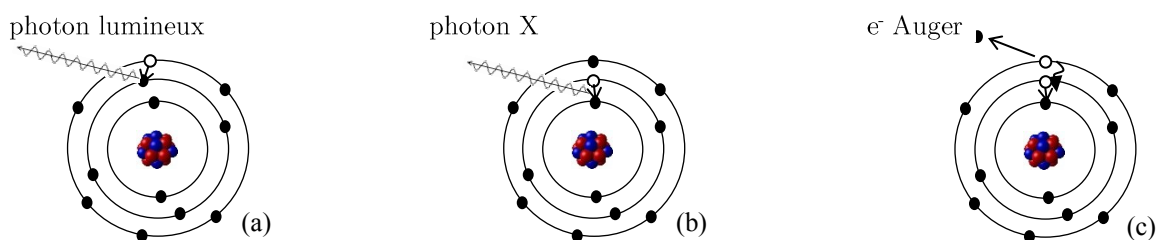


Figure 20: absorption d'un photon : a) fluorescence UV-visible b) fluorescence X c) émission Auger

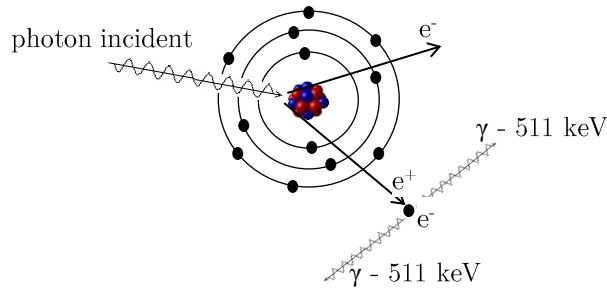


Figure 21: production d'une paire e^+/e^- avec génération de γ d'une énergie de 511 keV

Dans le cas où les photons ont une énergie élevée, de l'ordre de plusieurs MeV, la production de paires e^+/e^- est un phénomène qui devient prédominant. Pour que ce type d'interaction se produise, le photon incident doit posséder une énergie au moins supérieure à la somme des énergies de masse au repos d'un électron et d'un positron soit : $2 \times 0,511 \text{ MeV} = 1,022 \text{ MeV}$. Le positron émis lors de ce processus est annihilé au contact avec un électron du milieu en générant une paire de photons de 511 keV qui prennent spontanément des directions diamétralement opposées à 180° (cf. : Figure 21).

Les trois phénomènes décrits ici, l'effet photoélectrique, Compton et la création de paires e^+/e^- sont dépendants de l'énergie du rayonnement incident mais aussi du numéro atomique du matériau cible (cf. : Figure 22). Les tests en irradiation, décrits dans la synthèse des mesures obtenues (cf. : Chapitre IV), ont été effectués avec une source à rayons X 10 keV – 3 kW. L'effet dominant est un effet photo-électrique. Il est aussi couramment utilisé pour ce type de tests une source à rayons gamma ^{60}Co , d'une énergie supérieure à 1,022 MeV où l'effet Compton prédomine dans le silicium.

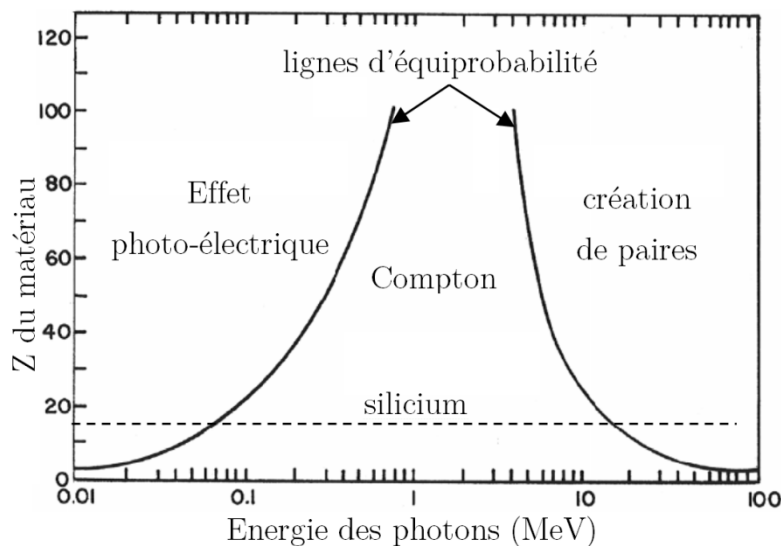


Figure 22: effet du rayonnement des photons versus numéro atomique (Z) du matériau cible [12]

Pour résumer les effets du rayonnement ionisant sur le silicium, ceux-ci peuvent être regroupés en deux catégories et dépendent de la nature de la particule incidente ainsi que de son énergie. Ces effets sont :

1 : L'effet d'ionisation :

Ces phénomènes s'apparentent aux effets de surface. Le nombre de paires électron-trous généré autour de la trajectoire de la particule incidente est proportionnel à la quantité d'énergie déposée dans le matériau. Ce transfert d'énergie est matérialisé par la dose ionisante absorbée par la matière communément appelée TID (« Total Ionizing Dose ») dont l'unité est le rad (rad), unité ancienne, ou le Gray(Gy).

$$1 \text{ Gray} = 100 \text{ rad}$$

La dose totale absorbée représente la quantité d'énergie reçue par unité de masse :

$$1 \text{ Gy} = 1 \text{ J/kg (Joule/kilogramme)} \quad (1 \text{ J} = 6,25 \cdot 10^{12} \text{ MeV})$$

Comme ce phénomène a pour référence la dose ionisante, notre attention n'est plus portée sur le type de particule, mais sur la quantité d'énergie déposée dans le matériau. Ainsi dans le cadre d'un test en irradiation, le temps d'exposition d'un échantillon de silicium sous un faisceau de particules dont le type, le flux (nombre de particules/cm²/seconde) et l'énergie sont connus, nous donnera une estimation de la dose totale absorbée.

2 : L'effet de substrat :

Également très dommageable aux performances d'une électronique, encore plus pour ce qui est des détecteurs silicium, les effets de substrat se traduisent par les interactions des particules incidentes avec les atomes du réseau cristallin. Ce phénomène désordonne ce réseau et peut provoquer plusieurs types d'aléas selon l'énergie et la masse de la particule incidente. Pour retirer un atome de silicium de sa position initiale, il faut une énergie de recul minimum E_d d'environ 25 eV. Comparativement (cf. : Tableau 9), pour fournir une telle énergie de recul lors d'une collision, les électrons doivent avoir au moins une énergie de 260 keV, alors que les protons et les neutrons, en raison de leur masse plus élevée, ne nécessitent que 190 eV.

Type de particule	$E_{\min}$ pour un défaut ponctuel	$E_{\min}$ pour un cluster de défauts
Électron	260 keV	4, 6 MeV
Proton ou neutron	190 eV	15 keV

Tableau 9: énergie de radiation minimale pour la création d'un défaut ponctuel et d'un cluster de défauts dans un volume de silicium en fonction du type de particule

Dans ce cas, le défaut est dit ponctuel car il correspond au déplacement d'un seul atome.

Pour une particule incidente de plus forte énergie, ce phénomène ponctuel est amplifié. Les collisions engendrées par ce type de particule peuvent provoquer une transmutation du noyau et laissent localement une zone polluée et fortement ionisée. Pour déplacer d'autres atomes dans le cristal, un atome de silicium doit au minimum atteindre une énergie d'environ 5 keV. Lorsque plusieurs atomes sont déplacés dans le réseau on parle dans ce cas d'un cluster de défauts correspondant à un ensemble de défauts ponctuels. Un défaut ponctuel typique peut être l'absence d'un atome (lacune), la présence d'un atome entre les atomes (défaut interstitiel), ou encore la présence d'un ion entre les atomes du réseau (solution solide interstitielle)... Ces déplacements d'atomes (cf. : Figure 23) sont étroitement localisés et peuvent couvrir un volume de plusieurs dizaines de nanomètres selon les caractéristiques de la particule incidente.

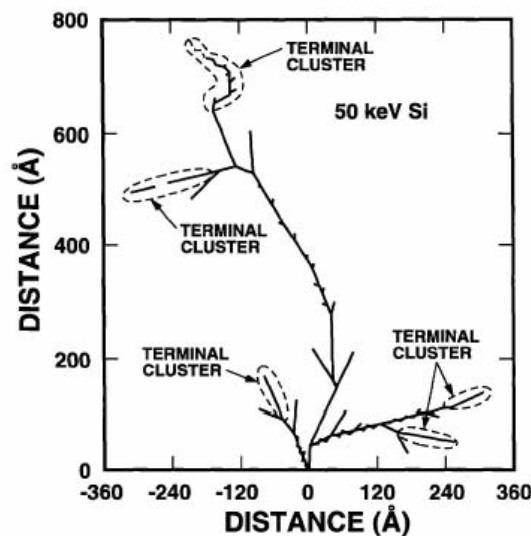


Figure 23: exemple d'un cluster de défauts dans le silicium provoqué par un atome d'une énergie de 50keV [13]

L'association d'un défaut interstitiel à une lacune est appelée un défaut de Frenkel. Le retour à l'état initial de ces défauts, lors de la phase de récupération faisant suite à une période d'irradiation se produit de façon quasi instantanée. Dans le dioxyde de silicium, à température ambiante, 90% des défauts de Frenkel se recombinent dans la minute qui suit la fin de la phase d'irradiation.

Les effets de substrat n'ont pas d'incidence sur les dispositifs électroniques CMOS, puisque leur fonctionnement réside en la maîtrise d'un canal de conduction via un champ électrique local au niveau de l'interface Si/SiO₂, précisément sous la grille du transistor. Par contre l'accumulation de ces défauts contrarie fortement le comportement des détecteurs silicium ainsi que les dispositifs de type bipolaire.

Afin de quantifier la perte en énergie non ionisante (NIEL : « Non Ionizing Energy Loss ») et de comparer les dommages provoqués par des particules incidentes dont les paramètres cinématiques sont très variés, l'unité a été normalisée et la fluence équivalente des neutrons d'une énergie de 1 MeV est utilisée comme particules de référence (cf. : Figure 24).

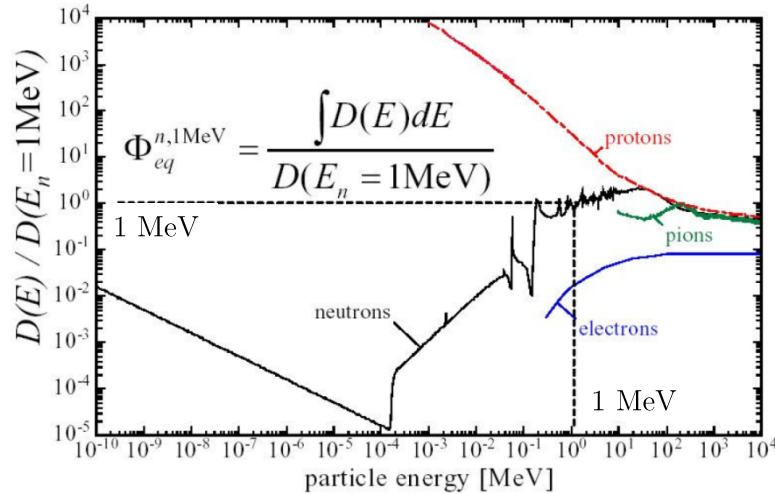


Figure 24: normalisation des défauts de substrat pour différents types de particules en fonction de leur énergie [14]

$D(E)$ représente la valeur moyenne de l'énergie de recul transférée au silicium par une particule non ionisante d'une énergie (E). Elle s'exprime en MeV.mb et est donnée par l'expression suivante :

$$D(E) = \frac{A}{N_A} \frac{dE}{dx} (E)$$

A est la masse atomique du silicium ($A=28,086$ g/mol), N_A est le nombre d'Avogadro ($\sim 6,022 \cdot 10^{23}$ mol $^{-1}$).

La figure ci-dessus (cf. : Figure 24) illustre une mise à l'échelle de la quantité des dommages liée aux déplacements dans le silicium en fonction de différents types de particules (neutrons, protons, électrons, pions). Comme dit précédemment le standard de la normalisation est fixé pour des neutrons d'une énergie de 1 MeV.

$D_n(1 \text{ MeV})=95 \text{ MeV.mb}$. Le spectre en énergie est représenté par la fonction $\Phi(E)$, qui est une fluence exprimée en nombre de particules/cm 2 .

Les effets de substrats sont particulièrement dommageables pour la partie détection où les concentrations de dopages sont affectées de manière sensible et ce problème peut devenir rédhibitoire par la suite s'il faut assurer le fonctionnement du système complet, détecteur + électronique « Front-End » pour une longue durée sans possibilité de remplacement.

En effet, l'élimination des dopants par la formation de cluster de défauts modifie la concentration de dopage efficace (N_{eff}) qui représente la différence entre la concentration des dopages de type N et P.

La plus petite particule ionisante (MIP : « Minimum Ionizing Particle ») provenant des évènements à détecter génère une faible quantité de paires électrons-trous. Pour être sensible à cet évènement, un volume déserté dans le silicium, c'est-à-dire dépourvue de porteur de charge libre, est utilisé telle une jonction PN polarisée par une tension inverse (V_{dep}), pouvant aller jusqu'à plusieurs centaines de Volt. La relation entre N_{eff} et V_{dep} est donnée par l'équation suivante :

$$V_{\text{dep}} = \frac{e}{2\epsilon_0\epsilon_{\text{si}}} |N_{\text{eff}}| d^2$$

e est la charge de l'électron ($1,6 \cdot 10^{-19}$ C), ϵ_0 la permittivité du vide ($8,85 \cdot 10^{-12}$ F.m⁻¹), ϵ_{si} constante diélectrique du silicium (11,7), d la profondeur du détecteur (μm).

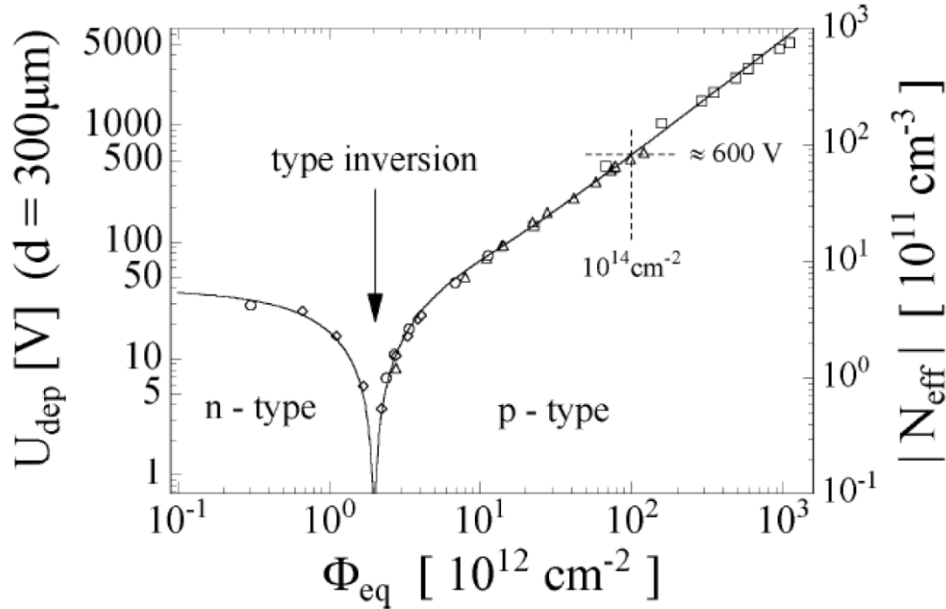


Figure 25: changement de la tension de déplétion d'un capteur de silicium de 300 μm d'épaisseur et de son dopage effectif en fonction de la fluence normalisée ($\Phi_{\text{eq}}^{\text{n},1 \text{ MeV}}$), après irradiation [15]

La variation de la concentration de dopage efficace N_{eff} et de la tension de déplétion en fonction de la fluence est illustrée ci-dessus (cf. : Figure 25). Le dopage de type N diminue pour atteindre un point (SCSI : « Space Charge Sign Inversion ») où le dopage est équivalent au dopage intrinsèque du silicium ($n_i \sim 1,45 \cdot 10^{10} \text{ cm}^{-3}$) pour une fluence d'environ $\Phi_{\text{eq}} = 2 \cdot 10^{12} \text{ cm}^{-2}$.

La fluence augmentant, N_{eff} change de signe et est dominée par une concentration équivalente de type P. Cette inversion ne correspond pas à l'élimination physique des donneurs mais plus à une augmentation des états accepteurs. Le volume du capteur silicium devient effectivement de type P.

Concrètement l'augmentation de la dose génère des piègeages de charges négatives puisque les défauts dominants sont de types accepteurs.

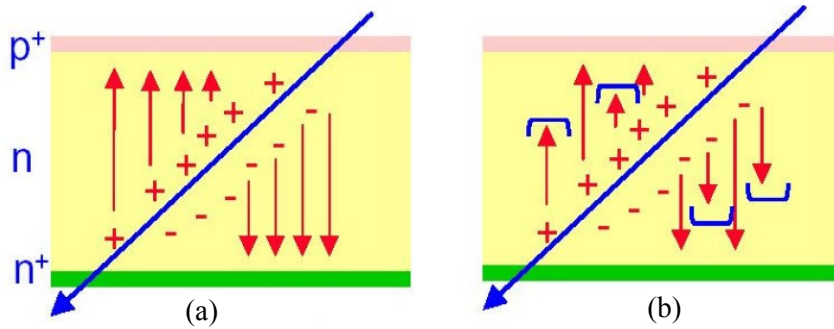


Figure 26: illustration des effets de substrat d'une jonction p-n d'un capteur silicium

Le changement de type du détecteur ne signifie pas forcément qu'il est pour autant inutilisable, mais ceci peut introduire une problématique importante pour le signal collecté (cf. : Figure 26). Tout d'abord, la tension de polarisation du détecteur devra être ajustée au cours de son exploitation, de façon à optimiser le volume de déplétion et continuer à collecter les charges déposées par les particules incidentes.

L'intégrité du signal utile est affectée par la présence de défauts dans le substrat qui agissent comme des centres de piégeage. Dans la zone de déplétion, les pièges sont pour la plupart inoccupés en raison du manque de porteurs de charge libres. Ils peuvent retenir ou piéger une partie des charges issues du signal pendant un temps non négligeable et ainsi atténuer progressivement l'amplitude du signal.

Un autre point concerne le courant de fuite du détecteur qui augmente significativement sous l'effet des radiations. La dégradation du substrat amplifie le niveau continu du courant entre les électrodes du détecteur, il est cependant prévu une compensation de ce phénomène au niveau de la partie analogique du « Front-End » (cf. : Chapitre I.8.2).

II.3 Effet des radiations sur les transistors

II.3.1 Transistors MOS

II.3.1.1 Introduction

Les structures MOS (« Metal Oxide Semi-conductor ») implantées sur un substrat semi-conducteur comme le silicium, sont sensibles aux effets de surfaces. L'ionisation produite par une particule incidente est dommageable au niveau de la couche de dioxyde de silicium (SiO_2), partie isolante de la structure qui pose problème particulièrement pour les anciennes générations de process. Cette ionisation est également dommageable au niveau des couches de passivation introduites par le fondeur pour isoler les transistors disposés sur le silicium. Au niveau de la grille le phénomène peut être considéré comme négligeable, car les matériaux concernés, que ce soit du métal ou du polysilicium, sont considérés comme conducteurs ou présentent une faible résistivité. Par ailleurs, les transistors de la technologie 65 nm disposent d'une épaisseur d'oxyde de grille assez fine, de l'ordre de 2 nm, ce qui laisse imaginer un volume très faible dans lequel les charges résiduelles peuvent être piégées.

II.3.1.2 Le transport des charges dans l'oxyde

La figure suivante (cf. : Figure 27) représente un diagramme de bande d'énergies et illustre le déplacement des charges positives (trous) en bleu et négatives (électrons) en rouge, charges générées par une particule incidente. Dans l'oxyde, le comportement de ces déplacements est différent en comparaison à ce que l'on observe dans le substrat, car leurs mobilités sont très disproportionnées.

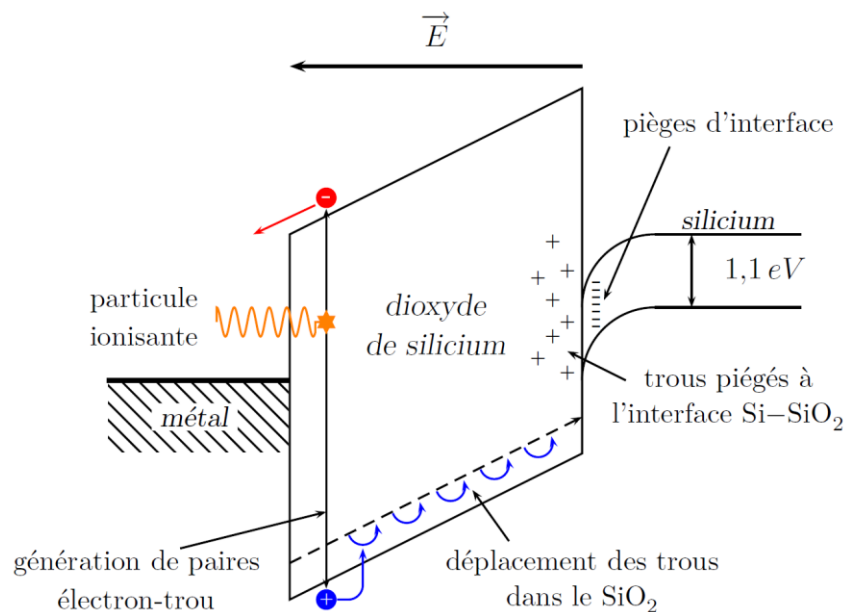


Figure 27: représentation schématique des effets de surface dans un dioxyde de silicium [16]

En effet, dans l'oxyde les électrons ont une mobilité beaucoup plus grande ($20 \text{ cm}^2/\text{V/s}$) que celle des trous ($4.10^{-9} \text{ cm}^2/\text{V/s}$). Elle est approximativement 10^9 fois plus importante [17]. Les électrons sont évacués très rapidement de l'oxyde, surtout en présence d'un champ électrique, alors que les trous auront tendance à rester sur place et le plus souvent à se piéger. Dans le cas d'un transistor NMOS polarisé et sous l'effet d'un champ électrique, les trous vont transiter vers l'interface Si/SiO₂. La vitesse à laquelle s'effectue le transport des trous peut varier considérablement selon les process de fabrication. Elle dépend de la qualité de l'oxyde et donc du processus de fabrication. Elle dépend également de la température et du champ électrique dans l'oxyde.

Après la génération de paires électrons-trous, une fraction de ces paires va se recombiner. Comme illustré ci-dessus (cf. : Figure 27), celles qui ne se recombinent pas sont séparées sous l'effet d'un champ électrique appliqué sur la grille du transistor. Dans le cas d'une polarisation positive, les électrons dérivent vers la grille pendant un temps très court, de l'ordre de la picoseconde, les trous quant à eux vont venir s'accumuler près de l'interface Si/SiO₂ et être piégés localement dégradant l'état de ces interfaces.

La quantité de paires électron-trous générée dans le matériau est fonction du dépôt d'énergie cédée à la matière. Le LET (« Linear Energy Transfert ») exprime l'énergie cédée au matériau par la particule incidente. Il dépend de plusieurs paramètres tels que l'énergie et la nature de la particule incidente.

$$\text{LET} = \frac{1}{\rho} \frac{dE}{dx}$$

ρ est la masse du matériau absorbant par unité de volume (kg/m^3). Le LET s'exprime en $\text{MeV.cm}^2.\text{mg}^{-1}$. Le nombre de paires électron-trou peut être estimé en connaissant l'énergie minimum nécessaire pour générer ces paires (exemple : Si $\sim 3.6 \text{ eV}$, SiO₂ $\sim 17 \text{ eV}$).

De nombreux modèles sont proposés afin de quantifier la densité de paires générée par la particule incidente. Ces modèles prennent en compte la nature de la particule incidente, son énergie ainsi que le type de matériau impacté. Ils définissent un volume où les phénomènes de recombinaison de paires se produisent.

Fonctions du LET mais aussi du champ électrique appliqué à l'oxyde, ces modèles expliquent les courbes suivantes (cf. : Figure 28) où le pourcentage de paires recombiné est illustré en fonction du champ électrique et ce pour différents types de particules incidentes à des valeurs d'énergie données.

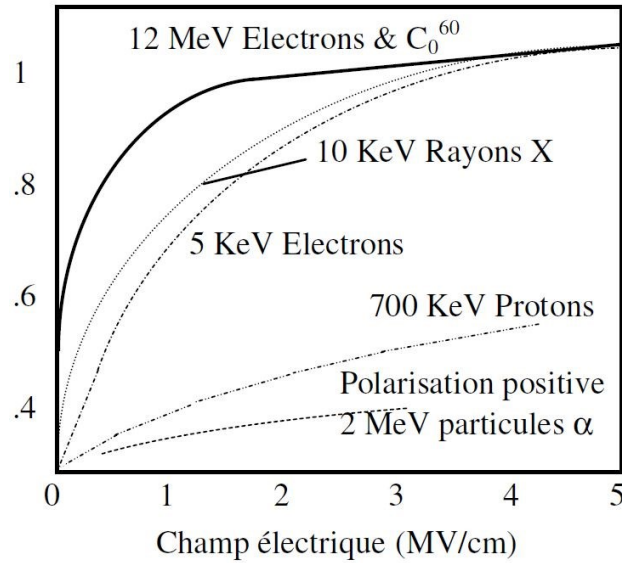


Figure 28: quantité de paires électrons/trous non recombinaées en fonction du champ électrique appliqué à l'oxyde pour différents types de particules [18]

Ce réseau de courbes montre plusieurs points à prendre en considération. Le champ électrique appliqué dans l'oxyde, de direction perpendiculaire à l'interface Si/SiO₂, joue un rôle majeur dans le phénomène de recombinaison. Aussi les sources utilisées pour irradier des échantillons électroniques implantés sur silicium doivent émettre des particules avec un minimum d'énergie afin d'observer les effets de dégradation liés à la dose ionisante.

Tous nos tests ont été effectués soit avec une source à rayon X de 10 keV soit avec une source protons de 24 GeV (cf. : Chapitre IV.2). Les résultats publiés dans ce mémoire sont considérés comme un pire cas du fait d'appliquer une polarisation durant l'exposition au rayonnement ionisant. Dans cette configuration, les charges piégées dans l'oxyde se recombinaient difficilement. Sous l'effet du champ électrique, les électrons s'extrait rapidement ce qui n'est pas le cas des trous qui s'accumulent dans l'oxyde puis aux interfaces Si/ SiO₂, dégradant ainsi les performances électriques des composants. Comparativement dans le cas d'une architecture numérique classique de technologie CMOS, les polarisations appliquées sur les portes logiques ne le sont que de façon alternative ce qui aura pour effet d'atténuer les tendances des mesures présentées ici.

Le transistor MOS verra trois de ses paramètres se dégrader face aux rayonnements ionisant tels que la tension de seuil, le courant de fuite et la transconductance.

II.3.1.3 Synthèse du transport de charges

Les différents phénomènes physiques qui suivent l'irradiation et la création de charges dans les oxydes sont illustrés ci-dessous (cf. : Figure 29). La densité de porteurs créés par les rayonnements ionisants pour une dose cumulée de quelques kilos rad est de l'ordre de 10¹⁸ cm⁻³.

Cette densité est négligeable par rapport à la densité de charges libres dans les métaux. Elle est cependant comparable aux densités de porteurs libres dans les semi-conducteurs mais une recombinaison des porteurs créés peut s'effectuer compte tenu des faibles débits de dose. Par contre, dans l'oxyde, l'absence de porteurs libres s'oppose à un retour rapide à l'équilibre par recombinaison. L'accumulation de l'absorption de particules ionisantes suit un scénario (cf. : Figure 29) en plusieurs étapes :

1 : Une création de paires e^- /trous dans l'oxyde se crée le long de la trace de la particule chargée. Ceci s'effectue en quelques picosecondes.

2 : Les électrons s'extraient de l'oxyde en suivant la direction du champ vers la grille en quelques millisecondes. Une fraction des paires e^- /trous se recombine.

3 : Les trous vont, quant à eux, rester piégés dans l'oxyde. Les trous piégés transitent ensuite vers l'interface et dans le même temps, il y a piégeage de charges à l'interface Si/SiO₂. Ces phénomènes s'effectuent dans des temps compris entre la seconde et plusieurs milliers de secondes.

4 : Les pièges s'accumulent au niveau des interfaces Si/SiO₂.

La troisième étape n'est plus prédominante bien que toujours présente. Les états d'interface se dégradent modifiant ainsi le potentiel (bande d'énergie) au niveau de l'interface et donc la tension de seuil.

Autres dégradations notoires liées à ce phénomène, le champ électrique appliqué le long du canal perd de son efficacité, la mobilité des porteurs s'en trouve altérée, ainsi que les performances en bruit.

Deux phénomènes fondamentaux permettent le dé-piégeage des charges au sein de l'oxyde, la guérison par effet tunnel et la guérison par effet thermique auxquels devront être associés deux paramètres essentiels que sont le champ électrique et la température. Cette guérison s'effectuera dans des temps compris entre quelques secondes et plusieurs milliers d'heures

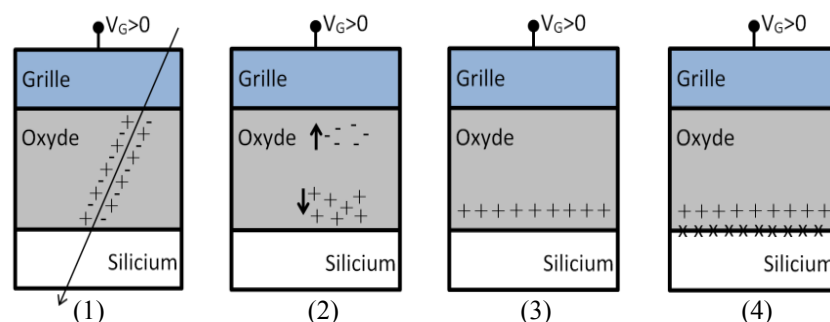


Figure 29: accumulation des charges dans l'interface Si/SiO₂

II.3.1.4 Les différents types de charges

Une fois la migration des porteurs terminée, il reste dans l'oxyde une quantité de charges qui évolue plus ou moins lentement en fonction du temps.

On distingue quatre types de charges (cf. : Figure 30) :

- La charge piégée dans l'oxyde (Q_{ot}) est une charge positive due au piégeage de trous dans le volume de l'oxyde. Pour ce type de piégeage, il n'y a pas d'échange avec le silicium.
- La charge piégée à l'interface (Q_{it}) peut également être positive ou négative. Localisée à l'interface Si/SiO₂, elle est en contact électrique avec le silicium contrairement aux charges piégées dans l'oxyde et à la charge fixe.
- La charge fixe d'oxyde (Q_f) localisée dans une couche d'environ 2 nm d'épaisseur à partir de l'interface Si/SiO₂. C'est une charge positive qui dépend essentiellement des procédés de fabrication.
- Les ions mobiles (Q_m) sont principalement des ions alcalins. La présence de ces charges est minimisée par des processus de fabrication de plus en plus stricts mais les risques de contamination existent toujours.

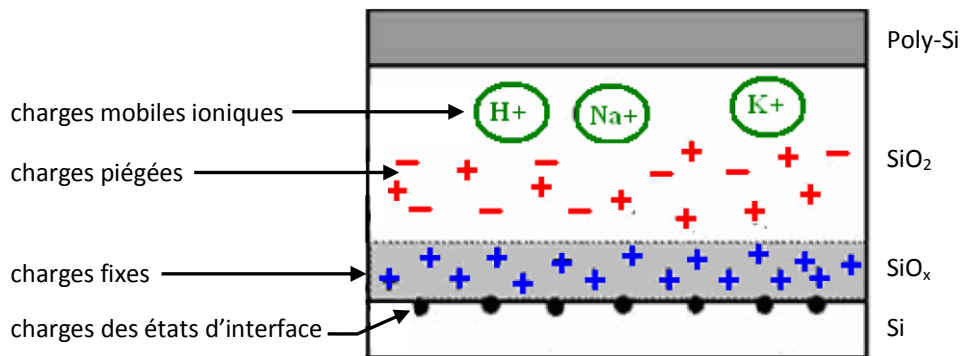


Figure 30: distribution des charges au niveau de l'oxyde [19]

II.3.1.5 Effets de la dose ionisante sur les caractéristiques électriques

Dans le cas des transistors MOS, les rayonnements ionisants engendrent en particulier une dérive de la tension de seuil. Ceci permet de caractériser l'amplitude de la dégradation engendrée par le rayonnement.

II.3.1.5.1 Charge dans le volume de l'oxyde

La charge créée dans le volume de l'oxyde est positive que ce soit pour un transistor NMOS ou un PMOS. Elle attire une charge image négative dans le substrat qui contribue à la diminution de la tension de seuil d'un NMOS puisqu'elle facilite la formation du canal N et à l'augmentation de celle d'un PMOS puisqu'elle s'oppose à la formation du canal P.

$$\Delta V_{ot} = -\frac{q}{C_{ox}} N_{ot}$$

$$\Delta V_{ot} = -\frac{q}{C_{ox}} N_{ot}$$

q représente la charge de l'électron ($1,6 \cdot 10^{-19}$ C), $C_{ox} = \epsilon_{ox}/t_{ox}$ est la capacité MOS où ϵ_{ox} est la permittivité et t_{ox} l'épaisseur de l'oxyde. N_{ot} désigne la densité de trous piégés dans l'oxyde par unité de surface.

Cette expression simple montre que l'effet des charges piégées en volume tend à faire baisser la tension de seuil pour un NMOS alors qu'elle augmente en valeur absolue pour le PMOS.

Si on considère n_h la densité de trous piégés dans l'oxyde le long de la direction x perpendiculaire au SiO_2 , la densité de trous dans l'oxyde peut être exprimée par :

$$N_{ot} = \int_0^{t_{ox}} n_h(x) dx$$

Cette équation montre que la densité de charge piégée est proportionnelle à l'épaisseur de l'oxyde t_{ox} . En l'associant à l'expression (2), on aboutit à une variation de V_{TH} proportionnelle au carré de l'épaisseur d'oxyde (t_{ox}^2) montrant ainsi le fort impact de l'épaisseur d'oxyde sur la dégradation de la tension de seuil.

Les données expérimentales (cf. : Figure 31) montrent que lorsque l'épaisseur de l'oxyde est inférieure à une vingtaine de nanomètres, la variation de V_{TH} est encore plus faible que les prédictions du modèle.

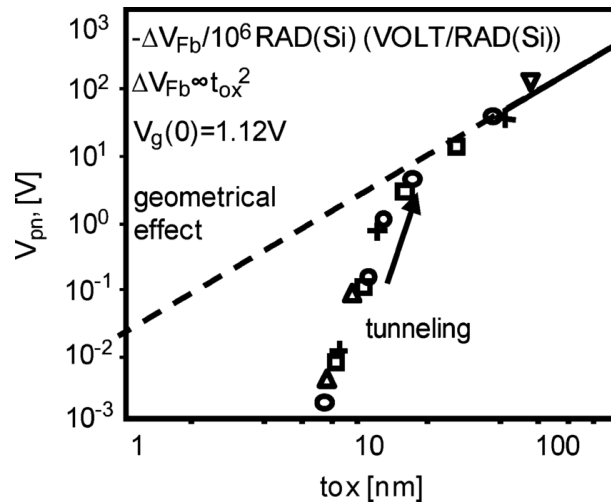


Figure 31: effet de l'épaisseur d'oxyde sur la variation de la tension de seuil (V_{TH}) en fonction de la dose ionisante [20]

En effet, des électrons affluent depuis le substrat vers l'oxyde favorisant la recombinaison avec les trous piégés au niveau de l'interface Si/SiO₂. Cette guérison par effet tunnel fait qu'il n'y a pas de charges piégées dans la zone d'oxyde proche du substrat particulièrement pour les technologies fines. On peut conclure que pour des technologies très avancées d'une gravure inférieure à 90 nm, les effets de dose induisant des variations sur les tensions de seuil des dispositifs MOS peuvent être négligeables. Comme les épaisseurs d'oxyde de ces dispositifs sont très minces (typiquement 2-3 nm selon le type de transistor pour la technologie 65 nm), les volumes d'oxyde sous le polysilicium de la grille sont trop faibles pour imaginer une accumulation de charges à ces endroits précis.

II.3.1.5.2 Charge d'interface SiO₂/Si

Parallèlement au piégeage des porteurs dans le volume de l'oxyde (Q_{ot}), une charge est créée au niveau de l'interface Si/SiO₂ (Q_{it}). Cette charge est de signe négatif pour le NMOS alors qu'elle est positive pour le PMOS. Ces états d'interface modifient le potentiel en surface au niveau du canal d'inversion. Contrairement à la charge piégée en volume de l'oxyde les états d'interface rendent l'établissement du canal d'inversion plus difficile, faisant ainsi augmenter la valeur absolue de la tension de seuil pour le NMOS et pour le PMOS.

$$\Delta V_{it} = -\frac{q}{C_{ox}} N_{it}$$

$$\Delta Q_{it} = -q N_{it}$$

Q_{it} représente la charge d'interface et N_{it} désigne la densité de pièges d'interfaces par unité de surface.

II.3.1.6 Effet global

En additionnant Les expressions (1) et (2), on aboutit à l'expression globale de la dérive de la tension de seuil en tenant compte des effets de la charge piégée dans l'oxyde et la charge d'interface.

$$\Delta V_T = -\frac{1}{C_{ox}} (\Delta Q_{ot} + \Delta Q_{it})$$

Pour une faible dose, la tension de seuil du transistor NMOS diminue dans un premier temps à cause des effets dominants de la charge positive dans l'oxyde Q_{ot} . Pour des forts niveaux de dose, les effets la charge d'interface Q_{it} deviennent dominants. Ce qui se traduit par une baisse de la tension de seuil. A fort niveau de dose, la tension de seuil passe au-delà de sa valeur de pré-irradiation. Ceci est communément désigné par « le rebond » (cf. : Figure 32). Dans le transistor PMOS, les deux types de charge agissent dans la même direction. On a alors une hausse de la valeur absolue de tension de seuil à faible et fort niveaux de dose.

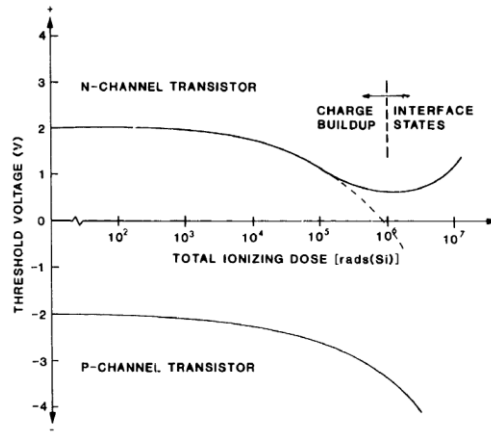


Figure 32: Variation de la tension de seuil des transistors N et PMOS en fonction de la dose ionisante[21]

II.3.1.7 Structures MOS submicroniques avancées

II.3.1.7.1 Introduction

Il est important de noter que dans l'étude menée dans le chapitre précédent, on considère des épaisseurs d'oxyde importantes comparées aux épaisseurs d'oxyde de grille des technologies CMOS actuelles. La figure ci-dessous illustre une coupe d'un transistor MOS de type N tel qu'il peut être implanté pour une technologie fine (cf. : Figure 33).

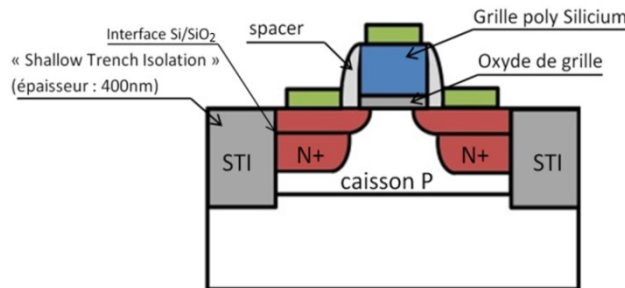


Figure 33: vue en coupe d'un transistor MOS type N

Face au rayonnement ionisant, les parties les plus sensibles sont les zones d'oxyde. Pour cette technologie, l'épaisseur de l'oxyde de grille est de 2 à 3 nm. Les variations des paramètres DC dues à l'accumulation des charges dans l'oxyde de grille peuvent être considérés comme négligeables car ces piégeages au niveau de l'interface sont en grande partie extraits par effet tunnel (cf. : Chapitre II.3.1.5.1). De ce point de vue, on peut imaginer qu'une technologie commerciale comme la 65 nm soit compatible avec un environnement hautement radioactif. C'est en partie vrai si on considère uniquement la partie intrinsèque du dispositif, sans considération de ce qui est disposé autour. Il reste cependant les oxydes utilisés pour l'isolation des différentes zones d'un même transistor et l'oxyde utilisé pour l'isolation entre les transistors d'un même circuit.

La principale cause des dégradations des caractéristiques des transistors observées lors des campagnes d'irradiation, provient de la présence de puits dits STI (« Shallow Trench Isolator ») [22]. Ces tranchées d'isolation sont implantées en début de process et sont constituées d'un oxyde de silicium épais de l'ordre de 350-400 nm de profondeur.

Elles servent en premier lieu à limiter les courants de fuite entre transistors, mais également à se prémunir contre les « Latch-up ». Dans le cas d'une application où il est demandé une tolérance à une dose ionisante, les phénomènes parasites qui se produisent localement au niveau de ces isolations STI vont contribuer à l'augmentation du courant de fuite du transistor intrinsèque et viennent altérer son seuil ainsi que diminuer sa capacité à véhiculer un courant entre ses zones actives. Cet effet est inversement proportionnel à la concentration de dopage le long de la paroi latérale. Une concentration plus élevée tend à atténuer le nombre de charges piégées dans l'oxyde au niveau du STI.

De plus, les dégradations sont fonctions du débit de dose pendant l'irradiation. En effet, il apparait qu'à faible débit, elles sont plus prononcées, ce qui peut s'expliquer par un taux de recombinaison plus faible des charges en raison de la densité plus faible des trous produits par le rayonnement [23].

Un second effet observé provient de la présence d'un espaceur en nitrure de silicium implanté de chaque côté de la grille (cf. : Figure 33) ayant pour fonction un meilleur alignement des zones actives du transistor. Précisément à cet endroit, les charges positives viennent se piéger tendant également à dégrader les paramètres du composant.

II.3.1.7.2 Effets sur le courant de fuite de grille

Cet effet est connu sous le nom RILC (« Radiation-Induced Leakage Current ») ou courant de fuite induit par les irradiations.

Pour les transistors avec une épaisseur de l'oxyde de grille inférieure à 3 nm, un courant d'électrons s'établit par effet tunnel entre le substrat et le contact de grille.

Comme les irradiations induisent des pièges dans l'oxyde, ceci amplifie le mouvement d'électrons entre le substrat et ces pièges dans un premier temps, puis par la suite vers le contact de grille augmentant ainsi la valeur du courant de fuite initial. Cette variation du courant de fuite, dépend du process et doit être prise en compte dans la conception de certains types de circuits.

II.3.1.7.3 Effets de canal étroit

Cet effet est connu sous le nom RINCE (« Radiation Induced Narrow Channel Effect ») ou effet de canal étroit induit par rayonnement [24]. Cet effet se manifeste par deux conséquences distinctes sur les paramètres électriques du transistor. La première réside dans l'augmentation du courant de fuite limitée au transistor à canal N. La seconde se manifeste par la variation de la tension de seuil ainsi que la dégradation de la transconductance et de la mobilité des deux dispositifs NMOS et PMOS [25].

Les charges produites lors d'une exposition au rayonnement vont se cumuler à proximité de la paroi latérale particulièrement à l'interface Si/SiO₂ au niveau de la transition entre l'oxyde de champ et l'oxyde de grille. Ceci crée un canal de conduction parasite entre source et drain constitué par le STI beaucoup plus sensible à l'effet de dose.

Dans le cas du transistor à canal N, cet effet contribue à la diminution de la tension de seuil du transistor parasite induisant un courant de fuite latéral au transistor principal (cf. : Figure 34) qui peut engendrer une augmentation du courant de fuite pouvant atteindre plusieurs ordres de grandeur. Une solution est d'avoir recours à des structure de transistor dites ELT (« Enclosed Layout Transistor »), le drain entouré de la grille n'a pas de contact avec l'oxyde [26]. Le

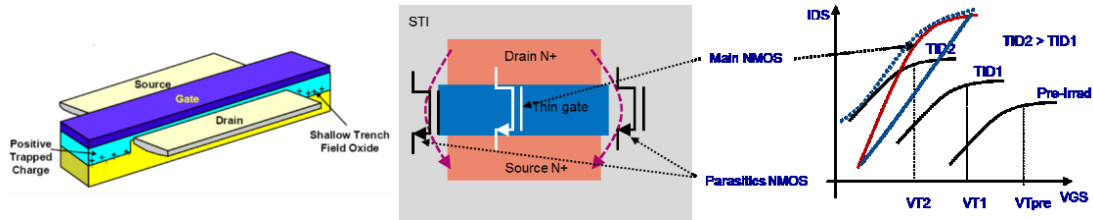


Figure 34: Influence du transistor parasite (STI) sur le courant de fuite

transistor PMOS n'est pas sujet à cet effet car la tension de seuil du transistor parasite augmente avec la dose.

Pour les transistors à canal étroit, la charge positive piégée au niveau de la transition entre oxyde mince et oxyde épais ne détermine pas seulement l'inversion du canal latéral mais influence également le champ électrique au niveau du transistor principal. Ce qui se traduit par la baisse de la tension de seuil pour un transistor NMOS et une augmentation pour le PMOS.

Dans le cas du transistor NMOS, la charge d'interface au niveau de la frontière STI/Oxyde de grille/substrat est négative et a tendance à faire augmenter la tension de seuil.

Pour le transistor PMOS, la charge d'interface est négative et pousse V_{TH} dans le même sens que la charge d'oxyde faisant apparaître une augmentation de la tension de seuil avec la dose ionisante.

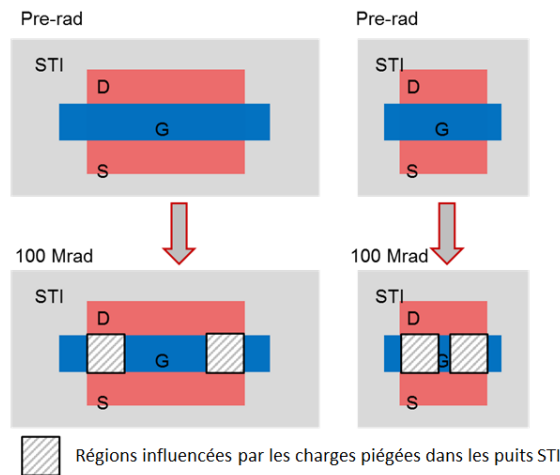


Figure 35: Régions du transistor influencées par le champ électrique lié aux charges piégées dans le STI

Le phénomène est d'autant plus prononcé que le transistor est étroit (cf. : Figure 35).

Afin de réduire les effets de dose, il est nécessaire d'augmenter la largeur du transistor, ce qui vient en contradiction avec les avantages d'une technologie fine, comme la densité d'intégration ou la fréquence de transition des transistors de petite taille [27].

II.3.1.7.4 Effets de canal court

Cet effet est connu sous le nom RISCE (Radiation Induced Short Channel Effect) ou effet de canal étroit induit par rayonnement. Cet effet a été observé sur le process 65 nm et analysé pour la première fois par la communauté du CERN. Il est très probable que ce phénomène soit lié à la charge piégée dans l'oxyde des espaceurs (cf. : Figure 36). Cette charge piégée est positive et crée un champ électrique affectant le potentiel en surface des zones faiblement dopées du drain et de la source dites LDD (« Low Doped Drain »). Les effets diffèrent selon le type de transistor NMOS ou PMOS.

Dans le cas du transistor à canal P, la zone LDD contient des accepteurs. Le champ électrique créée par les charges piégées dans l'espaceur a tendance à faire baisser le niveau de dopage la zone LDD faisant augmenter la résistance de contact du drain et de la source. Ce qui fait baisser le courant de drain pour une polarisation donnée.

Dans le cas du transistor à canal N, la zone LDD contient des donneurs. Le champs électrique a tendance à accroître le dopage de la zone LDD et donc fait baisser la résistance de contact du drain et de la source. L'effet est donc très réduit sur le courant dans le transistor.

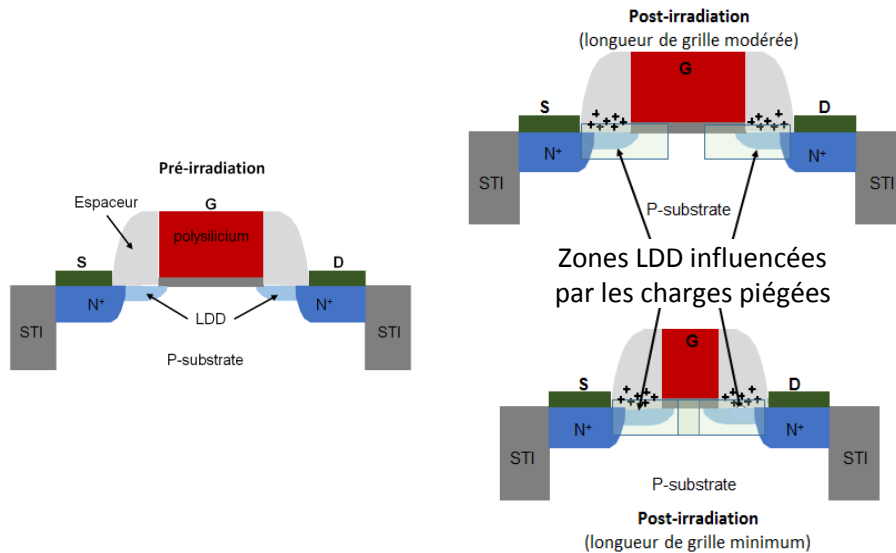


Figure 36: Régions du transistor influencées par le champ électrique relatif aux charges piégées dans l'oxyde des espaceurs

II.3.1 Transistors bipolaire

II.3.1.1 Introduction

Le transistor bipolaire a été inventé en 1948 par John Bardeen et Walter Brattain, deux chercheurs des laboratoires « Bell ». La théorie de son fonctionnement a été par la suite élaborée par William Shockley en 1949.

Depuis la démonstration de la faisabilité du premier transistor en 1951, cette théorie, pour laquelle ces trois chercheurs ont été récompensés par le prix Nobel en 1956, a été développée et étendue pour inclure le comportement en commutation, les effets à haute fréquence et à forte puissance.

Malgré la prédominance de l'utilisation des structures MOSFET dans le domaine de la microélectronique, le transistor bipolaire reste un élément clé dans certains domaines d'application tels que le domaine haute vitesse, l'automobile, les satellites et les systèmes nécessitant une forte puissance.

II.3.1.2 Fonctionnement et structure de base

Un transistor bipolaire consiste en l'association de deux jonctions PN tête bêche. Chacune de ces jonctions est obtenues par adjonction de deux couches de matériau semi-conducteur de dopage opposé. Le transistor bipolaire est muni de trois électrodes, la base, l'émetteur et le collecteur, quatre si on ajoute une connexion au substrat. Il peut être polarisé de quatre manières différentes déterminant ainsi un mode de fonctionnement particulier :

Ces modes de fonctionnement du transistor bipolaire sont résumés dans le tableau suivant (cf. : Tableau 10) :

Mode d'opération	Polarisation Émetteur/Base	Polarisation Base/Collecteur
Mode normal	direct	inverse
Mode saturé	direct	direct
Mode bloqué	inverse	inverse
Mode inverse	inverse	direct

Tableau 10: modes de fonctionnement du transistor bipolaire

Le mode normal est le plus couramment utilisé dans les applications analogiques. L'effet transistor réside dans la proximité des deux jonctions du composant permettant aux porteurs minoritaires injectés dans la base par l'émetteur, de parvenir jusqu'à la jonction base/collecteur. Ceci implique l'emploi de bases assez fines pour éviter la recombinaison en volume. On montre également qu'il est essentiel que la longueur de diffusion des porteurs soit bien supérieure à l'épaisseur de la base neutre pour garantir un bon fonctionnement.

Ceci sous-entend que les deux jonctions qui composent le transistor bipolaire ne peuvent pas être choisies indépendamment. La base doit être suffisamment fine pour permettre une interaction entre les deux jonctions. De plus, une différence de dopage entre l'émetteur et la base est nécessaire pour obtenir un gain en courant adéquat. Un niveau de dopage de la base plus faible que celui de l'émetteur est nécessaire pour atteindre un fort gain en courant. Le dopage typique de l'émetteur, généralement de l'ordre de 10^{19} cm^{-3} , est supérieur à celui de la base qui est de 10^{17} cm^{-3} . Le dopage du collecteur est déterminé par les conditions liées à la tension de claquage. La région de la base proche de la jonction base-émetteur est la plus prépondérante dans le comportement du transistor bipolaire lors d'une exposition à des rayonnements ionisants. En effet, la zone de déplétion associée à cette jonction est particulièrement sensible aux défauts induits par radiation à cause des effets de recombinaison. En plus, dans les composants actuels intégrés, cette région de déplétion chevauche l'interface Si/SiO₂, zone où les effets induits par la dose sont les plus significatifs.

II.3.1.3 Effets d'irradiation du transistor bipolaire

La dégradation du gain et l'augmentation des courants de fuite représentent les effets prépondérants des irradiations dans le transistor bipolaire. Ils sont dus à deux phénomènes que sont :

- 1 : Le déplacement atomique dans le substrat qui augmente le nombre de centres de recombinaison, réduisant ainsi la durée de vie des porteurs minoritaires.
- 2 : L'ionisation dans les oxydes de passivation, en particulier la partie proche de la jonction émetteur-base. Ce processus est similaire à celui existant dans le transistor MOSFET. La charge piégée dans l'oxyde ainsi que les états d'interface provoquent une augmentation de la recombinaison des porteurs minoritaires en surface et donc une réduction du gain du transistor.

Autant les effets de déplacement dans le substrat peuvent être prédits correctement à partir de l'analyse du comportement et de la durée de vie des porteurs minoritaires, autant les effets de surface, liés à l'oxyde sont très dépendants de la qualité de l'oxyde de passivation utilisé dans le process.

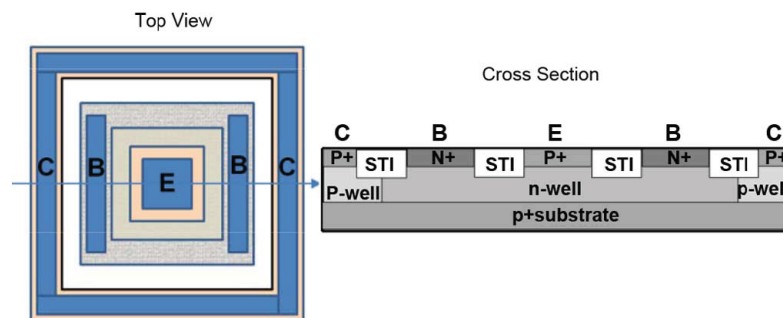
Ces deux effets provoquent une augmentation du courant de base par rapport à sa valeur pré-irradiation appelée « excès du courant de base ». Cette valeur sert de paramètre pour étudier la dégradation des caractéristiques électriques des structures bipolaires.

II.3.1.4 Effet sur la structure intégrée du transistor bipolaire

II.3.1.4.1 Introduction

Le transistor bipolaire issu d'un process CMOS standard reste un composant précieux pour la conception de circuits analogiques de base tels que des circuits de BandGap. Deux types de transistors verticaux (NPN et PNP) sont proposés par le process 65 nm étudié.

II.3.1.4.2 Le transistor PNP parasite



Pour le transistor bipolaire de type PNP (cf. : Figure 37), la dose déposée induit une augmentation du courant de base. La création d'états d'interface et la charge piégée dans l'oxyde STI se traduit par quatre mécanismes de dégradations :

- 1 : déplétion de l'émetteur de type P
- 2 : recombinaison à la surface de la base
- 3 : injection d'électrons dans l'émetteur
- 4 : déplétion de trous en surface

Sous une exposition à un rayonnement ionisant, une charge positive s'accumule dans l'oxyde, ayant pour résultat une expansion de la zone de déplétion de l'émetteur, le long de la surface. La recombinaison augmente alors dans cette zone et accroît le courant de base.

Le deuxième mécanisme de dégradation est l'augmentation de la recombinaison en surface de la base. Dans ce cas, les pièges d'interface augmentent la recombinaison en surface qui se traduit par une augmentation du courant de base.

Le troisième mécanisme est l'augmentation de l'injection d'électrons dans l'émetteur. La charge positive piégée dans l'oxyde qui s'accumule à la surface de la base tend à transformer la jonction base-émetteur P^+N^+ en jonction P^+N^{++} . Lorsque la jonction est polarisée en direct, les trous migrent de l'émetteur de type P vers la base de type N et les électrons migrent de la base vers l'émetteur, ce qui augmente considérablement le courant de base.

Le dernier mécanisme est relatif au parcours suivi par les trous injectés dans la base. La charge positive cumulée dans l'oxyde tend à repousser les trous depuis la surface vers le volume de la base. Ces trous injectés ont alors une probabilité de recombinaison plus importante dans la base, avant de rejoindre le collecteur. Ce qui encore une fois favorise l'augmentation du courant de base.

II.3.1.4.3 Le transistor NPN

Dans certains process CMOS proposant l'option de type caisson enterré profond (« Deep N-Well »), un transistor bipolaire parasite de type NPN est également accessible. Lorsqu'il est exposé à un rayonnement ionisant, le courant de base augmente alors que le courant collecteur reste pratiquement inchangé. L'excès du courant de base est le résultat de l'augmentation de la recombinaison dans la zone de déplétion base-émetteur surtout dans la région relativement peu dopée de la base. Le courant de recombinaison s'accroît à cause de deux effets interdépendants :

- 1 : L'augmentation de la vitesse de recombinaison en surface due aux pièges à l'interface Si/SiO₂. Cette recombinaison est proportionnelle à la densité de centres recombinants à l'interface Si/SiO₂ qui recouvrent la jonction base-émetteur.
- 2 : L'expansion de la région de déplétion base-émetteur dans la base de type P due, principalement, aux charges piégées dans l'oxyde. Comme la charge nette piégée dans l'oxyde est positive, la région de déplétion s'étend du côté dopé P de la jonction base-émetteur favorisant ainsi les recombinaisons.

II.3.1.5 Effet du débit de dose

Dans un cas idéal, les dégradations dues aux effets de dose ne devraient pas faire intervenir la vitesse à laquelle l'énergie est déposée. Cependant certains circuits bipolaires montrent une dépendance temporelle. Ce phénomène mis en évidence par Enlow en 1991 est désigné sous le nom de ELDRS (« Enhanced Low Dose Rate Sensitivity »). Cette sensibilité accrue au débit de dose est fortement dépendante de la technologie [28].

L'augmentation de la dégradation à faibles débits de dose est généralement observée dans des oxydes de mauvaise qualité, irradiés sous un faible champ électrique. Les oxydes d'isolation qui recouvrent la base d'un transistor bipolaire répondent fréquemment à ces conditions car ils sont épais, ne peuvent pas avoir d'électrode sur l'oxyde et ont sûrement servis de masque lors des différentes phases de fabrication du composant. Nous avons observé un phénomène d'effet de débit de dose pour le process 65 nm que nous utilisons. Des tests sont encore en cours pour évaluer son impact sur le fonctionnement du circuit RD53.

II.4 Effet d'un évènement singulier

II.4.1 Introduction

Ce chapitre est dédié à un autre phénomène lié au rayonnement ionisant et nommé évènement singulier. Il en existe de nombreux, classés en différentes catégories, qui se rencontrent essentiellement dans les architectures numériques des circuits intégrés. Les composants de puissances sont également impactés [29] mais même si le phénomène sera décrit brièvement dans ce mémoire, il ne sera pas traité par la suite. Un évènement singulier est la conséquence du passage d'une particule ionisante fortement énergétique, comme par exemple un proton ou un ion lourd, venant perturber un nœud sensible de l'électronique gravée sur le support silicium. Les erreurs générées par ce type d'évènement sont de deux types :

- 1 : Elles peuvent être réversibles, l'effet est dans ce cas non destructif. On parle alors d'erreur soft pouvant être corrigée en temps réel, voire par un redémarrage des alimentations du système.
- 2 : Elles peuvent être non réversibles, l'effet est dans ce cas destructif et provoque des dégâts matériels nécessitant le remplacement du composant défectueux.

Dans ce chapitre, une description de différents types d'évènements singuliers sera abordée permettant ainsi une compréhension de la problématique de conception pour des architectures numériques dont le fonctionnement devra répondre aux contraintes d'un environnement radioactif.

II.4.2 SET (« Single Event Transient »)

Un évènement singulier de type transitoire, dit « SET », est une impulsion électrique liée aux charges déposées dans une jonction PN polarisée en inverse. C'est le cas des drains des transistors dont la sensibilité sera d'autant plus élevée que leur taille sera réduite, comme c'est le cas des architectures numériques de haute densité.

La collection de charges dans ces jonctions inclut plusieurs mécanismes donnant une forme du courant collecté qui se décompose en plusieurs phases [30] :

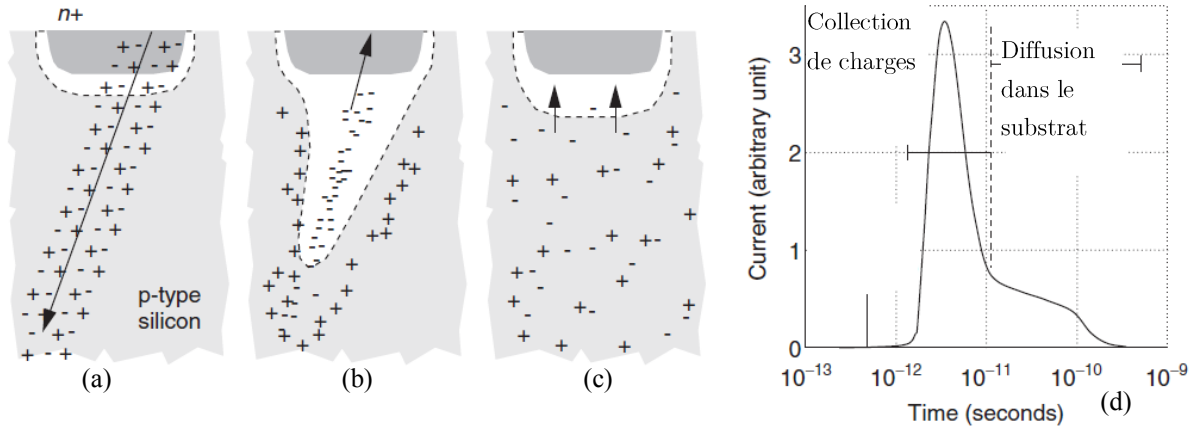


Figure 38: (a) génération de paires électron-trous, (b) séparation des paires en présence d'un champ électrique (c) diffusion dans le substrat, (d) forme d'onde de l'impulsion électrique dans la jonction PN

- 1 : La particule ionisante traverse le champ électrique appliqué à une jonction PN polarisée en inverse (cf. : Figure 38a). Des paires électrons-trous sont générées le long de la trajectoire.
- 2 : En présence de ce champ électrique, les charges vont se séparer (cf. : Figure 38b) afin de se recombiner.
- 3 : la recombinaison va s'effectuer plus lentement par diffusion dans le substrat (cf. : Figure 38c).

L'évacuation des charges peut s'effectuer de différentes manières, soit au travers d'une autre jonction venant à parasiter celle-ci, soit par le biais d'un contact du caisson. Ces charges sont alors collectées par le système d'alimentation et ne viennent pas perturber l'architecture du circuit.

L'ensemble de ces phénomènes génère une forme d'onde (cf. : Figure 38d) donnant une impulsion de courant dont le temps de montée peut être très rapide, évalué à quelques picosecondes. Son amplitude est ici non négligeable, pouvant atteindre quelques milliampères. Cette impulsion parasite est alors capable de passer le seuil d'un transistor au point de propager une erreur, voire de basculer l'état d'une mémoire.

La phase de diffusion est beaucoup plus lente, quelques nanosecondes, le temps que représente la recombinaison des charges résiduelles dans le substrat.

Le choix de concevoir des architectures dans des technologies submicroniques demande une attention particulière à ce phénomène, puisque la sensibilité du système est en relation directe avec la taille des transistors utilisés. De plus la densité croissante des circuits implique une augmentation du nombre d'éléments pouvant être perturbés par un SET.

Enfin, il est important de considérer ici la nature de la particule incidente, son énergie transmise au silicium ainsi que l'angle à l'impact. Un ion lourd ou un proton ne laisse pas la même signature sur le silicium [31] [32] ; les deux types de particules auront deux effets complémentaires. Un ion lourd rendra une cellule numérique beaucoup plus sensible aux événements singuliers. L'ionisation est instantanée pour chaque particule et l'ampleur de la perturbation sur une cellule logique est essentiellement due à l'énergie de l'ion incident.

Pour le proton, l'erreur transmise se produira quand le phénomène d'ionisation aura lieu. Il peut traverser le silicium sans pour autant ioniser dans le substrat. Cependant quand ce phénomène arrive, le volume d'ionisation est plus radial, les électrons secondaires émis par ce phénomène peuvent se propager sur une distance de plusieurs dizaines de microns et toucher plusieurs nœuds sensibles.

Pour caractériser un circuit électronique, il convient de les tester dans ces deux environnements, afin de valider d'une part la pertinence de l'architecture proposée, et d'autre part le dessin des masques associés. Celui-ci doit être conçu de manière à limiter ces événements indésirables.

Les événements transitoires peuvent générer des dysfonctionnements sur les systèmes numériques lorsqu'ils affectent les signaux de contrôle globaux comme par exemple les signaux dédiés aux initialisations ou aux chargements de données. Ils sont critiques aussi lorsqu'ils atteignent les arbres d'horloge. Pour s'en prémunir il est possible de masquer les signaux sensibles et réduire fortement la probabilité de corrompre un circuit logique. Plusieurs stratégies sont utilisées (cf. : Figure 39) pour éviter de propager une erreur liée à ce phénomène [33].

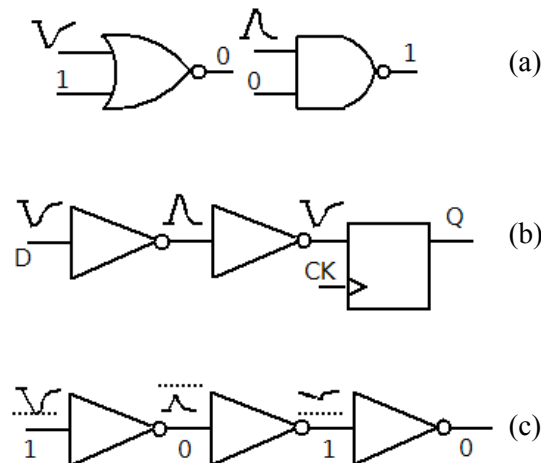


Figure 39 : (a) masquage logique, (b) masquage temporel, (c) masquage électrique

1 : le masquage logique (cf. : Figure 39a) : en insérant une porte logique sur un signal sensible, il est possible de masquer un SET. Pour l'exemple, une impulsion parasite positive sur l'entrée d'une porte ET ne pourra pas être transmise à sa sortie si la seconde entrée est à l'état bas.

Un signal global serait associé dans ce cas à un deuxième signal validant son état. L'inconvénient de ce masquage est la nécessité d'une redondance des signaux sensibles et donc d'augmenter la taille d'un design en vue d'améliorer l'immunité au SET.

2 : le masquage temporel (cf. : Figure 39b) : pour une logique synchrone à un signal d'horloge une impulsion transitoire doit forcément se produire au même instant pour être enregistrée dans un point mémoire.

3 : le masquage électrique (cf. : Figure 39c) : durant sa propagation dans un circuit numérique, la durée de l'impulsion parasite est un facteur à prendre en compte. Selon le temps de propagation des portes logiques, une impulsion brève n'est pas forcément propagée et peut finalement être masquée. Néanmoins, ce masquage n'est pas évident pour les technologies avancées où le temps de propagation des cellules élémentaires est très rapide ce qui les rend en même temps très sensibles.

Au contraire, si la durée de l'impulsion transitoire est plus grande que le temps de transition des portes logiques présentes sur le chemin de propagation, l'impulsion peut se propager au travers d'une logique combinatoire et apparaître à l'entrée d'une mémoire de type Flip-Flop [34].

Néanmoins pour affecter ce point mémoire et que cette impulsion puisse être interprétée comme un véritable signal de commande, elle doit respecter certaines contraintes de temps au moment du front actif d'une horloge.

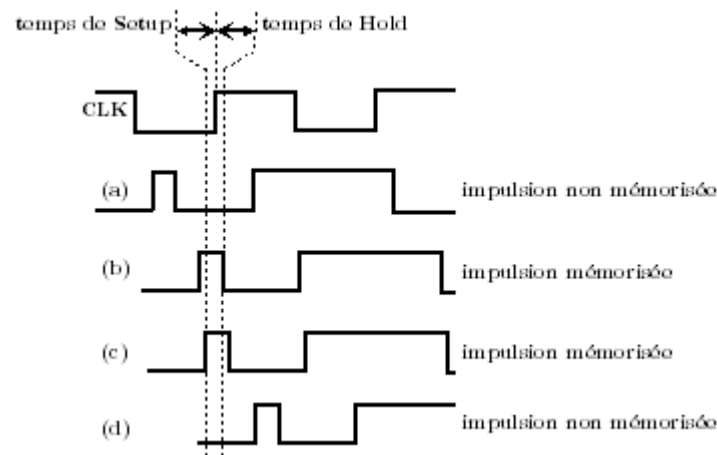


Figure 40: possibilités de mémoriser un événement SET

Cette contrainte en temps est illustrée ci-dessus (cf. : Figure 40). L'impulsion doit être présente avant un signal de commande comme le cas d'une horloge, par exemple (cas de figure (b) et (c)), en respectant un temps de Setup et de Hold, afin d'être prise en compte par une cellule mémoire. En dehors de cette plage de temps sensible, l'impulsion n'est pas prise en compte (cas de figure (a) et (d)).

La réponse d'une porte logique à la charge (dQ) déposée par une particule, est une variation de la tension (dV) sur un nœud sensible au travers de sa capacité équivalente C , telle que :

$$dV = \frac{dQ}{C}$$

La capacité C est une capacité en relation avec le dimensionnement des transistors utilisés. Autrement dit, plus la surface est faible, comme c'est le cas des technologies fines, plus la capacité du nœud est faible, de l'ordre de quelque femto Farad.

En considérant ce point, réduire les dimensions physiques des cellules élémentaires revient à augmenter la possibilité de propager une impulsion parasite, au point de transmettre des informations erronées.

La conséquence de la miniaturisation des ASIC revient à augmenter leur sensibilité face aux effets du rayonnement ionisant. Deux points peuvent cependant se compenser :

1 : Le fait de réduire les dimensions physiques des transistors revient à réduire les surfaces actives sensibles.

2 : les capacités des portes logiques sont très petites.

La densité d'intégration que permettent les technologies submicroniques implique une sensibilité aux partages de charges collectées sur les nœuds sensibles. La possibilité de corrompre plusieurs points mémoires n'est pas négligeable [35]. On parle ici d'un effet multiple dit MBU (« Multiple Bit Upset »), ce qui rend le diagnostic plus compliqué quand il s'agit d'identifier un dysfonctionnement impliquant des cellules n'ayant aucune relation.

II.4.3 SEL (« Single Event Latch Up »)

Un «Single Event Latch Up» (SEL) est dû à la présence de deux transistors bipolaires parasites (cf. : Figure 41) au niveau du substrat lors de l'implantation d'une structure CMOS.

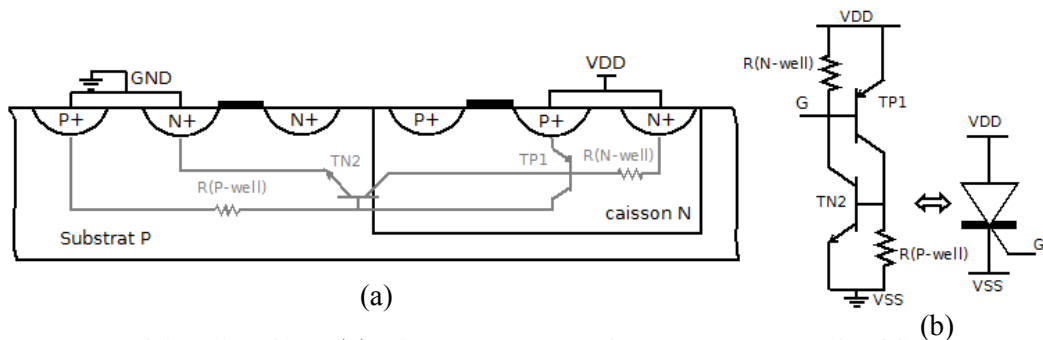


Figure 41: phénomène SEL, (a) Thyristor parasite dans une structure CMOS, (b) schéma équivalent de la structure parasite

La proximité de deux transistors MOS N et P induit également la proximité de deux transistors bipolaires dont la base et le collecteur du transistor NPN (TN2) sont respectivement connectés au collecteur et à la base du transistor PNP (TP1) formant ainsi un thyristor parasite (cf. : Figure 41b). Les polarisations aux substrats N et P sont appliquées via des résistances d'accès R(N-well) et R(P-well). Au passage d'une particule ionisante dans le caisson P, les porteurs majoritaires sont extraits vers le contact du caisson générant un potentiel aux bornes de la résistance.

Cet évènement tendra à rendre passant le transistor TP1, qui génère à son tour un courant permettant de rendre passant le transistor TN2.

Ce phénomène s'amplifie et produit un court-circuit entre les alimentations au travers de deux jonctions passantes en série.

Cette amplification de courant peut être irréversible si aucune limitation en courant des alimentations polarisant le circuit n'est prévue, auquel cas une initialisation globale s'avère nécessaire pour retrouver un état de fonctionnement stable.

Plusieurs méthodes existent pour se prémunir contre ce phénomène. Pour ce qui concerne les technologies fines, les fondeurs prévoient une couche isolante d'oxyde de silicium entre les transistors ce qui permet de casser la boucle d'amplification. Une autre méthode consiste à rajouter une connexion distincte au substrat pour chaque transistor, ce qui a pour inconvénient d'augmenter la taille d'une cellule élémentaire. Les règles de vérification d'un dessin des masques imposent au concepteur un espace minimum entre deux prises substrat de façon à minimiser, voire annihiler, ce phénomène. Cette précaution permet de réduire au maximum les valeurs des résistances d'accès R (N-well et P-well) au substrat.

II.4.4 SEU (“Single Event Upset”)

Un “Single Event Upset” (SEU) correspond au basculement d'un état logique d'une cellule de mémorisation. C'est la conséquence d'un phénomène transitoire (SET), vu dans le chapitre II.4.2, venant impacter un nœud, dit sensible, d'une cellule bistable. Un SEU est un évènement réversible mais provoque des erreurs dites logicielles, ou « soft errors », pouvant corrompre les données stockées dans une mémoire.

Pour s'affranchir de ce dysfonctionnement, il est nécessaire de rafraîchir périodiquement le bloc impacté.

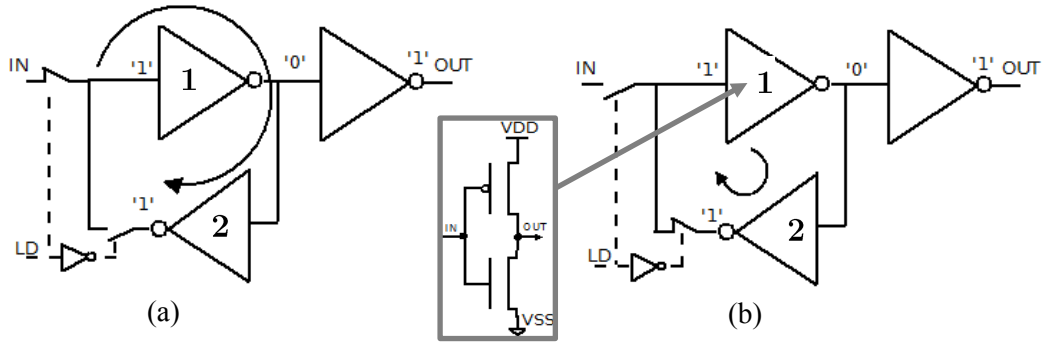


Figure 42: états d'un point mémoire, (a) chargement d'une donnée, (b) stockage d'une donnée

Un point mémoire standard est illustré ci-dessus (cf. : Figure 42). Il comporte deux états distincts comprenant le chargement de la donnée (cf. : Figure 42a), puis le stockage de celle-ci (cf. : Figure 42b), dépendant de l'état du niveau logique du signal de commande « LOAD » (LD).

En prenant l'exemple du stockage d'une donnée équivalente à un '1' logique, le premier inverseur (inverseur 1) voit son transistor PMOS bloqué, ce qui bloque aussi le NMOS du deuxième inverseur (inverseur 2).

Les drains de ces deux transistors représentent les nœuds sensibles de la cellule, et inversement dans le cas du stockage d'un '0' logique. Dans les deux cas, deux nœuds sont sensibles à un SEU.

Caractériser une mémoire aux SEU revient à déterminer la sensibilité de la cellule à une particule ionisante. Une simulation de type SPICE prenant en compte les capacités des nœuds n'est pas suffisante, même si elle donne déjà une indication sur la charge critique équivalente capable de faire changer l'état de la donnée préalablement stockée. Un outil comme TCAD permet de compléter la simulation et permet de prendre en compte le dopage, la géométrie du transistor, la surface du nœud sensible implanté sur le silicium, ou encore les effets de proximité.

Extraire le taux d'erreurs généré lors de campagne d'irradiation revient à calculer une cross-section (σ en bit.cm²) en respectant la relation suivante :

$$\sigma = \frac{N_{SEE}}{N_{BIT} \cdot \Phi}$$

N_{SEE} est le nombre d'erreurs obtenu, N_{BIT} le nombre de bits contenu dans la mémoire, et Φ la fluence (particules/cm²) correspondant au temps d'exposition $\times$ flux du faisceau. Ce dernier s'exprimant en particules/seconde.cm².

Deux paramètres principaux caractérisent un point mémoire tolérant aux SEU :

1 : La cross-section saturée σ_{SAT} . Le taux d'erreurs maximum atteint ne sera pas dépassé indépendamment de l'énergie de la particule incidente.

2 : Le seuil de l'énergie de transfert L_{TH} . Il s'agit d'un seuil (« Linear Energy transfer THreshold ») de l'énergie déposée par la particule incidente pour lequel la cellule devient sensible, ce qui provoque le dysfonctionnement prévisible.

La courbe illustrée ci-dessous (cf. : Figure 43) représente une caractérisation d'une cellule de type TRL (« Triple Redundancy Latches») irradiée sur le site de l'université de Louvain-la-Neuve.

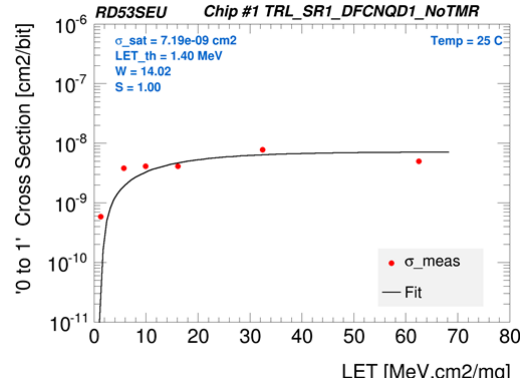


Figure 43: exemple de résultats obtenus pour un point mémoire de type TRL lors de tests en ions lourds

Ce centre de recherche dispose d'un cyclotron permettant d'exposer un échantillon en ions lourds de différentes énergies de 100 MeV à 1 GeV. Ainsi il est possible d'extraire ce type de courbe ($\sigma=f(\text{LET})$) dont l'équation respecte la formule suivante :

$$\sigma = \sigma_{\text{SAT}} \left(1 - e^{-\left(\frac{L-L_{\text{TH}}}{W} \right)^S} \right)$$

σ_{SAT} est la cross-section saturée, L_{TH} le seuil LET, W et S les paramètres de fit. La caractérisation des mémoires en SEU s'effectue à la fois pour des Upsets de '0' vers '1', (cf. : Figure 43), et inversement de '1' vers '0' afin d'évaluer la sensibilité des deux cas de figure.

II.4.5 Évènement Singulier dans les composants de puissance

Les composants de puissance sont impactés par des événements singuliers destructifs tels que le SEB (« Single Event Burn-out ») et le SEGB (« Single Event Gate Rupture »). Ce type d'évènements concerne ces composants car, d'une part, il est dû à leur structure verticale implantée sur le substrat, mais d'autre part à la présence de champs électriques élevés nécessaires à leur fonctionnement.

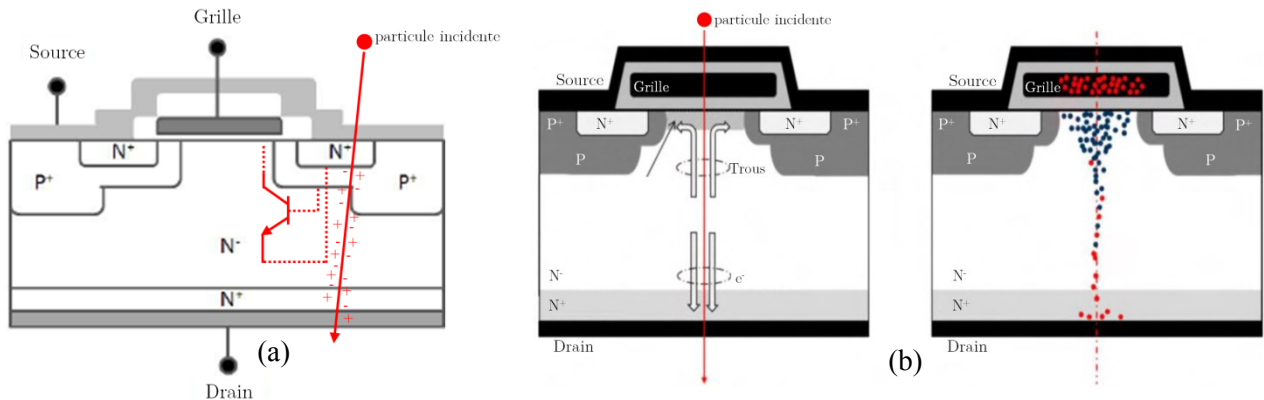


Figure 44: (a) mécanisme de déclenchement d'un SEB, (b) mécanisme de déclenchement d'un SEGR.

Un SEB (cf. : Figure 44a) s'apparente un peu à un latch-Up (SEL). L'origine du phénomène vient de la présence, dans une structure MOS verticale, d'un transistor bipolaire parasite NPN. Ce mécanisme peut s'apparenter à un latch-up sauf qu'il ne met en jeu qu'un seul transistor parasite et ne peut se produire que quand le transistor MOS est à l'état « OFF ».

L'électrode N⁺ constitue l'émetteur du transistor bipolaire, la base est reliée au caisson P. La couche épitaxiée N⁻ ainsi que le substrat N⁺ représentent le collecteur.

Ce transistor est mis en conduction suite au passage d'une particule ionisante associée à une zone de charge d'espace suffisamment importante. Dans cette configuration, il se produit un phénomène d'avalanche dans cette zone où un canal de charges se forme de l'émetteur vers le collecteur en présence d'un champ électrique élevé. Le courant électrique parasite généré prend des proportions telles qu'il provoque la destruction du composant.

Un SEGR (cf. : Figure 44b) correspond au claquage de l'oxyde de grille par le passage d'une particule ionisante, proton ou ion lourd, entraînant la destruction d'un composant à grille isolée. Les trous générés par cette particule sont attirés au niveau de l'interface SiO₂/Substrat par la polarisation drain-source, et conduit à une accumulation de charges négatives dans l'électrode de grille. Ce mécanisme tend à augmenter le champ électrique à travers l'oxyde, ainsi que le courant de fuite de grille de façon significative, dernière étape avant la destruction du composant.

II.5 Conclusion

Dans ce chapitre l'ensemble des phénomènes dû aux effets des irradiations sur le silicium, que ce soient les effets de doses où les SEE, ont été répertoriés.

L'interaction du rayonnement avec la matière telle que le silicium a des conséquences sur le fonctionnement des transistors dû à l'accumulation et aux déplacements des charges dans les volumes d'oxyde pour les transistors MOS. Le transistor bipolaire est aussi affecté par ce phénomène et est sensible aux effets liés aux déplacements atomiques du substrat provoqués par une particule pénétrante de type proton ou ion lourd.

Les effets de dose sur ces composants se traduit par l'augmentation du courant de fuite et la diminution de son gain intrinsèque. Ces dérives peuvent être significatives selon la géométrie du transistor et surtout selon le temps d'exposition à cet environnement agressif.

Les effets des événements singuliers, aussi appelés SEE (« Single Event Effect »), ont tous historiquement été identifiés et analysés à partir des années soixante-dix [36] [37]. Ils sont sérieusement pris en compte depuis une bonne quinzaine d'années maintenant, surtout avec l'arrivée sur le marché des technologies submicroniques de nature à être extrêmement sensibles à ces phénomènes indésirables.

Deux types de scénarios se produisent face à ces effets :

1 : Les effets réversibles : provoquant des aléas de fonctionnement comme les SET ou les SEU, pouvant être supprimés en reconfigurant le composant défectueux, voire en redémarrant le système d'alimentation. La gestion de celles-ci est un moyen de réduire les effets de ces phénomènes. Des solutions existent aussi d'un point de vue architectural en utilisant des cellules redondantes. Un soin particulier est indispensable au niveau du dessin des masques pour s'en prémunir avec, par exemple, la possibilité d'éloigner physiquement les nœuds considérés comme sensibles.

2 : Les effets irréversibles : pouvant provoquer la destruction du composant. Ces effets sont bien sûr très pénalisants, et peuvent être aussi réduits en protégeant les circuits en courant notamment pour les effets SEL. L'implantation des composants de type MOS ou VDMOS sur le silicium comporte un inconvénient majeur, par la présence d'un ou de transistor(s) bipolaire(s) parasite(s), dû à des effets de proximité. Les fondeurs proposent aujourd'hui des outils de vérification permettant de se prémunir contre ces phénomènes indésirables.

Chapitre III

III Mise en œuvre d’architectures innovantes tolérantes aux rayonnements ionisants

III.1 Introduction

Ce chapitre est une vue plus expérimentale faisant référence aux explications théoriques décrites dans le chapitre précédent (cf. : Chapitre II). La problématique liée aux rayonnements ionisants, qui concerne les effets de dose et les SEE, demande de transmettre au mieux les différentes contraintes à la communauté de concepteurs à laquelle j’appartiens. L’objectif de cette étude expérimentale est de fournir des cellules indispensables au fonctionnement de la puce globale (RD53B) qui soient tolérantes à cet environnement agressif car très radioactif [38]. Pour ce faire, il a été conçu quatre ASIC prototypes en technologie 65 nm permettant d’une part de valider les fonctionnalités étudiées en simulations et d’autre part de les tester dans un environnement proche du fonctionnement du HL-LHC.

Dans un premier temps, il sera fait une description des différents blocs étudiés dans ce cadre, puis les systèmes de tests seront également passés en revue. Enfin une conclusion terminera ce chapitre sous forme de synthèse de l’ensemble de ces conceptions.

III.2 Étude de la dose

III.2.1 Véhicule de test

Comme vu dans le chapitre précédent (cf. : Chapitre II.3.1.7), pour atteindre une précision de gravure de plus en plus fine, les fondeurs ont recours, depuis l'apparition de la technologie 250 nm, à des étapes de fabrication qui permettent d'optimiser au mieux les paramètres électriques des transistors. À cette échelle et particulièrement sous la barre d'une longueur de grille de 100 nm, apparaissent des effets de modulation de canal, un décalage des tensions de seuil, ou encore des courants de fuite qui deviennent prédominants.

La technologie 65 nm, choisie par la collaboration RD53, est une technologie dite « low-power » développée essentiellement pour des circuits mixtes digital/RF. La tension nominale pour le cœur du circuit est de 1,2 V, pouvant être plus faible afin de réduire la consommation. Pour la polarisation des entrées/sorties, la tension d'utilisation est de 2,5 V. La librairie associée à la technologie fournit des transistors MOS de types N et P avec différentes valeurs de tension de seuil. Cette technologie propose neuf couches de métaux en cuivre, plus une couche supérieure en aluminium, pour un accès au circuit, soit par fil de « bonding », soit par une technique de « Flip-Chip » intéressante dans notre cas pour la connexion à un détecteur. La librairie fournit également des composants passifs tels que des capacités de type MOM (« Metal Oxide Metal ») ainsi que des résistances de plusieurs types tels que des résistances de diffusion N^+ et P^+ , des résistances en poly-silicium avec ou sans présence de siliciure. Le siliciure est un composé du silicium et d'un ou plusieurs éléments métalliques, dont au moins un élément plus électropositif que le silicium servant à améliorer le contact ohmique entre le métal et les connexions des électrodes des composants disponibles. L'effet de la présence de siliciure influe sur la valeur de la résistance carrée. Enfin, cette librairie propose aussi des diodes ainsi que des transistors parasites bipolaires BJT (« Bipolar Junction Transistor ») au moyen des couches :

- $N^+/P\text{-Well}/\text{Deep } N\text{-Well}$ pour le transistor NPN,
- $P^+/N\text{-Well}/\text{Substrat } P$ pour le transistor PNP.

Les transistors MOS sont isolés entre eux au moyen de puits STI en oxyde peu profond de l'ordre de 400 nm afin d'éviter les phénomènes de SEL (cf. : Chapitre II.4.3) et de réduire les courants de fuite dus à des effets de proximité. Ce point est considéré comme le principal problème des effets de dose du fait de l'accumulation des pièges à l'interface le long des puits d'isolation [39].

Afin d'étudier en irradiation la contribution des puits STI, il a été ajouté des jonctions parasites FOXFET (« Field OXide Field Effect Transistor ») de façon à simuler la proximité des transistors tels qu'ils seraient implantés sur le silicium (cf. : Figure 45).

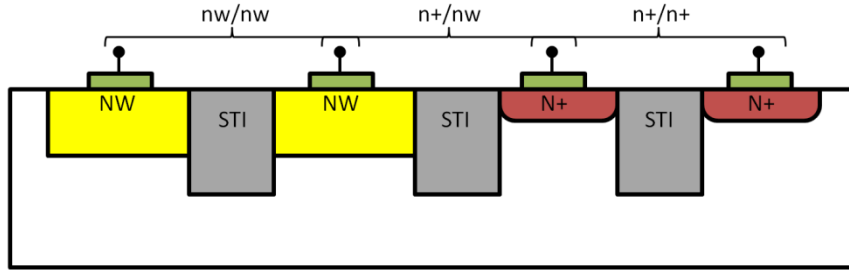


Figure 45: jonction parasites FOXFET

Ainsi trois cas de figure sont pris en compte :

- 1 : deux transistors P (NW/NW),
- 2 : deux transistors N (N+/N+),
- 3 : deux transistors N et P (NW/N+).

III.2.2 Échantillons transistors

Deux échantillons 65 nm contenant une matrice de transistors, de diodes et de résistances ont été caractérisés (cf. : Figure 46). La technologie de ces échantillons est identique mais le fondeur est différent. L'idée ici est de comparer les résultats en fonction du process utilisé, process dont les caractéristiques détaillées ne nous ont pas été communiquées. L'objectif de ces tests a permis de vérifier si le choix préalable du fondeur par la collaboration allait compromettre la conception du circuit RD53.

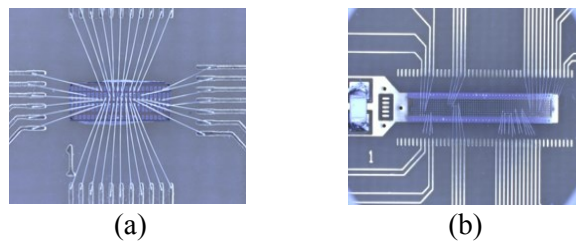


Figure 46: puces transistors, (a) fondeur 1, (b) fondeur 2

Les tests effectués sur ces échantillons se sont déroulés à température ambiante pour le fondeur 1 et à basse température, -15°C , pour les fondeurs 1 et 2. Ainsi, deux comparaisons sont possibles suite à ces tests :

- 1 : Une comparaison température ambiante/basse température pour le fondeur 1,
- 2 : une comparaison fondeur 1/fondeur 2 à basse température.

Les transistors testés sont listés dans le tableau suivant (cf. : Tableau 11). Ils présentent des géométries variables avec différentes valeurs de tension de seuil. Un transistor fermé a aussi été testé, permettant de mesurer l'impact de cette géométrie sur la dérive du courant de fuite.

Process	Fondeur 1		Fondeur 2	
	NMOS	PMOS	NMOS	PMOS
Standard VT	120 nm/60 nm ^(*)	120 nm/60 nm	120 nm/60 nm	120 nm/60 nm
	240 nm/60 nm	240 nm/60 nm	240 nm/60 nm	240 nm/60 nm
	480 nm/60 nm	480 nm/60 nm	480 nm/60 nm	480 nm/60 nm
	1 μ m/60 nm	1 μ m/60 nm	1 μ m/60 nm	1 μ m/60 nm
	-	-	120 nm/2 μ m	120 nm/2 μ m
	-	-	1 μ m/1 μ m	1 μ m/1 μ m
ELT	800 nm/60 nm	1480 nm/60 nm	-	-
HVT	200 nm/60 nm	200 nm/60 nm	-	120 nm/60 nm ^(**)
LVT	500 nm/60 nm	500 nm/60 nm		
FOXJET	NW/NW, N ⁺ /N ⁺ , N ⁺ /NW			

Tableau 11: liste des transistors implantés sur les échantillons

^(*) : canal cassé pendant la mise en place

^(**) : ~50% de la dose reçue

Remarque :

Un troisième échantillon (cf. : Figure 47) a été envoyé en fonderie (fondeur 1) après les résultats obtenus en irradiation des deux premières puces. La motivation d'une conception d'une troisième puce a été de démontrer l'effet de la longueur du canal de la grille, impossible à étudier sur les échantillons décrits ici [40]. Des composants passifs ont été inclus, tels que des résistances, utilisées dans les blocs analogiques du circuit RD53, ainsi que des diodes, éléments indispensables notamment pour les références de tension.

III.3 Étude des phénomènes SEU - SET

III.3.1 Puce prototype SEU

Afin d'étudier le second aspect des problèmes liés aux rayonnements ionisants, une puce prototype (cf. : Figure 47) munie de mémoires tolérantes au SEU a été conçue [41].

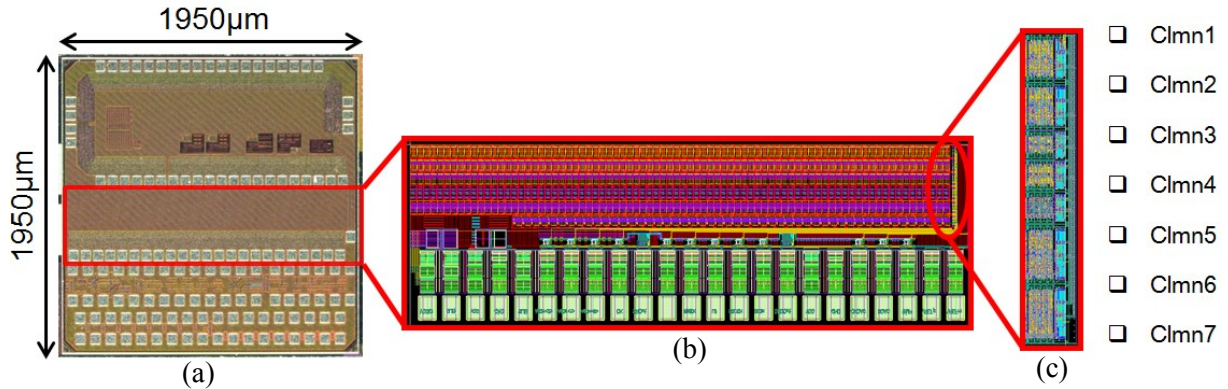


Figure 47: Puce prototype 65 nm, (b) dessin des masques bloc SEU, (c) 7 colonnes indépendantes de mémoires tolérantes aux SEU

Cette puce de $2 \times 2\text{mm}^2$ contient plusieurs blocs correspondant aussi à notre implication au sein de la collaboration RD53. Sur ce prototype, il est implanté :

- Une matrice de transistors.
- Un ADC de type SAR 12 bits associé à des références de tension.
- Une matrice de mémoires tolérantes aux SEU.

La conception de cette matrice de mémoires s'est effectuée en gardant à l'idée l'option de comparer directement, durant une campagne d'irradiation, le comportement des architectures proposées et d'en extraire celles dont les performances seront satisfaisantes. Les blocs décrits ci-après consistent en une approche dite HBD (« Hardened By Design ») en vue d'être immunisés au mieux aux événements de type SET et SEU [42]. Cette étude est inspirée de celle effectuée lors du développement du FEI4 [43] dont les résultats ont conduit au meilleur choix possible des cellules mémoires implantées dans la puce finale [44].

L'ASIC de lecture du futur détecteur pixels d'ATLAS, RD53, contiendra deux types de mémoire :

- 1 : Une mémoire de configuration des pixels. Fixée à huit bits, sa contrainte principale est son intégration dans un minimum de surface,
- 2 : une mémoire globale de la puce. Sa surface peut être plus importante mais elle doit être très tolérante aux SEU car elle contient les informations concernant la polarisation de l'ensemble de l'ASIC RD53.

Les spécifications de la puce RD53B liées à la problématique de la tolérance aux SEU sont résumées dans le tableau ci-dessous (cf. : Tableau 12) :

Spécification	Valeur	Commentaire
Quantité pixels	~160k	-
Taille pixel	2500 μm^2	-
Quantité totale bits configuration pixel	$\sim 160\text{k} \times 8 = 1,28.10^6$	-
Taille de la mémoire globale	8 kbits	-
Flux max.	$0,5.10^9$ p/cm ² /s	1 ^{ère} couche @ 3,7 cm du point d'interaction
TID	500 Mrad	5 ans de fonctionnement

Tableau 12: spécifications de la puce RD53B relatives à la problématique aux SEU

III.3.2 Description du bloc

La puce prototype, dite SEU, est divisée en sept colonnes indépendantes (cf. : Figure 48).

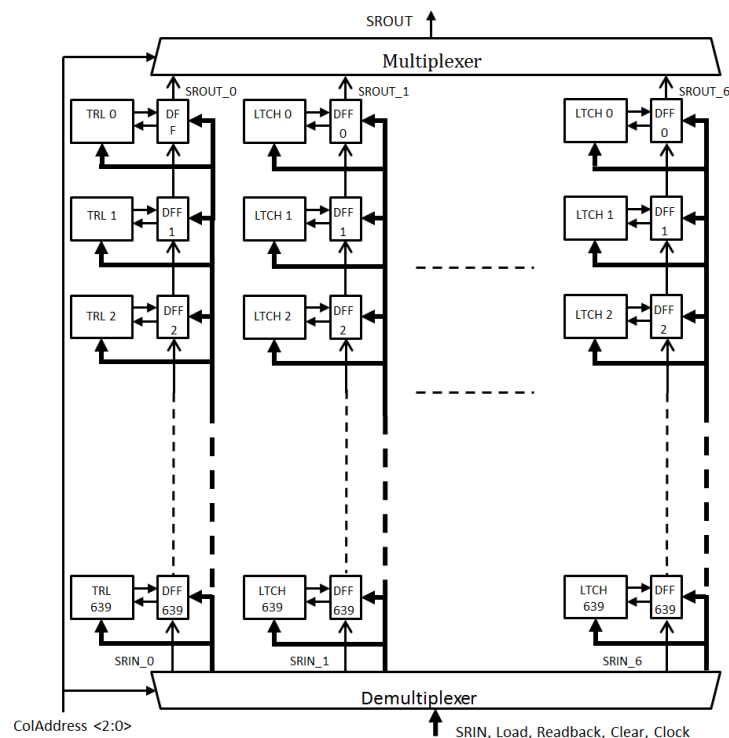


Figure 48: synoptique de la puce tolérante aux SEU

Chaque colonne contient 80 cellules mémoires de 8 bits, soit une trame de 640 bits, associée à un registre à décalage pour la lecture et l'écriture de la colonne. Cette configuration permet de calculer la quantité d'erreurs contenue dans la trame en comparant le pattern injecté avec les données en sortie de la puce, et ce pour chaque colonne. La comparaison s'effectue pour les mémoires durcies aux SEU et également pour les mémoires dites standards contenues dans les bascules D du registre à décalage. Ainsi il est possible d'obtenir en temps réel le gain d'amélioration entre les deux types de points mémoire.

En tout cinq signaux d'entrée sont nécessaires pour communiquer avec la puce plus trois bits dédiés à l'adressage de la colonne. Une seule sortie multiplexée, correspondant à la sortie du registre à décalage, est contrôlée par le système d'acquisition mis en place durant la campagne de tests.

L'ensemble des signaux indispensables au fonctionnement de la puce est listé dans le tableau suivant (cf. : Tableau 13) :

Signal	E/S	Description	Commentaire
CIAdd<2:0>	E	Sélection de colonne	3 bits de sélection de colonne
LD	E	Load	Chargement des données dans les mémoires SEU
CK	E	Horloge	-
RDBCK	E	ReadBack	Chargement des mémoires SEU dans les registres
CLR	E	Clear	Mise à 0 des bascules
SRIN	E	Entrée registre à décalage	-
SROUT	S	Sortie registre à décalage	signal amplifié ($C_{LOAD} = 10pF$)

Tableau 13: liste des entrées/sorties de la puce SEU

III.3.3 Architectures des mémoires SEU

III.3.3.1 Mémoire TRL (« Triple Redundancy Latches »)

Cette cellule est composée de trois mémoires standards indépendantes (cf. : Figure 49). Elle inclut une auto-correction d'erreurs par le biais d'une contre-réaction permettant de réinjecter à son entrée la valeur de la majorité des trois mémoires.

Les sorties des trois mémoires sont connectées à une cellule logique changeant d'état lorsqu'un

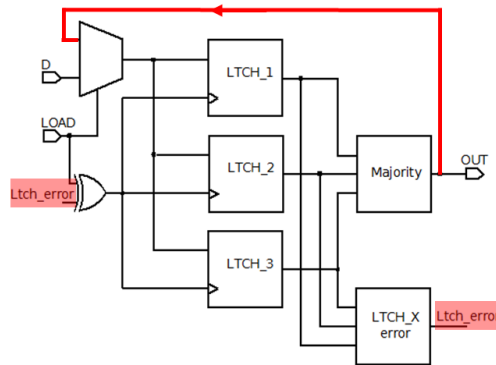


Figure 49: synoptique de la cellule TRL

point mémoire est corrompu. Celui-ci déclenche le chargement de la majorité à l'entrée des trois mémoires, effaçant dans le même temps la donnée erronée.

La sortie de la cellule de majorité correspond au bit de la cellule TRL. Elle change d'état à partir du moment où deux points mémoires sont touchés simultanément par une particule ionisante. Il est nécessaire dans ce cas de reconfigurer la cellule au moyen des signaux 'D' pour la donnée et 'LOAD' pour le chargement.

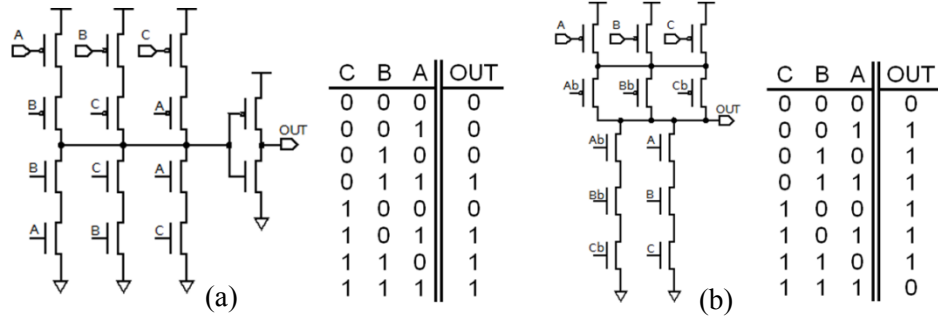


Figure 50: logique cellule TRL, (a) erreur majorité, (b) erreur mémoire

La logique gravitant autour des trois points mémoires répond aux tables de vérité décrites ci-dessus (cf. : Figure 50).

La cellule TRL présente une tolérance au SEU d'un point de vue architectural. Ce facteur d'amélioration, G_{TRL} , peut s'écrire de la manière suivante :

$$G_{TRL} = \frac{\text{Erreur Majorité}}{\text{Erreur point mémoire}}$$

Afin d'améliorer encore son comportement, une attention particulière a été apportée aux effets des SET, en tenant compte de la sensibilité du nœud global 'LOAD' (cf. Chapitre II.4.2). Cet aléa viendrait corrompre l'ensemble de la cellule en imaginant la propagation d'un signal transitoire sur ce nœud, autorisant de fait le chargement d'une donnée corrompue. Afin de limiter ce défaut de fonctionnement, il a été implanté dans la puce trois cellules concurrentes pour caractériser cet effet.

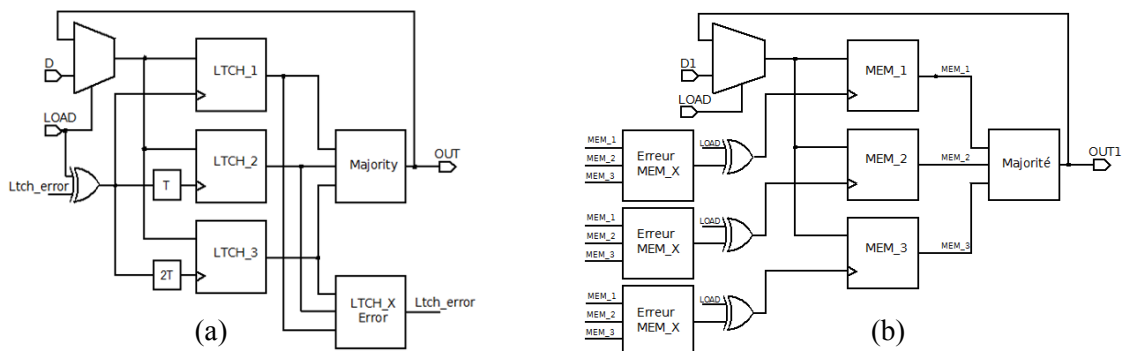


Figure 51: TRL durcie aux SET, (a) insertion d'un délai, (b) triplification du signal 'LOAD'

Dans un premier temps deux solutions sont proposées (cf. : Figure 51) pour permettre de se prémunir d'un SET :

1 : En imaginant un transitoire, dont la largeur est inférieure à τ , sur le signal d'horloge des mémoires, l'insertion d'une cellule délai τ sur une entrée et 2τ sur deuxième entrée fait que ce transitoire n'arrive pas simultanément sur les trois points mémoire (cf. : Figure 51a). La majorité ne s'en retrouve pas affectée du fait de la présence de l'auto-correction.

2 : Craignant un SET sur le signal 'LOAD', une cellule a été implantée avec une triplification de ce signal sensible. Si un nœud est sensible, il n'affecte pas les mémoires voisines et sera également corrigé (cf. : Figure 51b). L'inconvénient majeur de cette architecture est la pénalité en terme de surface.

Enfin, une variante de cette version consiste à éloigner les nœuds sensibles de façon à réduire la possibilité d'être touchés simultanément par une particule incidente et donc de générer un SEU. Le dessin des masques ci-dessous (cf. : Figure 52) représente deux bits de configuration. Pour une mémoire de huit bits, ce dessin est chaîné quatre fois avec cette option d'éloignement dans le but d'améliorer la tolérance aux SEU.

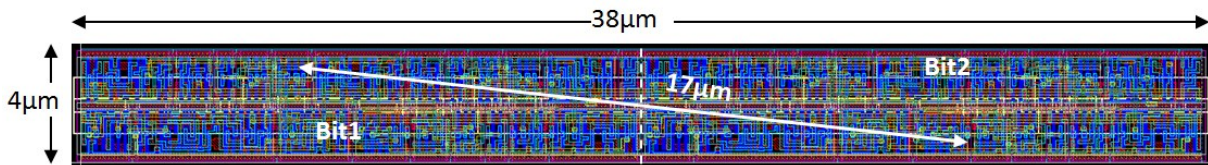


Figure 52: layout TRL, 'LOAD' tripliqué interdigité

Ci-dessus, un exemple de dessin des masques de deux bits interdigités avec une triplification du signal 'LOAD'. La distance critique entre deux nœuds sensibles est de l'ordre de 17 μm . Un inconvénient majeur de cette solution est l'augmentation de la densité des interconnexions. La taille élémentaire des cellules numériques 65 nm limite le nombre d'interconnexions et la possibilité d'éloigner spatialement les nœuds que l'on veut isoler.

III.3.3.2 Mémoire DICE (« Dual Interlocked Cell »)

La cellule DICE consiste à avoir une redondance des signaux de données d'entrée de façon à la verrouiller sur 4 nœuds distincts, nommés ci-dessous 'n<1..4>' (cf. : Figure 53) [45].

La donnée 'in' est stockée sur les nœuds 'n1' et 'n3', son complément, 'inb', sur les nœuds 'n2' et 'n4'. Cette bascule dispose de quatre nœuds de stockage de la donnée comportant deux paires de nœuds complémentaires.

En imaginant le chargement de la donnée '1'. Les nœuds 'n1-n2-n3-n4' prennent la valeur '1010'. Si l'impact d'une particule ionisante vient créer une impulsion positive sur le nœud 'n2', le transistor MP3 devient bloqué évitant de propager la perturbation sur le nœud 'n3'. Simultanément le transistor MN1 provoque une impulsion négative sur le nœud 'n1' qui ne sera pas transmise sur le nœud 'n4', du fait que le transistor MN4 se retrouve bloqué.

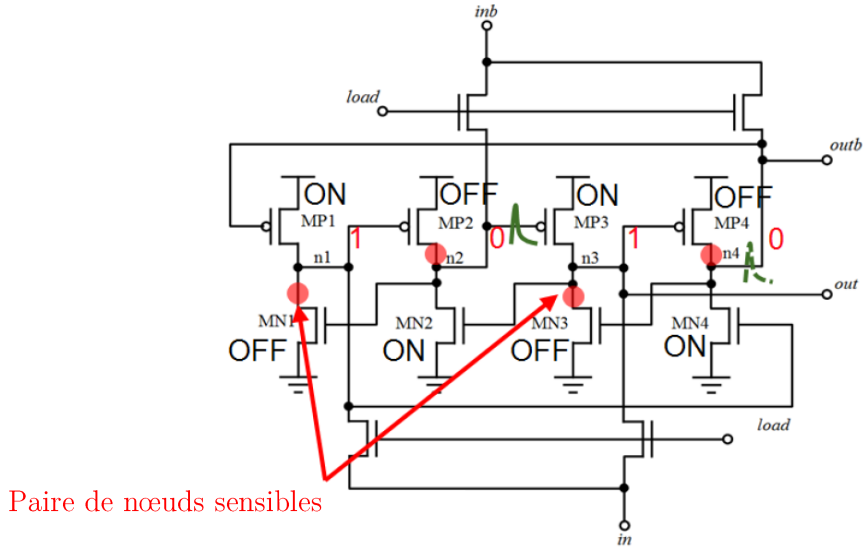


Figure 53: schéma d'une cellule DICE

En l'état la cellule est donc stable. Il faut un dépôt de charges conséquent sur un nœud pour changer l'état de l'ensemble des huit transistors que compose la bascule DICE.

Cependant, le problème majeur de cette architecture vient surtout du possible partage de charges entre deux nœuds sensibles. D'une part la particule incidente peut être rasante, traverser le silicium avec un angle et générer un dépôt de charges sur plusieurs nœuds, d'autre part, et de façon assez probable, avec un proton fortement énergétique, l'ionisation représente une zone radiale qui provoque les mêmes effets. Dans ces deux cas de figure, la charge équivalente sur le deuxième nœud affecté devient insignifiante ce qui rend la cellule très sensible aux SEU.

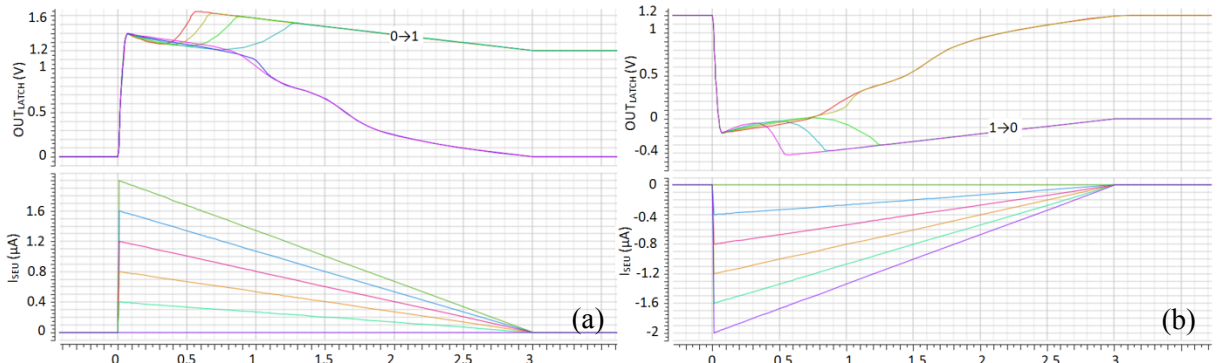


Figure 54: upset cellule DICE charge 1=300 fC charge 2=1.5 fC, (a) upset '0'→'1', (b) upset '1'→'0'

En injectant un courant parasite sur les deux nœuds sensibles de la cellule DICE, il est possible d'une part de les identifier, d'autre part de se rendre compte que cette architecture est très sensible au partage de charges. La simulation ci-dessus montre un upset de la sortie 'Q' du DICE de 0→1 et de 1→0 pour les quantités de charge de $Q_1 = 300$ fC et $Q_2 = 1,5$ fC (cf. : Figure 54).

Pour apporter un degré d'amélioration de la cellule et atténuer au mieux ce phénomène, le dessin des masques associé à cette cellule comporte plusieurs variantes décrites ci-dessous (cf. : Figure 55) [46]. En tout, cinq variantes de cellules DICE ont été irradiées afin de pouvoir

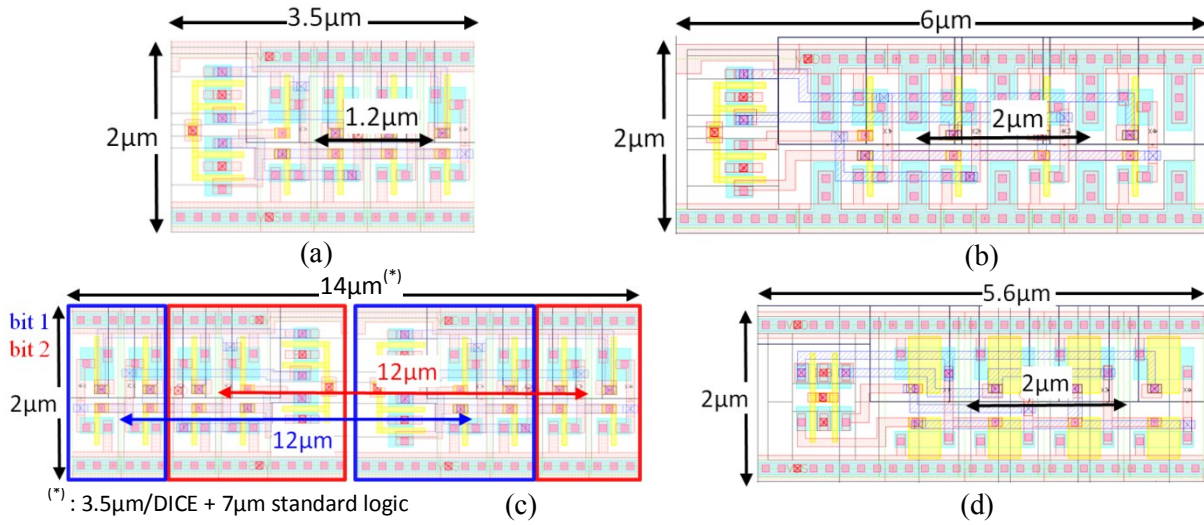


Figure 55: variantes de layout DICE, (a) cellule standard, (b) DICE avec anneaux de garde, (c) DICE standard avec séparation des nœuds sensibles, (d) cellule DICE avec des tailles de transistors plus importantes

identifier pendant les tests en irradiation la contribution de chaque variante de la cellule standard. Les cellules proposées ont les caractéristiques suivantes :

- 1 : cellule DICE standard (a)
- 2: cellule DICE avec des anneaux de garde (b) [47]
- 3 : cellule DICE avec un dessin des masques interdigité (c)
(distance entre nœuds sensibles $\sim 12 \mu\text{m}$)
- 4 : cellule DICE avec des tailles de transistors spécifiques ($L_{\text{min}}=400 \text{ nm}$) (d)
- 5 : cellule DICE version 4 avec un dessin des masques interdigité (distance $\sim 12 \mu\text{m}$)

III.3.3.3 Mémoire « Hamming code »

L'architecture de cette mémoire de type « Hamming code » apporte une correction dynamique des bits de configuration préalablement injectés dans la trame [48]. Le « Hamming code » suit un standard de communication et génère un nombre de bits de parité dont le décodage scrute et corrige en permanence l'état des données qu'on souhaite préserver des événements singuliers.

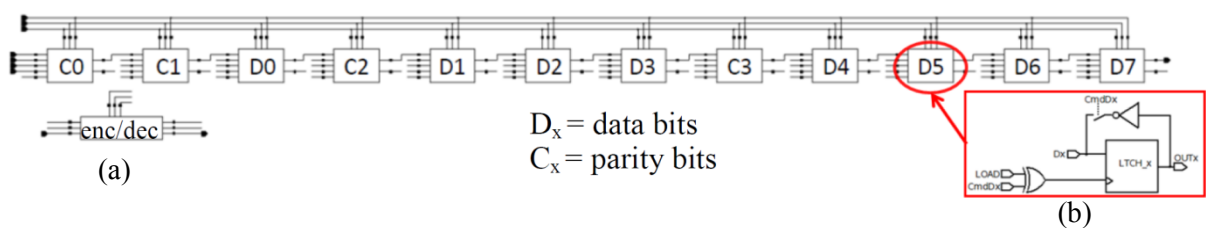


Figure 56: schéma mémoire "Hamming code" 8 bits, (a) codeur/décodeur des bits de parité, (b) cellule mémoire 1 bit

Le principal avantage de cette cellule est la simplicité que représente un bit mémoire (cf. : Figure 56). Corriger une donnée corrompue revient à charger son complément. Ce chargement intervient par la décision que prend le bloc codeur/décodeur des bits de parité.

Le premier inconvénient de cette architecture est la surface que demande la logique autour des points mémoire (cf. : Tableau 14). L'autre défaut majeur est que ce bloc ne corrige pas les données dans le cas d'une double erreur. Dans ce cas, cet état est détecté puis transmis au système d'acquisition pour recharger la trame.

Cellule	Surface	%
Mémoire	$5 \times 8\mu\text{m}^2$	7 %
Logique	$10 \times 20\mu\text{m}^2$	35 %
Mémoire 8 bits	$18 \times 20\mu\text{m}^2$	65 %
Total	$28 \times 20\mu\text{m}^2$	100 %

Tableau 14: bilan des surfaces pour une mémoire "Hamming code" 8 bits

III.3.4 Puce prototype SET

III.3.4.1 Introduction

Comme évoqué dans les chapitres précédents (cf. : Chapitres II.4.2 et III.3.3.1), les événements singuliers de type transitoires, SET, peuvent accroître la quantité de données corrompues et rendre difficile l'utilisation d'une puce complète. Un prototype, RD53_SEU [49], a été développé et fondé incluant une cellule permettant de caractériser les signaux transitoires issus de différentes portes logiques disponibles dans la bibliothèque digitale standard de la technologie (cf. : Figure 57).

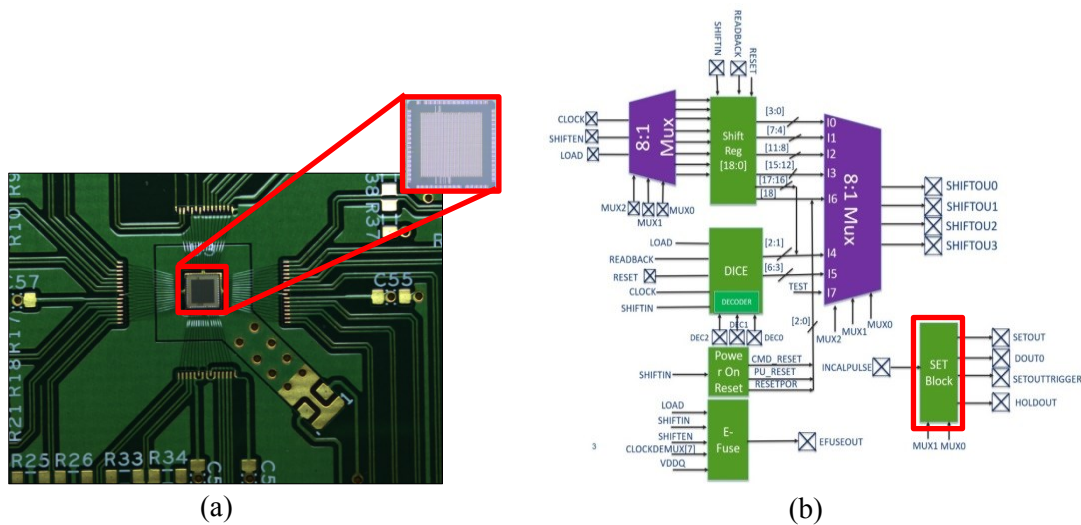


Figure 57: puce RD53_SEU, (a) implantation sur PCB, (b) architecture de la puce

Comme l'indique le synoptique ci-dessus (cf. : Figure 57b), la puce RD53_SEU inclut différentes cellules indépendantes, telles que différentes variantes de mémoires HBD et DICE. Le bloc SET proposé, permet l'étude des signaux transitoires en mesurant deux paramètres que sont :

- 1 : La cross-section correspondant à la fréquence de répétition du signal indésirable.
- 2 : La largeur moyenne de l'impulsion permettant de dimensionner les cellules délai incluses au final sur les nœuds globaux des structures digitales.

III.3.4.2 Description du bloc SET

Le bloc SET se décompose en deux parties (cf. : Figure 58) [50]:

- 1 : une cellule cible comportant une chaîne de différents composants sensibles aux SET,
- 2 : une cellule de détection permettant de dimensionner les caractéristiques de l'impulsion transitoire.

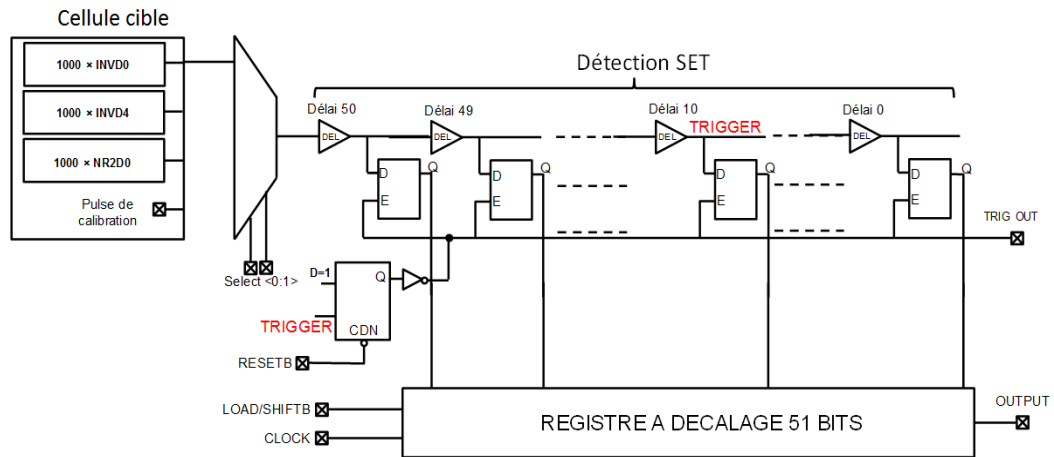


Figure 58: synoptique bloc SET

La cellule cible comprend trois types de composants digitaux plus une entrée dédiée à un générateur d'impulsion externe. Les quatre sorties sont connectées à un multiplexeur 4:1 lui-même connecté à la chaîne de détection. Les trois cellules digitales cibles sont

- 1 : 'INV D0' $\times$ 1000 : inverseur de taille minimale
- 2 : 'INV D4' $\times$ 1000 : amplification 'INV D0' $\times$ 4
- 3 : 'NR D0' : porte NON-OU à deux entrées de taille minimale

La cellule détection est basée sur une chaîne de 51 points mémoires associés à une cellule délai. Cette cellule est composée d'inverseurs ayant un retard de ~ 25 ps incluant les éléments parasites. Cette valeur correspond à la résolution de la détection. Les signaux nécessaires au fonctionnement de la cellule sont listés ci-dessous (cf. : Tableau 15).

Signal	E/S	Description	Commentaire
RESETB	E	Initialisation du bloc	Actif bas
SELECT<1:0>	E	Sélection cellule cible	'00': INV D0, '01': INV D4, '10': NR2D0, '11': Cal. pulse
CAL_PULSE	E	Générateur externe	50 ps à 1 ns
CLOCK	E	Horloge du SR	
LOAD	E	Chargement SR	
OUTPUT	S	Sortie SR	
TRIG OUT	S	Sortie trigger	Déclenchement acquisition

Tableau 15: liste des entrées/sorties du bloc SET

Une fois la cellule cible connectée à la cellule de détection, un signal SET ou équivalent (SELECT<1:0> = '11' → CAL_PULSE) peut se propager le long de la chaîne comportant l'ensemble des délais [51]. Quand la cellule 'Délai 10' est atteinte par un SET, celle-ci génère un signal de déclenchement permettant de :

- 1 : mémoriser les valeurs aux entrées des points mémoires,
- 2 : lancer le système d'acquisition suite au changement d'état du signal 'TRIG OUT'.
Le système va permettre le chargement des points mémoire vers le registre à décalage et de sortir ces données à l'aide d'un signal d'horloge.

Remarques :

1 : Le système d'acquisition se déclenche avec un temps de retard pouvant être non négligeable correspondant au temps de transition des portes logiques sur le nœud du signal 'TRIGGER'. Les dix dernières cellules 'Délai<9:0>' intègrent ce léger dysfonctionnement correspondant à un temps total acceptable de $\sim 10 \times 25 \text{ ps} = 250 \text{ ps}$.

2 : La logique d'acquisition aurait pu être intégrée dans le bloc SET avec un inconvénient majeur, celui d'imaginer cette logique touchée par un événement singulier. Cette approche a été abandonnée au profit d'un système externe générant l'ensemble des signaux assurant le fonctionnement de ce bloc.

Les résultats de simulation, incluant les éléments parasites, de ce bloc montrent une bonne linéarité de comptage de la largeur d'impulsion du signal SET à l'entrée de la chaîne de détection (cf. : Figure 59). :

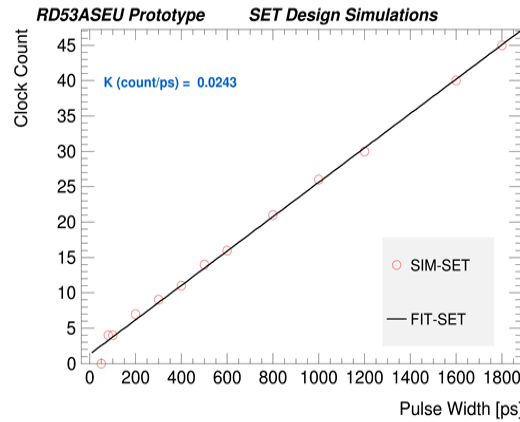


Figure 59: linéarité de la détection de la largeur d'un signal SET

Les résultats de simulation montrent que la détection est optimale pour une largeur minimum d'un SET de 70 ps. La largeur maximum possible mesurable est de 2 ns soit une dynamique de ~ 30 . Enfin, le retard simulé faisant l'objet de la deuxième remarque ci-dessus est inférieur à 100 ps.

III.4 Conclusion

Ce chapitre résume l'ensemble des conceptions pour permettre de caractériser au mieux une technologie dont le fonctionnement devra être tolérant à l'environnement radioactif du HL-LHC. Cette problématique prend en compte les effets de dose ainsi que les aléas liés aux événements singuliers de type SET et SEU.

Les effets de dose sont étudiés par la caractérisation du comportement de transistors uniques dont la sensibilité sera fonction de la géométrie de celui-ci. Une étude comparative est possible en fonction de la température et du fondeur choisi par les concepteurs. Ces tests anticipent les problèmes pouvant être rencontrés dans les blocs préalablement étudiés et permettent d'éviter une intolérance totale à l'environnement en prenant en compte les contraintes fixées par ces tests.

Les prototypes décrits dans ce chapitre permettent aussi d'étudier le comportement des architectures proposées aux effets des événements singuliers. Il n'y a pas d'autre choix pour conserver une bonne efficacité dans cet environnement, que de s'orienter vers des structures redondantes afin de préserver l'intégrité de fonctionnement d'une cellule pendant un temps non négligeable. C'est le premier inconvénient qui donne lieu à un compromis entre la tolérance au rayonnement ionisant et le budget surface dédié à ces cellules.

Chapitre IV

IV Synthèse des mesures obtenues en irradiation

IV.1 Introduction

Suite à la description des circuits prototypes voués à être caractérisés en irradiation, ce dernier chapitre a pour objectif de synthétiser l'ensemble des prises de données réalisées durant les différentes campagnes de tests. Une analyse de ces résultats est aussi établie pour apporter une réponse au degré de tolérance que peut avoir la technologie 65 nm. Ceci permet d'orienter les différentes conceptions qui seront à terme implantées dans le circuit final de la collaboration et rendre son fonctionnement optimal dans un tel environnement.

Avant de commencer cette synthèse, la première partie de ce chapitre sera dédiée à l'environnement de test, avec une description des sources utilisées. Deux thématiques seront abordées. D'une part, une étude sur les effets de dose incluant une description du système de test et la synthèse des résultats de mesures obtenue à température ambiante, ainsi qu'à basse température. D'autre part une deuxième étude sera présentée sur les effets des événements singuliers de type SEU/SET avec une description du banc de test déployé pour effectuer une prise de données stable et reproductible, et la synthèse des résultats obtenue lors des campagnes d'irradiation. Une conclusion clôturera ce chapitre dédié à l'ensemble de ce travail de tests et de caractérisation.

IV.2 Sources de particules

IV.2.1 Introduction

Pour étudier les effets des irradiations cités dans ce document, il a été utilisé trois types de sources durant nos campagnes.

- 1 : Pour la dégradation liée aux effets de dose, il est possible d'utiliser une source à rayon X 10 keV de façon à déposer les charges en surface du silicium et mesurer les conséquences du taux de charges non recombinaisons (cf. : Chapitre II.3.1.2) dues au pic d'énergie émis par la source.
- 2 : Pour les effets de dose et les effets SEU, une source à protons 24 GeV située au CERN est couramment utilisée, dans une zone dédiée à cette activité.
- 3 : Pour les SEU uniquement une source ions lourds de différentes énergies est disponible auprès du cyclotron de Louvain-la-Neuve. Cette source nous a permis de caractériser notamment le bloc SET et certaines cellules de type TRL.

IV.2.2 Sources à rayon X

Chronologiquement lors de nos campagnes de test, il a été utilisé une première source à rayon X située au CERN. Cette source permet d'effectuer des tests à température ambiante et à basse température (-15 °C). Elle est citée comme une référence au sein de la communauté car son utilisation a montrée des résultats similaires avec d'autres types de source tel que du Cobalt⁶⁰ ou encore la source protons 24 GeV citée dans l'introduction.

Ce résultat est dû à une méthode de calibration très précise visant à faire apparaître des dégradations sur le silicium similaires à l'environnement radioactif dans lequel il sera soumis [52]. La méthode proposée consiste à éliminer les rayons X de basse énergie, en ajoutant sur la source un filtre en aluminium d'une épaisseur d'environ 150 μm . Les photons X, dont l'énergie est inférieure à 8-10 keV, ne déposent pas leur énergie uniformément dans le matériau. La dose reçue est difficile dans ce cas à évaluer car elle dépend de la profondeur de la zone sensible irradiée. Le débit de dose est mesuré avec une diode PIN (réf. :ASXUVHS5), composant beaucoup plus précis qu'une chambre à ionisation classiquement utilisée pour les sources à rayon X [53]. Cette diode PIN couvre un large spectre de détection du rayon X à l'ultra-violet. Son efficacité quantique est proche de la théorie $\sim E_{\text{ph}}/3.6$, où E_{ph} représente l'énergie du photon, du fait que sa surface active est quasi-dépourvue de zone morte. La couche de passivation recouvrant l'ensemble est très fine, $\sim 3\text{-}7$ nm, ce qui limite l'atténuation de la détection. Ces paramètres permettent d'extraire malgré tout un signal à la longueur d'onde des rayons X, malgré que dans cette gamme de fréquence elle perd le plus de son efficacité.

Actuellement, nous utilisons une deuxième source à rayons X grâce à une collaboration mise en place avec l'IM2NP (« Institut Matériaux Microélectronique Nanosciences de Provence »). Cette méthode de calibration a été effectuée sur cette source. La confirmation de la réussite de cette opération a demandé la comparaison des résultats lors d'une campagne d'irradiation sur des transistors de faibles dimensions servant pour cette opération d'étalon (cf. : Figure 60).

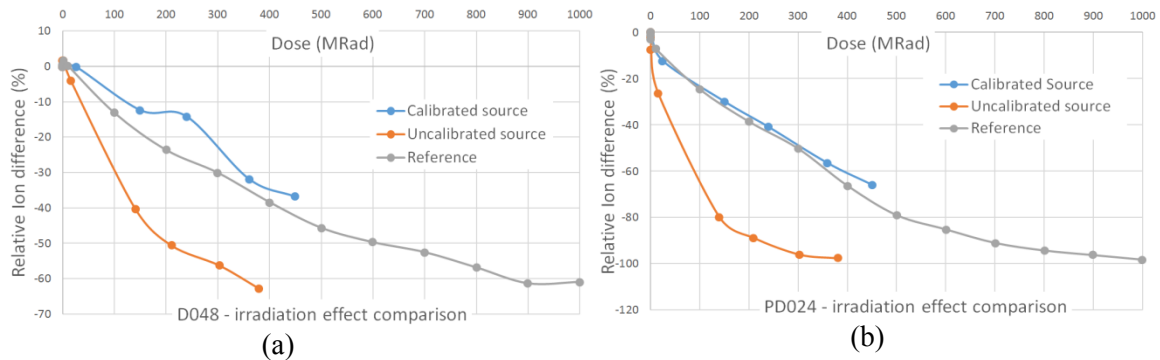


Figure 60: comparaison des sources à rayon X CERN/IM2NP, (a) I_{ON} NMOS 480 nm/60 nm vs dose, (b) I_{ON} PMOS 240 nm/60 nm vs dose

Les courbes représentent la dégradation du courant I_{ON} des transistors MOS de types N et P en fonction de la dose reçue. La courbe grise est la référence correspondant à la source à rayon X calibrée du CERN. Les courbes oranges et bleues sont issues de deux campagnes réalisées à l'IM2NP. Les courbes oranges montrent la dégradation du courant I_{ON} d'un transistor MOS en fonction de la dose dont le débit a été mesuré à l'aide d'une chambre à ionisation sans calibration préalable. Les courbes bleues illustrent aussi comparativement la dégradation du courant I_{ON} d'un transistor MOS, mais avec une valeur de débit de dose défini au moyen d'une diode PIN calibrée. L'effet est sans appel. La première campagne montre une exagération du débit estimé avec une erreur sur la dose reçue de plus de 30 % @ 300 Mrad.

Le tableau ci-dessous récapitule les caractéristiques des sources utilisées (cf. : Tableau 16) :

Paramètre	Source IM2NP	Source CERN
Cible	Tungstène (pic@10 keV)	Tungstène (pic@10 keV)
Surface faisceau	1 cm ² (non uniformité ~30 %)	1 cm ² (non uniformité ~30 %)
Filtre Aluminium	120 µm	150 µm
Débit de dose	1,3 Mrad(SiO ₂)/heure max.	9 Mrad(SiO ₂)/heure max.
Tension du tube	20 kV max	50 kV max.
Courant du tube	20 mA max	60 mA max
Gamme de température	ambiante	de -50 à +200 °C

Tableau 16: comparatif des sources X CERN/IM2NP

IV.2.3 Sources protons et ions lourd

Une source pulsée de protons d'une énergie de 24 GeV est utilisée usuellement pour irradier des échantillons dans une zone dédiée à cette activité. Cette ligne est située auprès de l'anneau PS du CERN.

Elle permet d'irradier des composants à la dose requise et également faire de la caractérisation de mémoires aux SEU. Due à la forte énergie des particules émises par l'accélérateur, plusieurs échantillons peuvent être irradiés simultanément dans une zone confinée avec un accès limité.

Un ensemble de tables, partagées entre différents utilisateurs, sont installées de façon à positionner de façon précise les échantillons en travers du faisceau au fort pouvoir pénétrant. L'ensemble des signaux nécessaires au fonctionnement du circuit à irradier sont déportés d'une vingtaine de mètres, et c'est depuis une salle contrôle qu'une surveillance permanente s'effectue le temps de l'irradiation. Les paramètres faisceau sont listés ci-dessous :

Paramètre	valeur
Fluence	5.10^{10} - $1,5.10^{11}$ protons/cm ² /pulse
Energie	24 GeV
Dimensions faisceau	1cm ²
Largeur	400 ms
Fréquence	3-5 pulse/cycle
Non uniformité	~25 %
Débit de dose	950 krad/heure max.

(a)

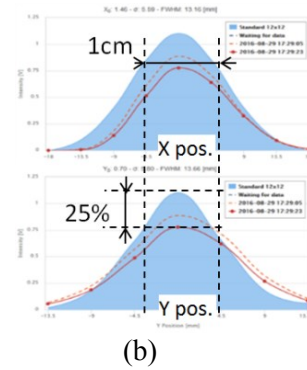


Figure 61: paramètres faisceau protons CERN, (a) liste des paramètres, (b) forme XY du faisceau

La source ions lourds du cyclotron de Louvain-la-Neuve. Elle permet la caractérisation de circuits digitaux aux événements SET et SEU. Le flux continu est variable jusqu'à $1,5.10^4$ p/(s.cm²). L'uniformité du faisceau est assurée à ± 10 % pour un diamètre de 25 mm. L'installation permet d'injecter des ions de différentes énergies du carbone au xénon, dont l'énergie varie de 130 à 995 MeV. Les caractéristiques des isotopes disponibles sont listées dans le tableau ci-dessous (cf. : Tableau 17).

Ion	DUT Energy (MeV)	Range on device (μ m Si)	LET (MeV.cm ² / mg)
C4+	131	269.3	1.3
22Ne7+	238	202	3.3
27Al8+	250	131.2	5.7
36Ar11+	353	114.0	9.9
53Cr16+	505	114.0	16.1
58Ni18+	582	105.5	20.4
84Kr25+	769	94.2	32.4
103Rh31+	957	87.3	46.1
124Xe35+	995	73.1	62.5

Tableau 17: liste des isotopes disponibles au cyclotron de Louvain-la-Neuve

Dans cette configuration, il est possible de caractériser précisément (cf. : Chapitre II.4.4) un bloc mémoire et extraire la cross-section saturée σ_{SAT} ainsi que le seuil de sensibilité L_{TH} .

Les deux sources sont complémentaires pour les tests SEU, il est admis au sein de la collaboration qu'il est fortement recommandé de mener deux campagnes auprès de ces installations citées ici pour effectuer une étude complète sur la tolérance SEU d'une cellule digitale.

IV.3 Banc de test transistors

Le banc de test transistors respecte deux contraintes majeures qui ont amenées son architecture finale. Ces contraintes sont :

- 1 : Le véhicule de test transistors est dépourvu de protection ESD (« ElectroStatic Discharge »). L'intérêt de cette absence de protections est de mesurer un courant de drain sans être perturbé par la dérive d'une diode de protection durant la phase d'irradiation. L'inconvénient est que cette configuration rend la manipulation des échantillons très délicate, le risque de casse est important. L'environnement des tests inclut des protections antistatiques pour limiter ce risque.
- 2 : Les paramètres enregistrés des transistors incluent les courants de fuites. Le système doit être capable d'assumer l'enregistrement de très faibles valeurs de courants sachant que l'acquisition est déportée de l'échantillon d'une longueur de trois mètres. Une ligne de mesure doit être fiable pour des valeurs ≤ 1 pA.

Ces contraintes ont amené à converger vers une architecture donc le synoptique est représenté ci-dessous (cf. : Figure 62).

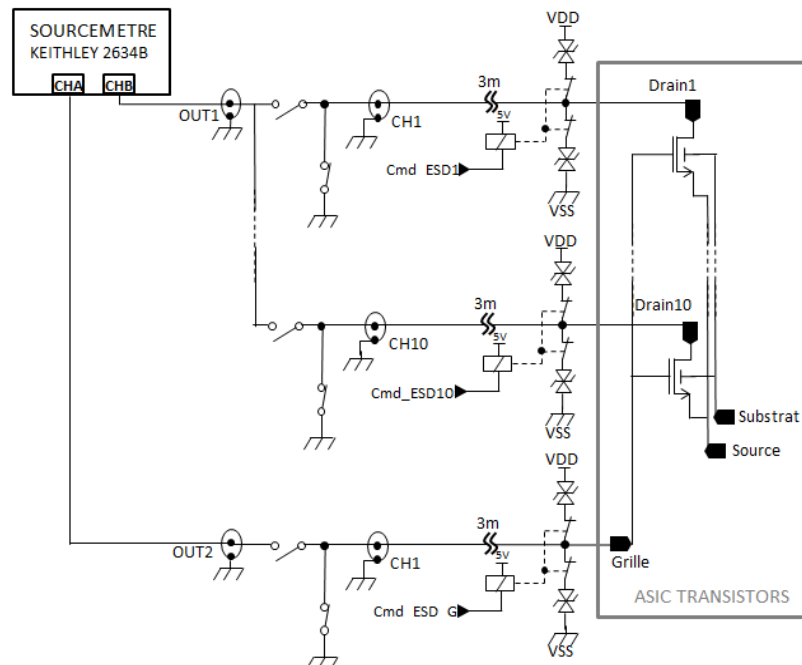


Figure 62: synoptique du banc de tests transistors

Ce banc permet l'automatisation de mesures courant/tension $I_D(V_{GS})$ et $I_D(V_{DS})$ pour extraire la fonction transfert G_m , la tension de seuil V_{TH} et l'impédance de sortie G_{DS} , et ce pour chaque transistor implanté dans le véhicule de test.

Il peut assumer en tout, une dizaine de transistors MOS de type N et une dizaine de transistors MOS de type P. Il est évidemment possible d'inclure des résistances et des diodes pour une opération similaire de caractérisation courant/tension.

Les contraintes citées ci-dessus sont assumées pour deux raisons :

- 1 : Il a été ajouté des protections ESD externes connectées au DUT (« Device Under Test ») qui peuvent être déconnectées lors de la mesure.
- 2 : Les câbles choisis peuvent être triaxiaux ce qui ajoute un double blindage autour du signal critique à mesurer. De plus, un suiveur est connecté entre ces deux points assurant un potentiel de 0 V, et donc un courant de fuite idéalement nul. La chaîne de mesure inclut un sourcemètre de précision associé à une matrice de switch présentant un faible courant de fuite.

Le système ainsi assemblé suit une séquence de mesures reproductibles et permet de minimiser la casse au niveau du DUT. Cette séquence est la suivante (cf. : Figure 63) :

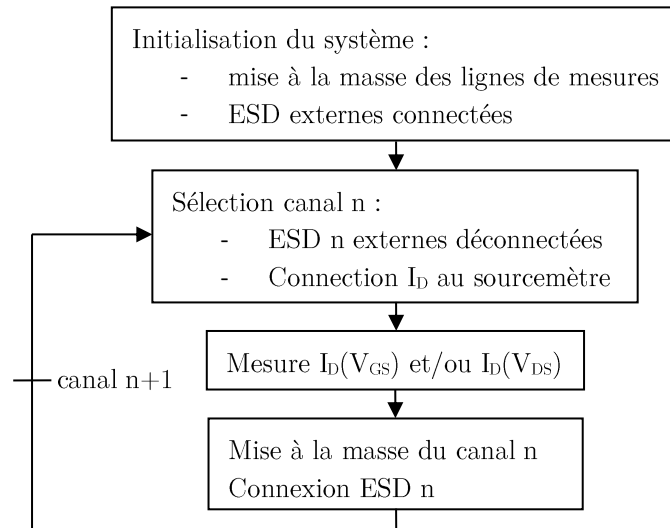


Figure 63: séquence de test du DUT transistors

Quatre paramètres sont extraits pour chaque transistor. Ces paramètres sont les suivants :

- 1- I_{OFF} : valeur du courant drain pour un V_{GS} minimum à 0 V,
- 2- I_{ON} : valeur du courant drain pour un V_{GS} maximum à 1.2 V,
- 3- G_m : valeur de la dérivée $\frac{\delta I_D}{\delta V_G}$ en fonction de V_{GS} ,
- 4- V_{TH} : tension de seuil du transistor (méthode par extrapolation linéaire) [54].

Afin de garder un degré de flexibilité et de pouvoir tester plusieurs types de puce, un système carte mère/carte fille a été mis en place. Ainsi les signaux sont ré-agencés au niveau de la carte fille sur laquelle est câblée la puce. Cette option rend la caractérisation aux irradiations d'une technologie donnée à moindre coût, seule une carte fille est à produire afin d'implanter une puce dédiée à ce type de test.

L'option de tester les transistors à basse température est possible. Le substrat de la puce étant collé à une plage d'accueil en cuivre, celle-ci est connectée via un assemblage mécanique à la partie froide qui porte l'ensemble, par conduction thermique, à la température désirée.

IV.4 Méthode de test transistors

Pour irradier les puces transistors, celles-ci sont toutes polarisées de sorte que $|V_{DS}|=|V_{GS}|=1.2$ V. Ainsi, le champ électrique présent sur les électrodes des transistors est favorable aux dégradations liées aux effets de dose, puisqu'il aura tendance à conserver les charges positives générées par une particule ionisante. La première phase concerne l'exposition aux rayonnements ionisants de l'échantillon jusqu'à atteindre la dose requise. Les étapes d'irradiation ont été réalisées par décade : 100 krad, 1 Mrad, 10 Mrad, 100 Mrad puis 200 Mrad, 300 Mrad,..., jusqu'à une dose totale fixée à 1 Grad dans un premier temps puis ramenée à 500 Mrad dans le cahier des charges final. Pour chaque étape, une mesure courant/tension de chaque transistor est effectuée afin d'observer les dégradations des paramètres électriques des composants. L'irradiation s'est faite à haut débit de dose (~ 9 Mrad/heure) ce qui permet d'atteindre la dose totale en quelques jours pour une équivalence de 5 à 10 ans de fonctionnement.

Face à ce temps très court d'exposition à la dose, la deuxième phase dite « annealing » correspond à une phase de récupération pour évaluer la tendance des paramètres dégradés préalablement par la phase d'irradiation. La récupération se fait en plusieurs étapes :

- 1 : Une période d'une dizaine de jour à basse température,
- 2 : une période de plusieurs semaines à température ambiante
- 3 : une période à $+100$ °C durant 168 heures afin d'accélérer la récupération des paramètres électriques du composant en facilitant l'extraction des charges piégées dans les oxydes.

Cette méthode est une légère variante de ce qui se fait de façon standard [55]. Cela correspond à une méthode de tests normalisée visant à qualifier les composants d'une technologie dans leur environnement de fonctionnement [56].

Ci-dessous (cf. : Figure 64), un exemple de données brutes que restituent le système de test. Ce sont des mesures $I_D(V_{GS})$ effectuées à température ambiante pour deux transistors MOS de types N et P de petite taille pendant une campagne d'irradiation jusqu'à 1 Grad en rayon X au CERN.

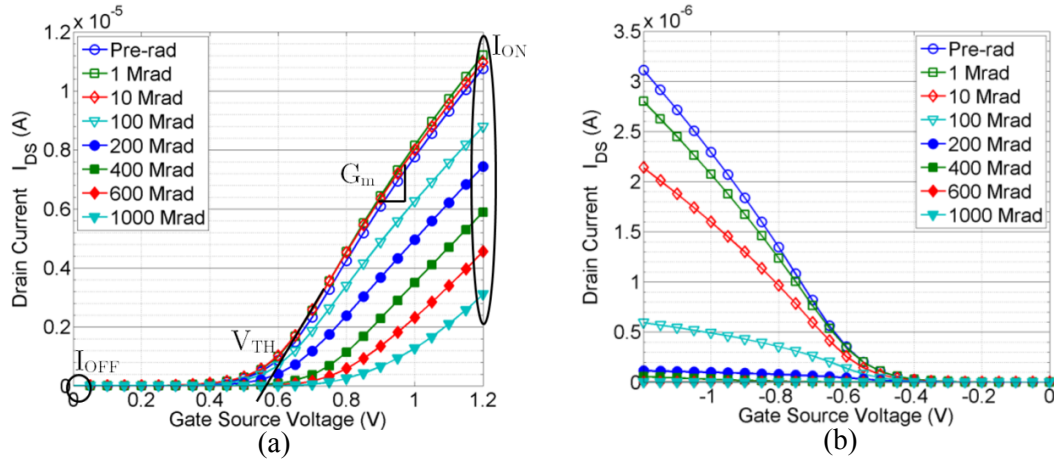


Figure 64: $I_D(V_{GS})$ vs dose @ 1 Grad, (a) transistor NMOS 120 nm/60 nm, (b) PMOS 120 nm/60 nm

IV.5 Résultats de test des transistors

IV.5.1 Irradiation à température ambiante

IV.5.1.1 Effets des irradiations sur les transistors NMOS

IV.5.1.1.1 Courant de fuite NMOS fondeur 1

Le courant de fuite à l'état repos est défini comme le courant de drain-source pour $V_{GS} = 0$ V (cf. : Chapitre IV.3).

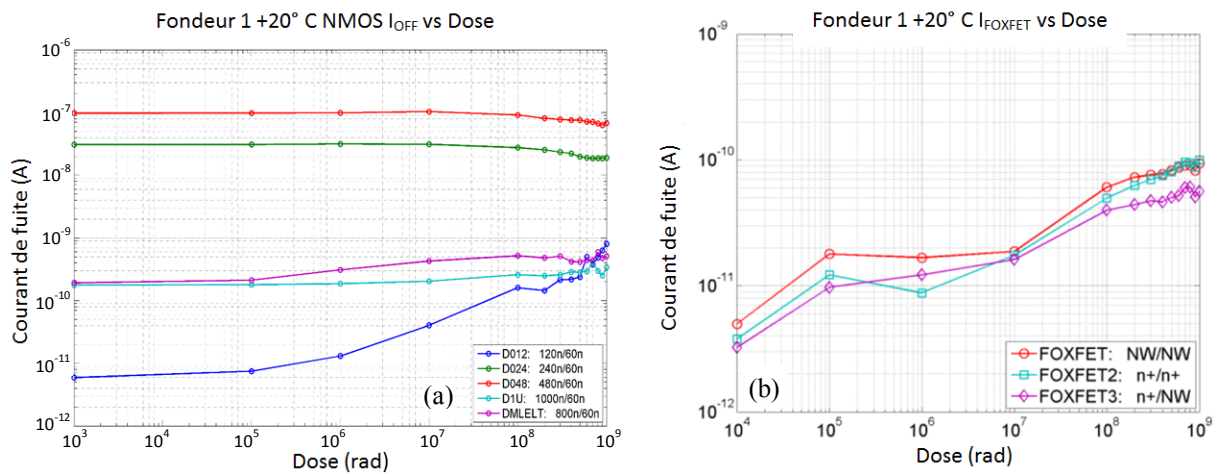


Figure 65: courant de fuite NMOS vs dose (T °C ambiant), (a) NMOS vs dose, (b) FOXFET vs dose

Ce paramètre est important compte tenu de la densité d'intégration de la technologie, et va directement influencer sur l'augmentation de la consommation statique de la puce RD53.

Comparativement, ce paramètre avait été critique lors du développement du FEI4, où le courant de fuite du transistor NMOS était de 100 nA après seulement une dose de 100 Mrad soit trois ordres de grandeur plus élevés par rapport à sa valeur initiale [57]. La technologie 130 nm a eu recours au transistor circulaire pour limiter cet effet.

Dans notre cas (cf. : Figure 65), le courant de fuite du transistor NMOS de petite taille (120/60 nm) augmente d'un facteur 100, de 10^{-11} A à 10^{-9} A, mais reste inférieur au courant de fuite du transistor circulaire, même à fort niveau de dose. Ce comportement montre qu'il n'est pas nécessaire d'étudier la géométrie des transistors de la technologie, car cela n'aboutirait pas à une amélioration significative.

Concernant les FOXFET, pouvant montrer les problèmes liés aux effets de proximité, leurs contributions sous les effets des irradiations s'en trouvent limitées. Le courant relevé à 1 Grad est inférieur à 100 pA avec une augmentation totale 20 fois supérieure par rapport à la valeur initiale. D'un point de vue courant de fuite, le fondeur 1 65 nm est un bon candidat pour la tenue aux irradiations, ce paramètre relevé n'est pas un facteur limitant.

IV.5.1.1.2 Paramètres DC NMOS fondeur 1

L'évolution du courant de drain (I_D) du transistor NMOS de petite taille (120/60 nm) en fonction de la dose reçue est représentée ci-dessous (cf. : Figure 66a).

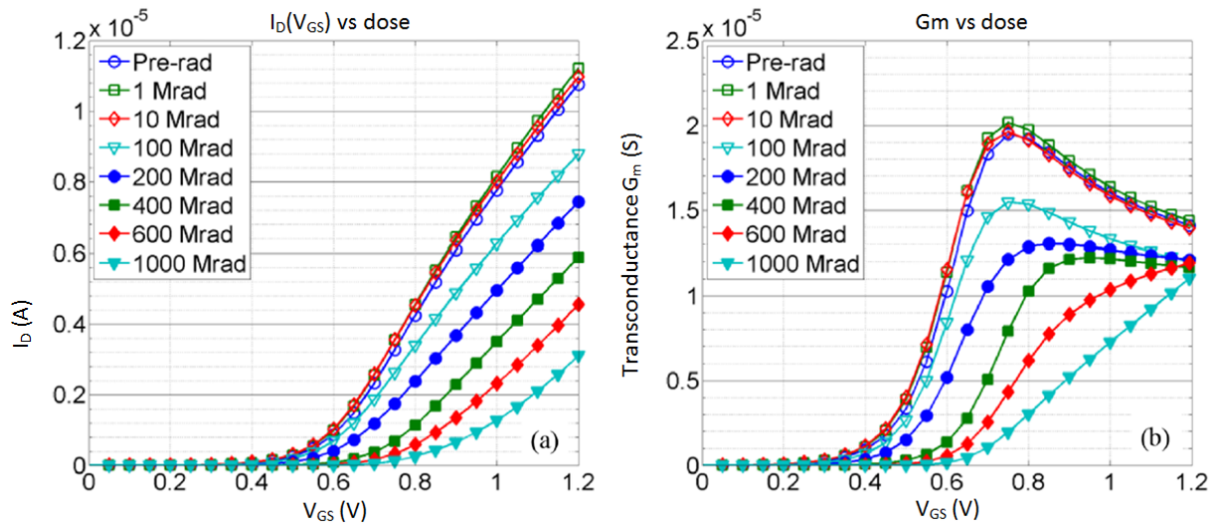


Figure 66: courant de drain NMOS vs dose (T °C ambient), (a) I_D vs dose, (b) G_m vs dose

Le courant I_{ON} augmente légèrement jusqu'à 10 Mrad avant de décroître de manière significativement pour de forts niveaux de dose. L'évolution de la transconductance en fonction de la dose est représenté ci-dessus (cf. : Figure 66b). Sa valeur maximum se décale au fur et à mesure pour des valeurs de V_{GS} plus élevées

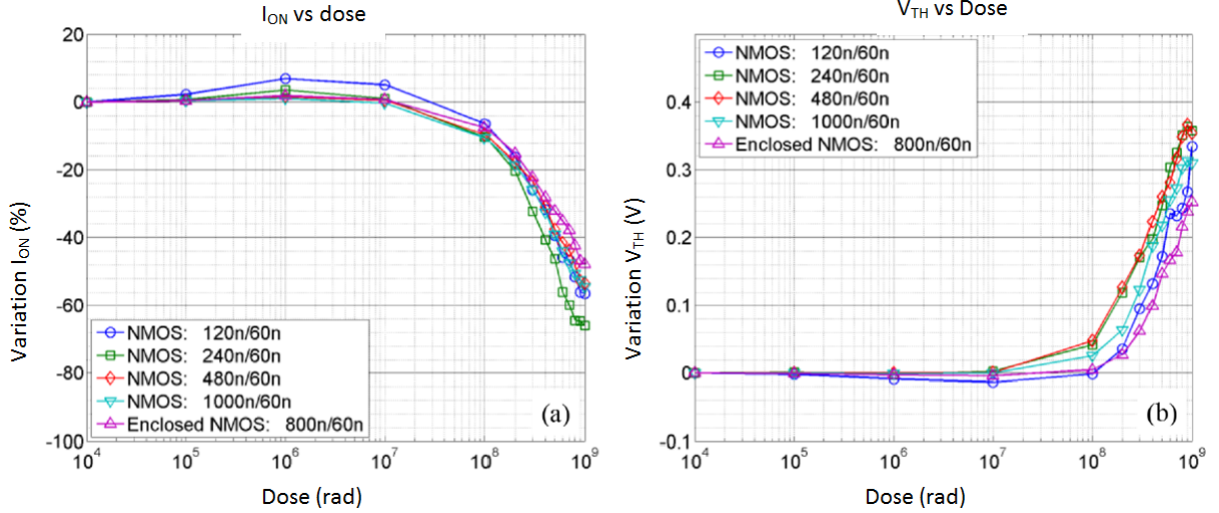


Figure 67: paramètres DC NMOS vs dose (T °C ambiant), (a) I_{ON} vs dose, (b) V_{TH} vs dose

L'extraction des paramètres DC des transistors MOS, I_{ON} et V_{TH}, est représentée ci-dessus en fonction de la dose (cf. : Figure 67a et b). La variation du courant I_{ON} croît légèrement, jusqu'à 7 % pour le transistor de petite taille [58]. Dans le même temps la tension de seuil V_{TH} décroît d'environ 15 mV pour le plus petit transistor. Ce phénomène est observable pour de faibles valeurs de dose de l'ordre de 20 Mrad.

Lors de la deuxième phase, la variation est significativement inversée pour atteindre des valeurs de I_{ON} dégradées entre 45 % et 65 % comparativement à la valeur initiale, selon la taille du transistor. De même, la variation de la tension V_{TH} redevient positive après 100 Mrad et atteint une valeur finale entre 250 mV et 350 mV pour les petits transistors. Cette variation tend à changer l'état du composant au point que celui-ci puisse se retrouver bloqué pour de fortes doses. Le changement des variations est attribué à deux phénomènes qui s'ajoutent durant l'irradiation. L'effet des charges en volume de l'oxyde épais proche de l'oxyde de grille s'observe dans un premier temps avant de constater l'effet de cumulation des charges piégées aux interfaces SI/SiO₂ où se situe le puit STI. La mesure de V_{TH} est la résultante de la valeur de I_{ON} et de la valeur maximum de G_m en respectant la méthode par extrapolation dans la zone linéaire du transistor. Ces trois paramètres DC sont liés. Les variations du courant I_{ON} durant la phase d'irradiation sont aussi les conséquences de la dégradation de la tension de seuil et de la transconductance.

Pour calibrer la source à rayon X de l'IM2NP, seul le paramètre I_{ON} a été considéré pour étalonner la valeur du débit de dose de la machine (cf. : Figure 60).

IV.5.1.2 Effets des irradiations sur les transistors PMOS

IV.5.1.2.1 Courant de fuite PMOS fondeur 1

Comme pour les transistors NMOS (cf. : Chapitre IV.5.1.1.1), le courant de fuite des transistors PMOS a été enregistré durant la phase d'irradiation à $V_{GS} = 0$ V (cf. : Figure 68).

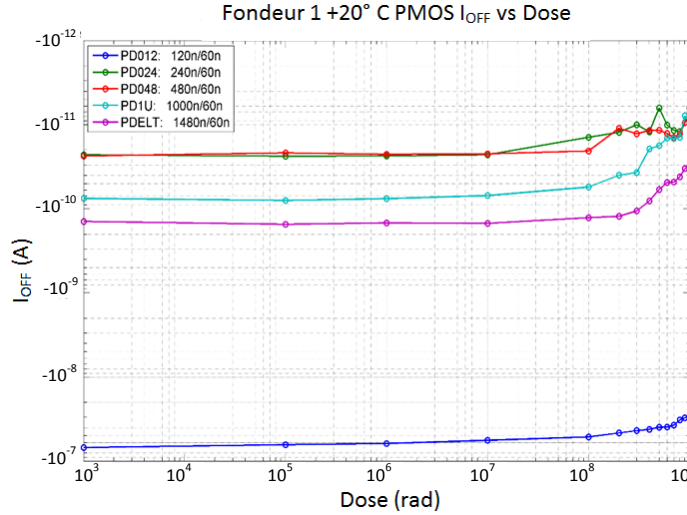


Figure 68: courant de fuite PMOS vs dose ($T = 20^\circ \text{C}$ ambiant)

Le résultat est meilleur pour les transistors PMOS avec une variation très faible des courants de fuite de 100 Mrad à 1 Grad. La variation maximum se traduit par une augmentation d'un facteur 4 comparée aux valeurs initiales. Comme pour les NMOS ce paramètre rend compatible cette technologie à l'environnement radioactif.

IV.5.1.2.2 Paramètres DC PMOS fondeur 1

L'évolution du courant de drain (I_D) du transistor PMOS de petite taille (120/60 nm) en fonction de la dose reçue est représentée ci-dessous (cf. : Figure 69a).

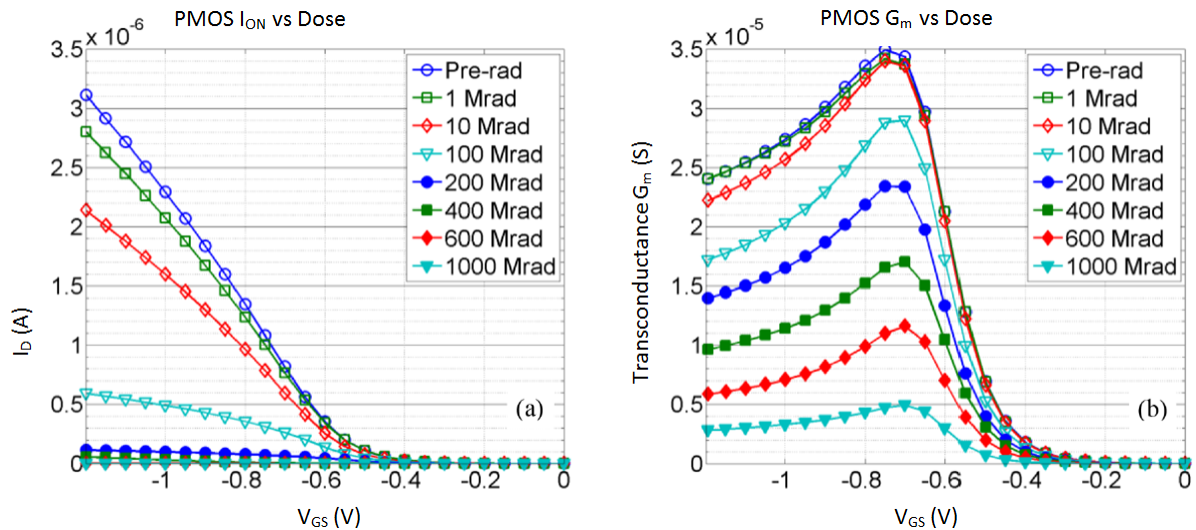


Figure 69: courant de drain PMOS vs dose ($T = 20^\circ \text{C}$ ambiant), (a) I_D vs dose, (b) G_m vs dose

La première constatation à la vue de ces résultats est que le transistor PMOS de petite taille devient complètement OFF à partir de 400 Mrad. La transconductance pour un transistor PMOS de 480/60 nm est illustré ci-dessus (cf. : Figure 69b). La valeur maximum décroît en fonction de la dose mais sans décalage de la tension V_{GS} .

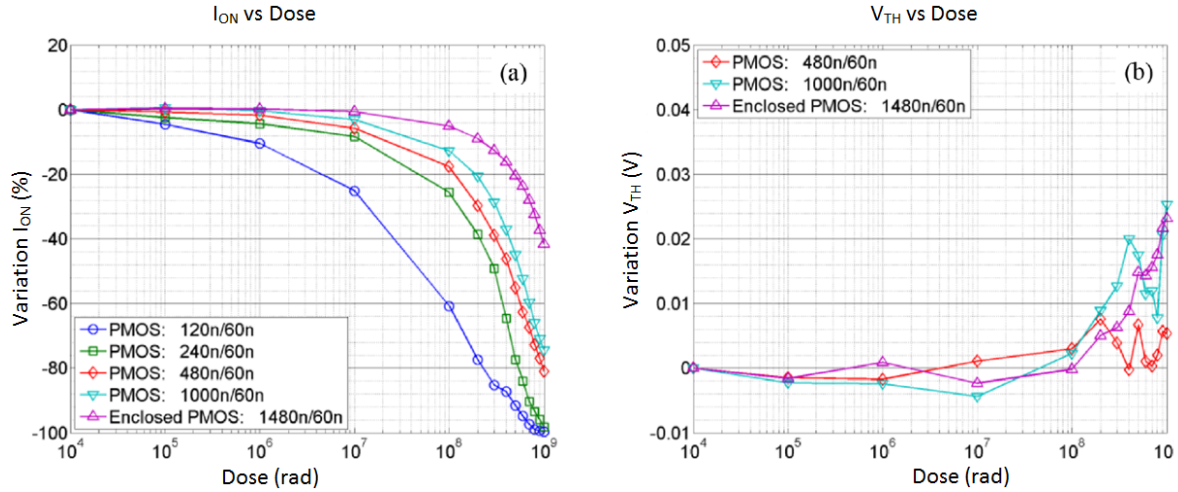


Figure 70: paramètres DC PMOS vs dose (T °C ambient), (a) I_{ON} vs dose, (b) V_{TH} vs dose

Ci-dessus sont représentés les paramètres DC des transistors PMOS (cf. : Figure 70). La dégradation du courant I_{ON} constatée est la conséquence de la variation de la transconductance. Cette dégradation n'est pas directement liée à un décalage de la tension de seuil (cf. : Figure 70b). Les deux plus petits transistors 120 nm/60 nm et 240 nm/60 nm subissent une dégradation de 100 % du courant initial, les taille intermédiaires, 480 nm/60 nm et 1 μ m/ 60 nm, voit leur courant I_{ON} se dégrader de 70 à 80 %.

Les tensions V_{TH} des petits transistors sont impossibles à estimer pour de fortes doses. Les variations maximums calculées représentent un décalage de 25 mV avec une tendance similaire pour l'ensemble des transistors.

IV.5.1.3 Effets de l'annealing sur les transistors NMOS et PMOS

Les courants I_{ON} des transistors NMOS et PMOS sont représentés ci-dessous (cf. Figure 71).

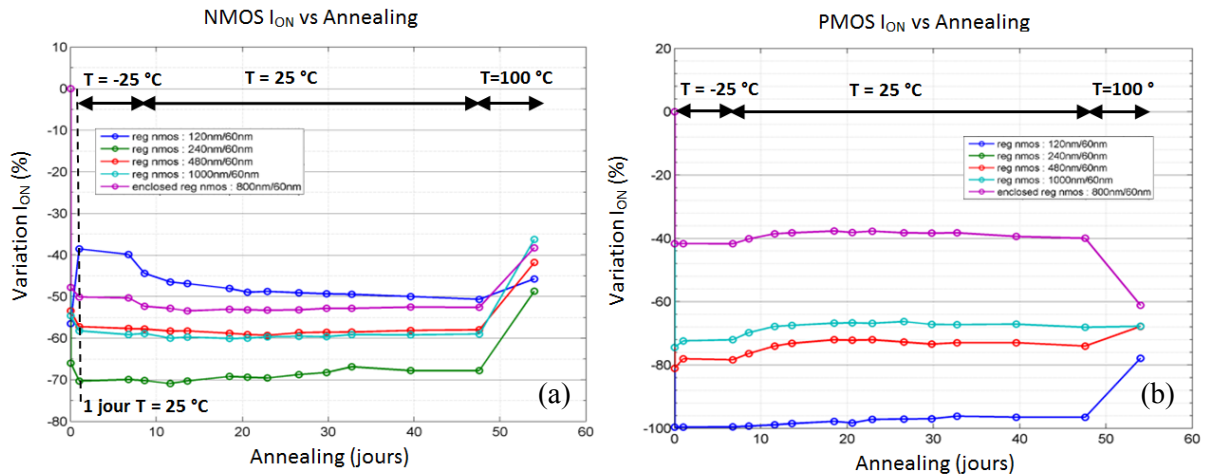


Figure 71: annealing des transistors NMOS et PMOS (irradiation à T °C ambiante, (a) I_{ON} NMOS, (b) I_{ON} PMOS

La période d'anncaling a duré 55 jours et a compris trois périodes à différentes températures (cf. : Chapitre IV.4).

La récupération des transistors NMOS est surtout flagrante durant la période à haute température. La tension de seuil a repris une centaine de millivolts pour le plus petit transistor. Les paramètres DC des transistors PMOS récupèrent lentement à température ambiante. Le courant I_{ON} passe de 100 % à 80 % de dégradation dû à l'amélioration de la valeur de la transconductance passant de 100 % à 40 % de variation. La faible récupération du courant I_{ON} vient aussi du fait que la tension de seuil continue à augmenter durant la phase d'anncaling atteignant une tension de 1 V comparativement à une valeur initiale de 0,45 V. Ce phénomène est illustré ci-dessous (cf. : Figure 72) et montre une dégradation accélérée de la tension V_{TH} durant la phase de récupération à haute température.

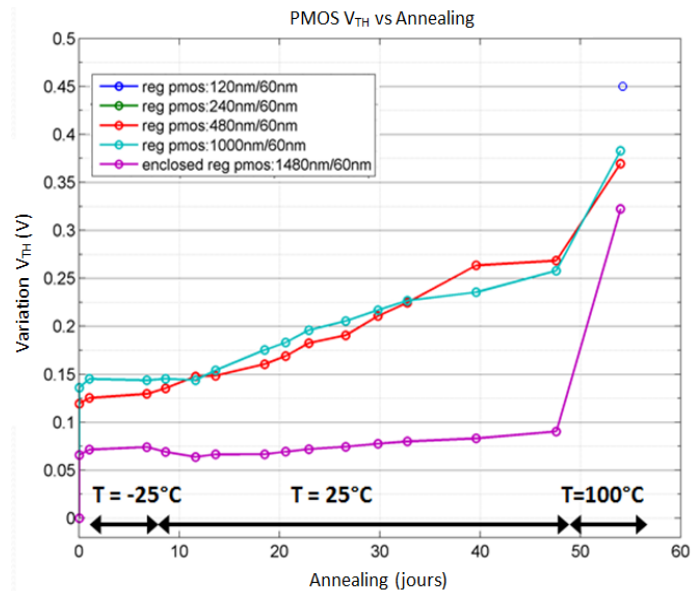


Figure 72: variation des tensions de seuil des transistors PMOS pendant l'anncaling

IV.5.2 Irradiation à basse température

IV.5.2.1 Effets des irradiations

Dans le but de se rapprocher du fonctionnement du détecteur pixels dont la température nominale est située autour de -15°C , des tests en irradiation à basse température ont été réalisés [59]. Cette opération a été doublement motivée par les résultats « non standards » obtenus à température ambiante où les paramètres DC des transistors sont d'une part fortement dégradés, d'autre part continuent à se dégrader pendant la phase de récupération.

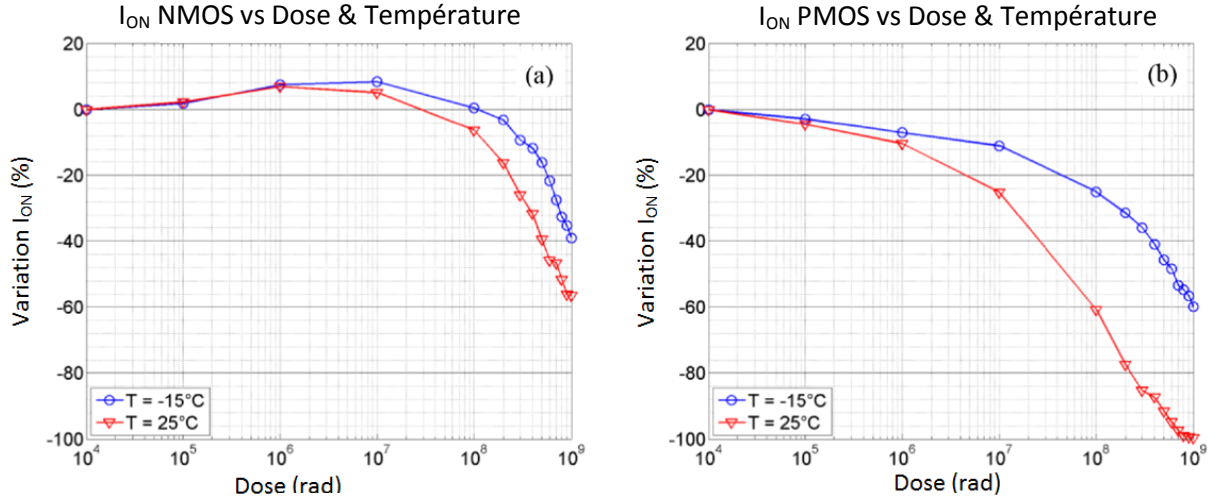


Figure 73: comparaison I_{ON} en température pour $V_{DS} = 1,2$ V,
(a) NMOS 120 nm/60 nm, (b) PMOS 120 nm/60 nm

Ci-dessus est illustré une comparaison en température (+25 °C versus -15 °C) des courant I_{ON} pour un $V_{DS} = 1,2$ V des transistors NMOS et PMOS de petites tailles (120 nm/60 nm) (cf. : Figure 73).

Pour les NMOS, la variation positive du courant, jusqu'à 100 Mrad, est plus prononcée à basse température. Ce courant se dégrade jusqu'à 40 % de sa valeur initiale soit moins qu'à température ambiante où le courant perd 60 % de sa valeur.

Pour les PMOS, la perte totale du courant I_{ON} n'est pas constatée à basse température puisque il se dégrade à hauteur de 60 % par valeur normale. Cela est dû à la dérive plus faible de la transconductance dans ces conditions de tests.

IV.5.2.2 Effets de l'annealing

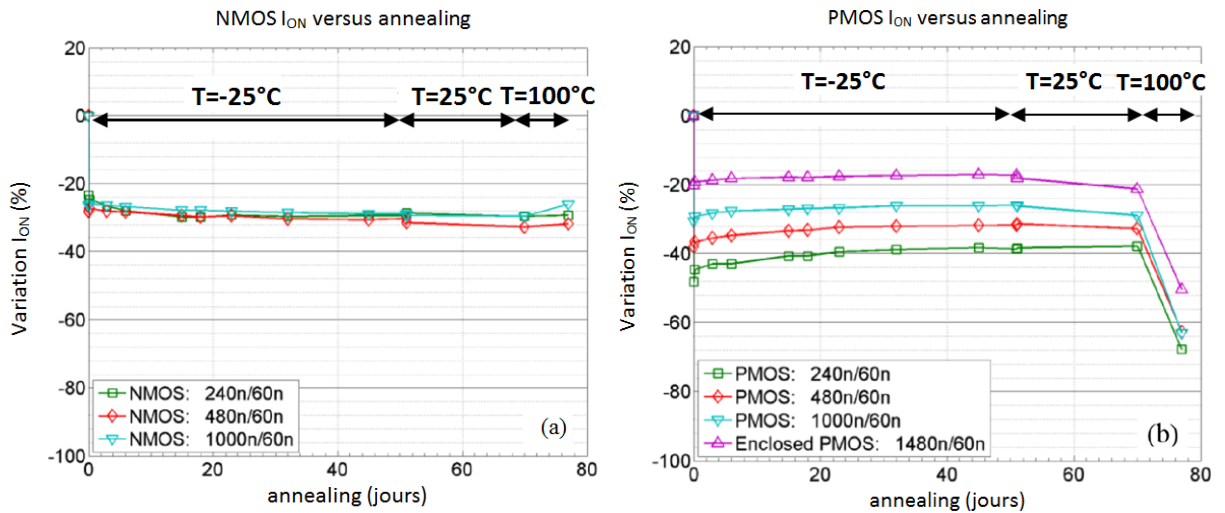


Figure 74: annealing des transistors NMOS et PMOS (irradiation à -15 °C), (a) I_{ON} NMOS, (b) I_{ON} PMOS

Ci-dessus sont représentés les variations des courant I_{ON} des transistors NMOS et PMOS après une période d'irradiation à basse température (cf. : Figure 74).

Pour les NMOS, les paramètres sont pratiquement invariants durant toute la période de récupération. Aucune amélioration n'est vraiment constatée, même pendant la période à haute température.

Pour les PMOS, il est constaté une légère récupération pendant la période à $-15\text{ }^{\circ}\text{C}$, avec une dégradation significative durant la période à $+100\text{ }^{\circ}\text{C}$. Durant cette période la tension de seuil augmente ce qui dégrade la valeur du I_{ON} . Le constat de ce comportement se rapproche des irradiations à température ambiante.

IV.5.3 Comparaison des process

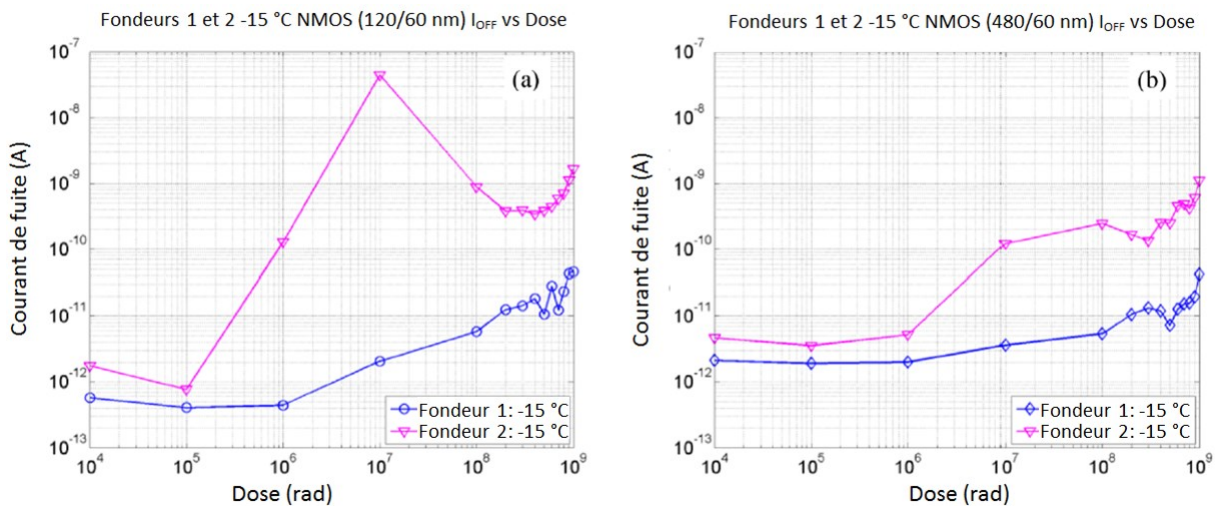


Figure 75: comparaison des courants de fuites fondeurs 1 et 2, (a) NMOS 120 nm/60 nm, (b) NMOS 480 nm/60 nm

Deux composants transistors 65 nm provenant de deux fondeurs différents ont été caractérisés en irradiation. Le système de test est identique dans les deux cas et les puces ont été testées à basse température ($-15\text{ }^{\circ}\text{C}$). Ci-dessus est représenté une comparaison des courants de fuite de deux transistors NMOS, 120 nm/60 nm et 480 nm/60 nm, pour deux process 65 nm différents (cf. : Figure 75).

Les deux composants issus du fondeur 2 ont une valeur de courant de fuite plus importante que les composants provenant du fondeur 1. De plus, la dégradation devient significative particulièrement pour le transistor de petite taille pour lequel il a été observé un facteur 10^4 comparé à sa valeur initiale, atteignant $\sim 50\text{ nA}$ pour 10 Mrad. Les valeurs finales obtenues à 1 Grad montrent un facteur 100 entre les deux process.

Concernant l'évolution des courants I_{ON} (cf. : Figure 76), cette étude comparative montre un comportement différent pour des valeurs de dose entre 1 Mrad et 100 Mrad pour le fondeur 2.

Une variation positive du courant I_{ON} plus importante a été mesurée, preuve que le process de fabrication rend les composants plus sensibles aux charges piégées dans les oxydes.

Cette variation a été constatée également sur les transistors aux dimensions plus grandes mais l'amplitude de ce rebond est moins importante. Ce comportement montre clairement que cet effet est lié au transistor parasite présent au niveau de l'oxyde STI.

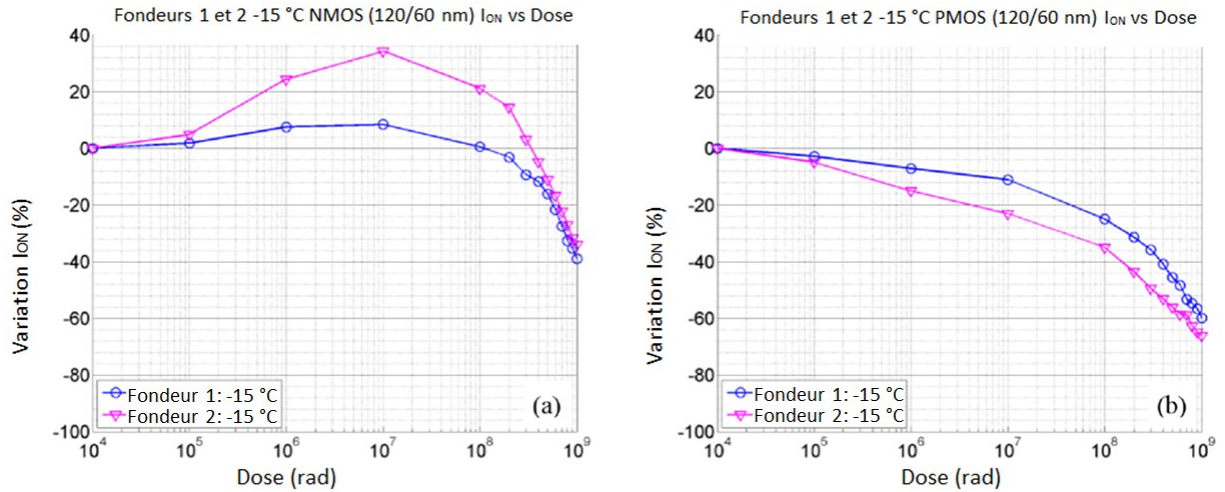


Figure 76: comparaison des courants I_{ON} fondeurs 1 et 2, (a) NMOS 120 nm/60 nm, (b) PMOS 120 nm/60 nm

Pour des niveaux de dose plus élevés, de 100 Mrad à 1 Grad, la dégradation du courant I_{ON} est sensiblement identique, atteignant 40 % pour les NMOS et 60 % pour les PMOS. La dégradation des I_{ON} des PMOS est due principalement, pour les deux process, à la variation des transconductances.

IV.5.4 Effet canal court

L'effet de la géométrie du canal des transistors a été mesuré en irradiation en comparant les effets de dose sur des transistors de types NMOS et PMOS de géométrie différente. Dans ce chapitre, et pour démontrer s'il existe un effet dû au canal court, il est comparé en irradiation une longueur de grille $L=60$ nm avec une longueur de grille deux fois plus grande ($L=120$ nm). Les transistors ont été irradiés avec une source à rayon X jusqu'à une dose totale de 600 Mrad. L'irradiation s'est déroulée à température ambiante, en maintenant les polarisations à 1,2 V.

Les mesures obtenues sont illustrées ci-dessous (cf. : Figure 77 et Figure 78), et montrent la dégradation progressive du courant I_{ON} en fonction de la dose reçue. Une comparaison directe est possible avec la géométrie du transistor.

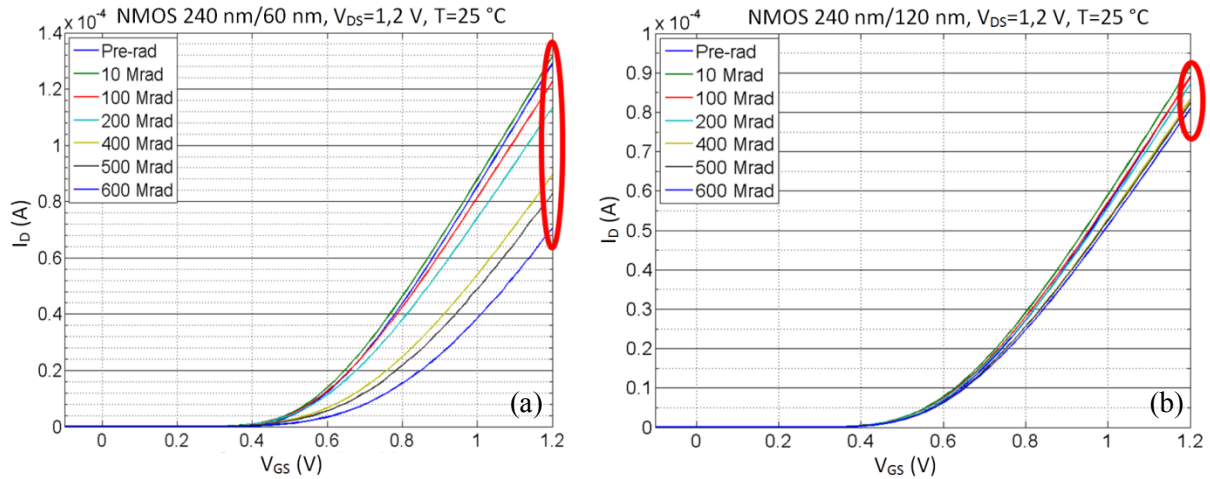


Figure 77: $I_D(V_{GS})$ vs dose, (a) NMOS 240 nm/60 nm, (b) NMOS 240 nm/120 nm

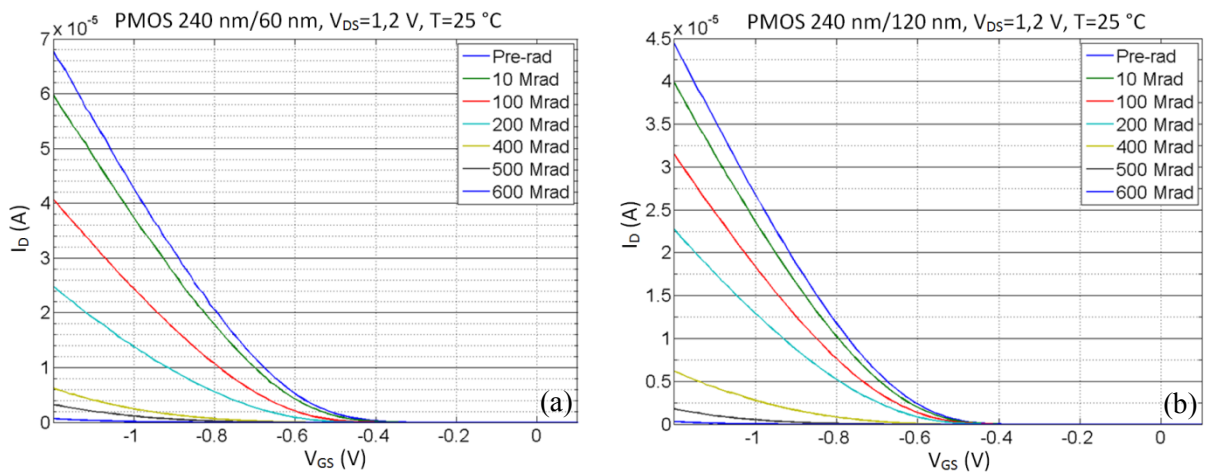


Figure 78: $I_D(V_{GS})$ vs dose, (a) PMOS 240 nm/60 nm, (b) PMOS 240 nm/120 nm

L'effet du canal court est flagrant pour le transistor NMOS où il est observé une nette amélioration des dégradations du courant I_{ON} en augmentant par deux sa longueur de grille.

Pour le transistor de type N dont la longueur de grille est minimale (60 nm), à $V_{GS}=1,2V$, le courant I_{ON} relevé passe de 130 μA à 80 μA pour une dose reçue de 600 Mrad, soit une dégradation de plus de 40 % (cf. : Figure 77a). Comparativement, pour le transistor N dont la longueur de grille est deux fois plus grande (120 nm), le courant I_{ON} varie de 92 μA à 84 μA , soit une fluctuation de l'ordre de 9 % (cf. : Figure 77b).

Pour les transistors de type P, la dégradation du courant I_{ON} est similaire, proche de 100 % à 600 Mrad, quel que soit la longueur du canal (cf. : Figure 78). Au final, sa longueur de grille peut être minimale, par contre il est plus sensible à la valeur que prend la largeur de son canal, comme démontré dans le chapitre précédent relatif aux variations des paramètres DC du transistor PMOS (cf. : Chapitre IV.5.1.2.2).

Ce comportement lié au RISCE est attribué aux interfaces sous la grille des transistors, plus fortement dopés, nécessitant un traitement spécial de fabrication (cf. : Chapitre II.3.1.7.4). Ce traitement, indispensable pour ces longueurs de grille, permet de minimiser l'effet de la modulation du canal pouvant être rédhibitoire pour le fonctionnement du transistor. La présence d'un espaceur (Oxyde) autour du polysilicium constituant la grille, peut être un facteur aggravant car il y a précisément à cet endroit la possibilité de piéger des charges localisées le long du canal de grille.

IV.5.5 Variation I_{DS} en faible inversion

En régime de faible inversion, le courant Drain/Source est un courant de diffusion, sans réelle conduction via un champ électrique directif. Le courant I_{DS} se retrouve fonction d'un diviseur capacitif présent sous la grille et prédominant dans ce régime de fonctionnement (cf. : Figure 79).

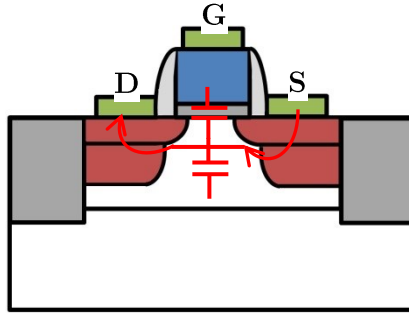


Figure 79: I_{DS} en régime de faible inversion

Le courant de fuite réagit sous forme exponentielle en fonction de la tension appliquée sur la grille. Il peut être approximé avec l'équation suivante :

$$I_{DS} \sim I_{D0} \frac{W}{L} e^{\frac{q \cdot V_{GS}}{nkT}}$$

Une équation plus précise de cette approximation peut s'écrire :

$$I_{DS} = \mu_0 C_d V_d \frac{W}{L} \frac{kT}{q} e^{\left(\frac{qA(V_g - V_T)}{kT}\right)} \quad \text{où } A = \frac{C_{ox}}{C_{ox} + C_d + C_s}$$

La pente obtenue de la courbe $\text{Log}(I_{DS}) = f(V_{GS})$ donne une estimation de la densité des états d'interface, et de la qualité de l'interface Silicium/Oxyde de grille. C'est donc un facteur important du comportement du courant de drain lorsque le transistor est à l'état « OFF » (I_{D0}) avec une tension de grille à 0 V [60]. C'est également une garantie d'un faible courant de fuite. Ce paramètre se verra fortement dégradé sous l'effet des irradiations, c'est aussi ce qui est observé avec les mesures comparant les process (cf. : Chapitre IV.5.3). Ci-dessous sont illustrées les variations du courant I_{DS} dans ce régime de fonctionnement en fonction de la dose reçue (cf. : Figure 80).

Le cas critique observé est pour le MOS de type P (cf. : Figure 80b). Pendant la phase d'irradiation, la quantité de charges positives stockées dans les oxydes augmente. En raison de la direction du champ électrique appliquée sur la grille ($N_{WELL}=1,2$ V et $V_G=0$ V), ces charges auront tendance à se rapprocher du canal. La tension V_{OT} augmente ainsi que la tension de seuil.

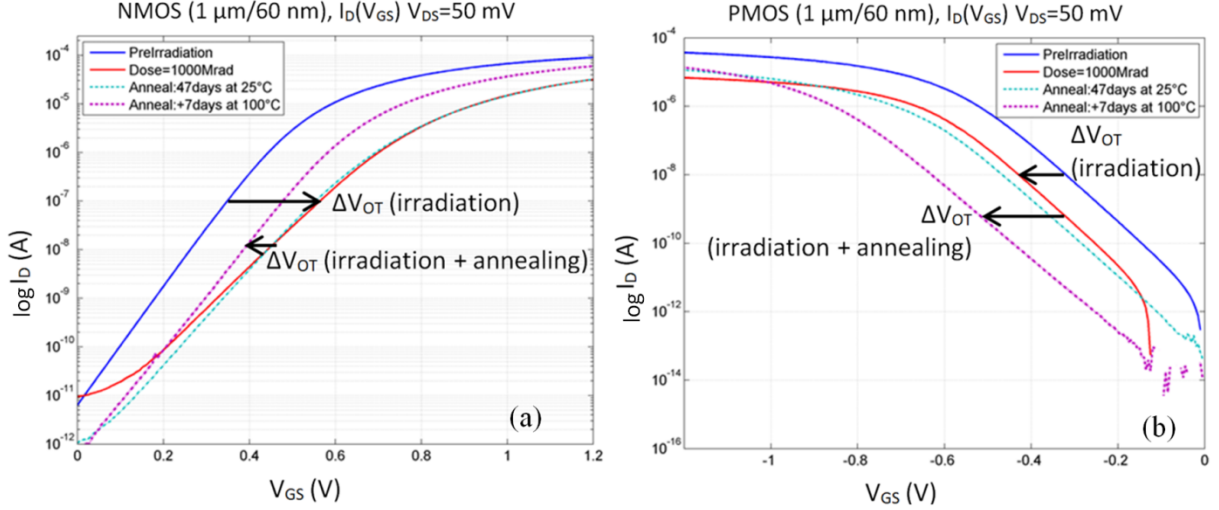


Figure 80: $I_D(V_{GS})$ en faible inversion irradiation + annealing, (a) NMOS (1 $\mu\text{m}/60$ nm), (b) PMOS (1 $\mu\text{m}/60$ nm)

Pour le transistor de type P, les charges positives cumulées durant l'irradiation ne s'extraient pas et restent stockées dans les oxydes pendant la phase d'annealing. Il est observé durant cette période une dégradation des paramètres DC pour ce type de transistor, liées à la présence de ces charges.

Pour le transistor MOS de canal N, un phénomène différent est observé. Les charges positives dans l'oxyde sont présentes durant l'irradiation ce qui modifie la pente de la courbe $\text{Log}(I_{DS})=f(V_{GS})$. Ce comportement montre que la dégradation est localisée aussi bien au niveau de l'oxyde qu'au niveau de l'interface. L'annealing permet une amélioration par l'extraction des charges positives au niveau de l'interface Si/SiO₂. La pente de la courbe $\text{Log}(I_D)=V_{GS}$ est en décalage par rapport à la caractéristique pré-irradiation. Le décalage de la tension de seuil obtenu durant la phase d'irradiation diminue pendant la phase de récupération particulièrement à haute température (+100 °C). Il reste cependant des charges qui semblent définitivement piégées dans l'oxyde.

IV.5.6 Annealing longue durée

Il a été testé en irradiation deux puces issues du même fondeur avec la source protons 24 GeV du CERN. La dose atteinte pendant cette phase d'irradiation a été de l'ordre de 300 Mrad. Les résultats décrits dans ce chapitre font suite à une phase de récupération de longue durée couvrant une période d'une quinzaine de mois à température ambiante. Durant tout ce temps, les puces sont restées polarisées à $|V_{GS}|=|V_{DS}|=1,2$ V, comme stipulé dans le chapitre dédié aux méthodes de tests utilisées (cf. : Chapitre IV.4).

Cette polarisation ainsi fixée représente tout de même un pire cas qui va tendre à piéger les charges durablement sous l'effet du champ électrique appliqué.

Ce phénomène n'est pas tout à fait réaliste puisque dans un circuit numérique où la logique est complémentaire (CMOS), les polarisations sont majoritairement inversées : $|V_{GS}|=1,2$ V et $|V_{DS}|=0$ V par exemple. Les polarisations de type $|V_{GS}|=|V_{DS}|=1,2$ V sont en rapport avec les composants numériques incluant des interrupteurs ou des multiplexeurs. Ce point a été étudié par une équipe de la collaboration, qui a irradié un ASIC dédié afin de quantifier l'impact du rayonnement ionisant sur des cellules digitales fournies par le fondeur [61].

Le sujet central de ce chapitre concerne la possibilité d'effectuer une comparaison de résultats d'irradiation avec ce qui a été préalablement fait auprès d'une source à rayon X 10 keV, et dont les résultats ont été décrits précédemment (cf. : Chapitre IV.5.1.2.2).

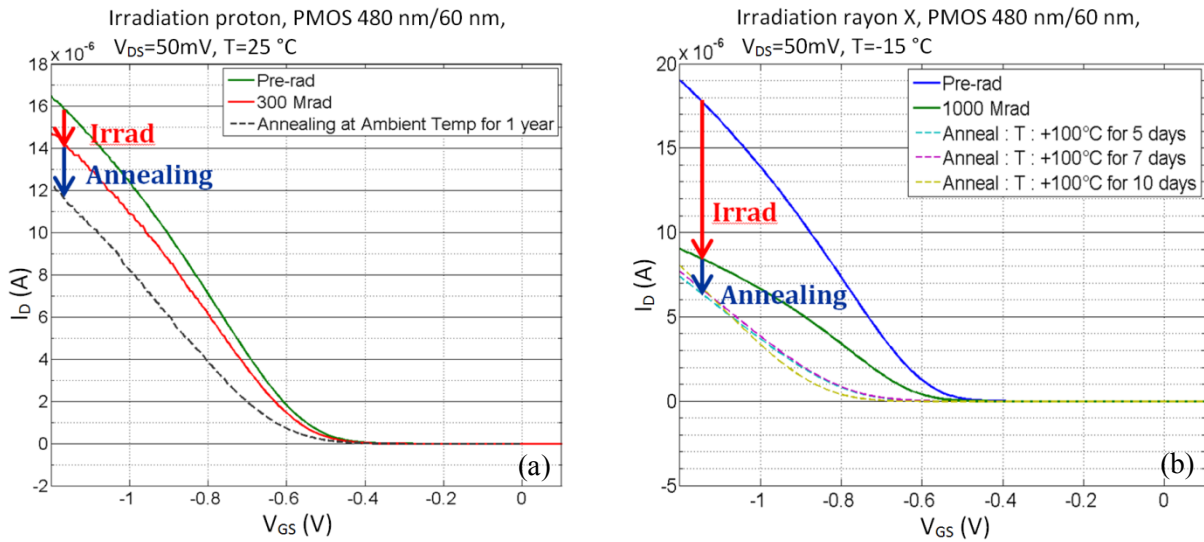


Figure 81: comparaison $I_D(V_{GS})$, (a) PMOS (480 nm/60 nm) source protons@300 Mrad, (b) PMOS (480 nm/60 nm) source X 10 keV@1 Grad

L'illustration ci-dessus (cf. : Figure 81) représente la variation des courbes $I_D(V_{GS})$ d'un transistor PMOS (480 nm/60 nm) lors des phases d'irradiation et de récupération. Ces figures montrent deux scénarios d'irradiations différents dont les méthodes sont les suivantes :

- ✓ Méthode 1 : L'irradiation a été réalisée à l'aide d'un faisceau de protons 24 GeV dont le débit de dose est inférieure à 1 Mrad/heure. Le faisceau est impulsionnel avec des phases d'arrêt, ce qui ajoute pendant la phase d'irradiation de l'annealing. La phase de récupération a duré un an à température ambiante avec la présence des polarisations sur le transistor (cf. : Figure 81a)

- ✓ Méthode 2 : L'irradiation en rayon X 10 keV avec un débit de dose continu de 9 Mrad/heure. La phase de récupération la plus significative est la période à haute température à 100°C pendant une quinzaine de jours environ (cf. : Figure 81b).

Mêmes si les conditions d'irradiation sont drastiquement différentes, les effets observés ont la même tendance. Le facteur 10 de différence sur le débit de dose n'a pas une grande influence sur la dégradation du I_{ON} du transistor. Ensuite deux paramètres sont à prendre en compte durant la récupération. D'une part le temps durant lequel l'échantillon est polarisé, d'autre part, la valeur de la température qui, si elle augmente, accélère le vieillissement du dispositif [62]. Il est donc possible de recouper les deux figures (cf. : Figure 81a&b) où l'année durant laquelle l'annealing s'est déroulée à température ambiante peut être équivalente à la quinzaine de jours à haute température.

Une équipe du CERN a également démontré ce comportement et obtenu des résultats aux tendances identiques.

D'une part leurs résultats montrent que les dégradations lors de la phase d'irradiation sont similaires pour des débits de dose allant de 1 à 10 Mrad/heure (cf. : Figure 82a), d'autre part la récupération est bien liée à un phénomène thermique en fonction du temps. Le réseau de courbes illustré ci-dessous montre que la dégradation du I_{ON} des dispositifs PMOS est un processus qui s'active thermiquement (cf. : Figure 82b). Une extrapolation de cette dégradation est extraite sur plusieurs années notamment pour des valeurs basses de la température (-20°C). L'hypothèse émise de ce comportement est liée à une accumulation des charges dans les oxydes proche du canal de la grille (espaceurs) venant dégrader la tension de seuil particulièrement pour les géométries des transistors PMOS à canal court (cf. : Chapitre II.3.1.7.4).

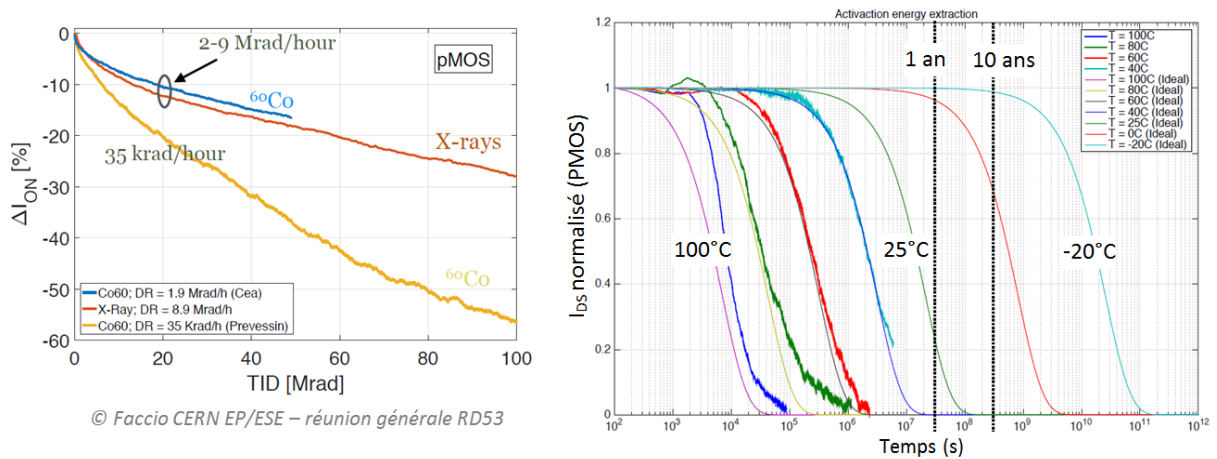


Figure 82: conditions d'irradiation, (a) effet du débit de dose, (b) dégradation du I_{ON} PMOS versus température et temps de récupération

IV.6 Résultats de test des résistances

Six types de résistances sont disponibles dans la librairie du fondeur 1 et sont listées ci-dessous (cf. : Tableau 18).

Nom	Matériau	Type de caisson
RNOD	Oxyde	N
RNODWO	Oxyde sans siliciure	N
RNPOLY	Polysilicium	N
RNPOLYWO	Polysilicium sans siliciure	N
RPPOLY	Polysilicium	P
RPPOLYWO	Polysilicium sans siliciure	P

Tableau 18: Liste des résistances disponibles (fondeur 1)

Ces résistances évoquées précédemment (cf. : Chapitre III.2.1), ont une importance capitale dans les architectures analogiques où elles sont présentes pour générer des points de polarisation précis.

La campagne d'irradiation a été réalisée auprès de la source à rayon X de l'IM2NP après la phase de calibration (cf. : Chapitre IV.2.2) avec un débit de dose de ~ 1 Mrad/heure. Une dose totale de 700 Mrad a été atteinte lors de ces tests.

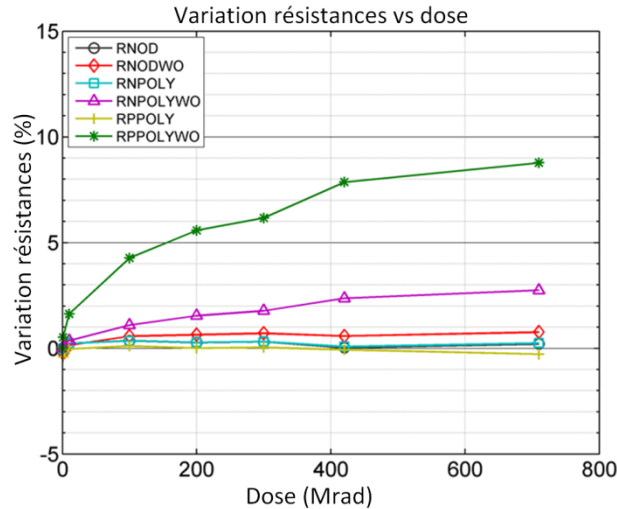


Figure 83: variation des résistances en fonction de la dose

Les résultats montrent une nette dégradation pour les résistances dépourvues de siliciure. Celles-ci sont usuellement utilisées pour leur facilité d'intégration du fait d'une résistivité plus élevée. La dégradation mesurée de la résistance 'RPPOLYWO' est de l'ordre de 8 % à la dose totale (cf. : Figure 83).

La résistance 'RNPOLYWO' est couramment utilisée dans les conceptions car elle présente une faible variation à la température. Malgré ce paramètre intéressant, sa valeur initiale se dégrade de 3 % en irradiation à 500 Mrad. Une étude, au sein de la collaboration RD53, est en cours de finalisation pour minimiser l'impact de ces dégradations sur les cellules pourvues de ce type de résistances.

IV.7 Banc de test SEU

Pour tester les mémoires préalablement décrites, une carte d'acquisition a été développée pour caractériser l'ensemble de nos développements 65 nm (cf. : Figure 84).

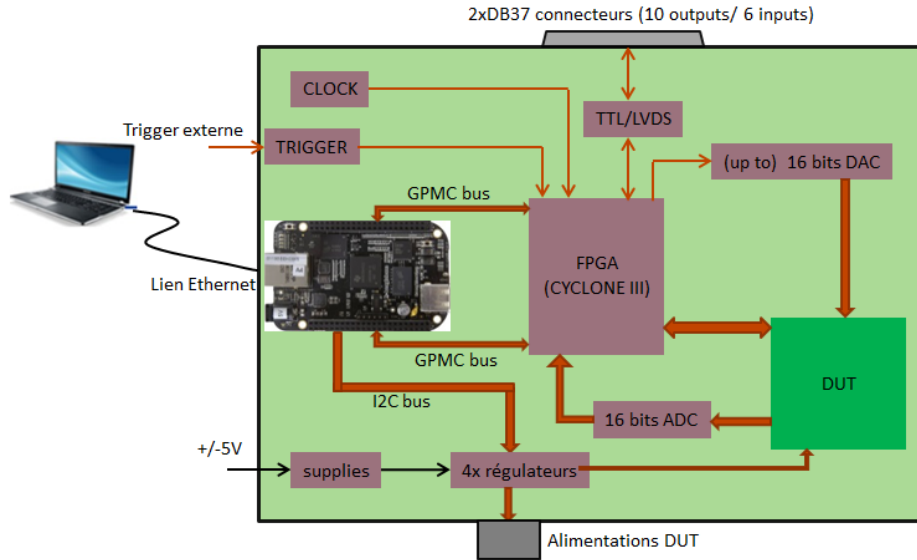


Figure 84: synoptique carte mère 65 nm

Cette carte (« Carte Mère 65 nm ») est basée sur la communication entre un FPGA (Altera Cyclone III), à l'intérieur duquel toutes les séquences de communication avec le DUT sont programmées, et une carte de type « nanoPC BeagleBone ».

Cette carte permet de lancer les séquences du FPGA et gère également le « slow control », comme la surveillance des courants d'alimentation, la température et autres paramètres indispensables au fonctionnement du DUT. Ce système a été voulu à faible coût avec un haut degré de flexibilité. Il permet de tester une multitude de prototypes d'ASIC dans la limite des signaux logiques disponibles. Les spécifications sont résumées dans le tableau suivant (cf. : Tableau 19) :

Spécification	Référence et commentaire
40 signaux TLL + 30 LVDS	Niveau TTL programmable
4 DAC 16 bits	DAC8830
1 ADC 16 bits	ADS8568
4 régulateurs programmables	LT 3021+LT 3026 (jusqu'à 1,5 A)
1 convertisseur RTD	MAX31865

Tableau 19: spécifications carte mère 65 nm

Comme pour les puces transistors, le DUT est implanté sur une carte fille et se connecte à la carte mère. Il est possible dans cette configuration de faire les tests localement où de déporter le DUT sur une distance compatible avec une installation dédiée aux tests en irradiation.

IV.8 Méthode de test SEU

Comme dit précédemment, le DUT peut être déporté d'une certaine distance de façon à le caractériser durant une période d'irradiation en toute sécurité. Cela est possible avec ce système puisqu'il dispose d'une liaison amplifiée de type LVDS (« Low Voltage Differential Signal ») pour les signaux logiques, et le système d'alimentation est muni d'une régulation prenant en compte les longueurs de câble.

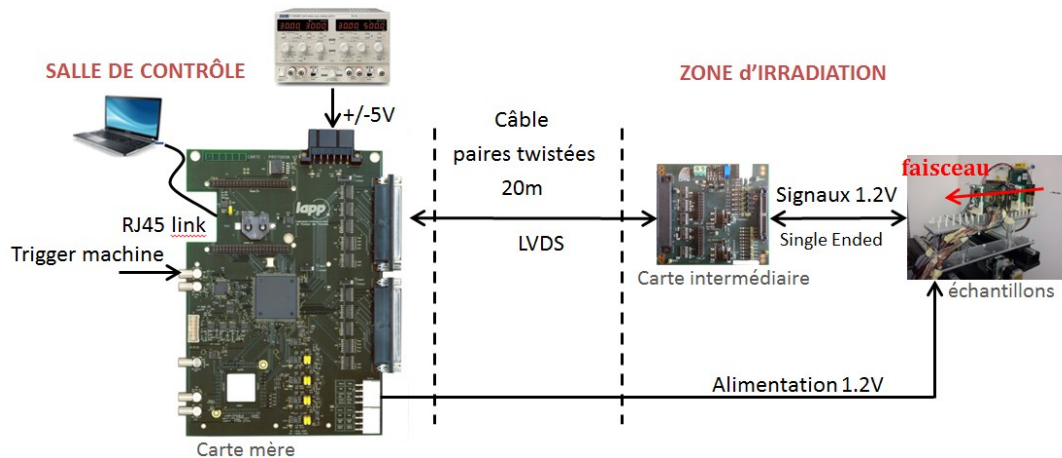


Figure 85: Acquisition SEU en irradiation

Ci-dessus (cf. : Figure 85) est illustré la configuration du banc d'acquisition pour caractériser une puce SEU en irradiation.

La carte mère est couplée à une carte répéteur de façon à transmettre sur plusieurs dizaines de mètres les signaux (cf. Tableau 13) en préservant leur intégrité. Deux méthodes sont adaptées pour atteindre le flux requis et extraire les paramètres avec une bonne précision :

1 : « mode pulsé » (cf. : Figure 86a) : un signal machine est fourni, à chaque impulsion faisceau. Cette impulsion génère un signal déclencheur (« trigger ») qui lance une séquence de lecture des mémoires puis une écriture avant d'attendre le prochain signal de déclenchement. Ces trames sont comparées à chaque impulsion du faisceau.

2 : « mode continu » (cf. : Figure 86b) : il n'y a pas de signal trigger dans ce cas. La première étape est une écriture dans les mémoires. Ensuite la puce est exposée pour atteindre la fluence requise pour terminer par une phase de lecture et de comparaison des trames hors faisceau afin d'extraire le taux d'erreur.

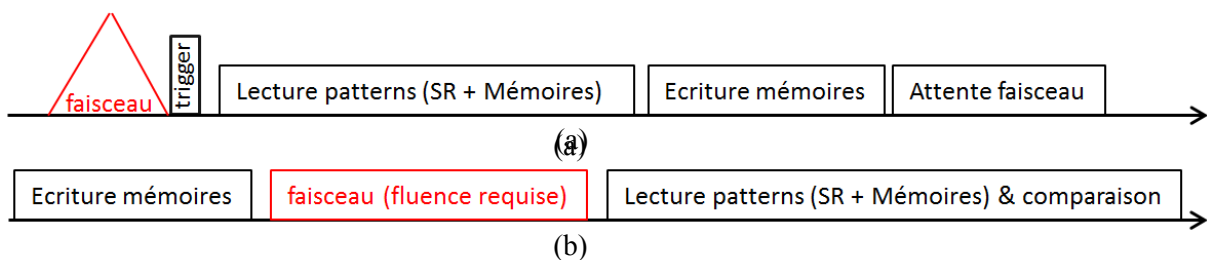


Figure 86: séquence de test SEU, (a) mode pulsé, (b) mode continu

IV.9 Résultats de tests SEU-SET

IV.9.1 Résultats SEU

Deux puces ont été irradiées auprès des installations dédiées du CERN utilisant un faisceau de proton 24 GeV (cf. : Chapitre IV.2.3). Une dose de 500 Mrad a été atteinte afin de reproduire les conditions de l'environnement du futur détecteur pixels.

Le banc de test déployé (cf. : Chapitre IV.7) est en mode pulsé, où pour chaque impulsion du faisceau sont lancées les opérations d'écriture, de lecture et de comparaison des trames injectées dans les mémoires que l'on veut étudier. En maîtrisant ces séquences en temps, il est exclu d'écrire ou lire dans les mémoires en présence du faisceau.

Pour chaque mémoire (cf. : Chapitre III.3.3), il sera noté :

- la surface de la cellule,
- le taux d'occupation dans un pixel de $50 \times 50 \mu\text{m}^2$ pour 8 bits de configuration,
- le taux d'erreur,
- le gain d'amélioration par rapport à une mémoire standard implanté dans une bascule D.

Ce dernier point revient à comparer les erreurs contenues dans le registre à décalage utilisé lors des opérations d'écriture et de lecture. Les résultats de la première puce figurent dans le tableau suivant (cf. : Tableau 20):

Cellule	Surface	Occupation (8 bits)/2500 μm^2	Taux d'erreur			Gain
			$0 \rightarrow 1$	$1 \rightarrow 0$	Moy.	
Mémoire DFF	14 μm^2	4.5 %	5,6	2,9	3,7	-
TRL	40 μm^2	12.8 %	0,082	0,04	0,05	x 70
configuration						
TRL + délai	54 μm^2	17.2 %	0,064	0,015	0,04	x 105
Hamming code	50 μm^2	16 %	0,467	0,185	0,226	x 13
8d+4c						

Tableau 20: résultats SEU puce n°1

Avec ce prototype, il est possible de comparer deux types d'architectures :

- 1 : les cellules « TRL »
- 2 : le Hamming Code

Deux points sont à remarquer à la vue de ces premiers résultats :

- 1 : Les cellules « TRL » apportent un gain non négligeable comparées aux mémoires standards. Une cellule « TRL » comporte des délais sur le nœud global permettant le chargement des données dans les mémoires.

Cette option apporte un gain de 100 comparé à une cellule standard, ce qui implique aussi que le taux de SEU mesuré pour les TRL standards inclut des SET venant perturber fortement le contenu des mémoires.

2 : La cellule Hamming code n'apporte pas une grande amélioration (gain 13). Il est possible d'améliorer celle-ci en y ajoutant des structures redondantes et en apportant un soin particulier au niveau du dessin des masques.

Les résultats de la deuxième puce figurent dans le tableau suivant (cf. : Tableau 21) :

Cellule	Surface	Occupation (8 bits)/2500 μm^2	Taux d'erreur			Gain
			$0 \rightarrow 1$	$1 \rightarrow 0$	Moy.	
Mémoire DFF	$3 \times 2 \mu\text{m}^2$	3 %	2,58	2,29	2,43	-
Wpmin = 300 nm	+ buffer					
TRL configuration	$14 \times 4 \mu\text{m}^2$	18 %	$20 \cdot 10^{-3}$	$1,8 \cdot 10^{-3}$	$11 \cdot 10^{-3}$	x 220
TRL + LOAD tripliqué	$19 \times 4 \mu\text{m}^2$	24 %	$4 \cdot 10^{-3}$	$1,9 \cdot 10^{-4}$	$2,1 \cdot 10^{-3}$	x 1160
TRL + LOAD tripliqué « interdigité »	$19 \times 4 \mu\text{m}^2$	24 %	$1,2 \cdot 10^{-3}$	$4,6 \cdot 10^{-5}$	$6,2 \cdot 10^{-4}$	x 3920
DICE	$3,5 \times 2 \mu\text{m}^2$	2,3 %	0,46	0,63	0,54	x 4,5
DICE + anneaux de garde	$6 \times 2 \mu\text{m}^2$	4 %	0,36	0,51	0,43	x 5,6
DICE « interdigité »	$3,5 \times 2 \mu\text{m}^2$	2 %	0,26	0,29	0,27	x 9
DICE (Lmin=400 nm)	$5,6 \times 2 \mu\text{m}^2$	2,6 %	0,12	0,18	0,15	x 16
DICE (Lmin=400 nm) « interdigité »	$5,6 \times 2 \mu\text{m}^2$	2,6 %	0,07	0,12	0,095	x 26

Tableau 21: résultats SEU puce n°2

Les résultats montrent une amélioration croissante du gain en fonction du type de cellule.

1 : mémoire TRL : la mémoire TRL+LOAD tripliqué « interdigitée » donne un gain ~4000 fois meilleur qu'une cellule standard. Ce résultat est très bon et montre qu'il est absolument nécessaire de se prémunir contre les effets transitoires venant fortement perturber l'état de la mémoire. L'inconvénient majeur de cette cellule est sa surface dédiée, 24 %, dans un pixel, il n'est pas possible de l'utiliser à ce niveau de la puce RD53. Cette architecture est implantée en périphérie pour la mémoire globale de l'ASIC.

2 : mémoire DICE : Le meilleur résultat obtenu concerne la cellule « interdigitée » avec une largeur de canal, $L=400$ nm. La sensibilité liée au partage de charges a été prise en compte, de plus chaque nœud voit une capacité équivalente plus grande ce qui la rend moins sensible aux SEU. Sa surface relativement réduite rend possible son intégration dans un pixel de $50 \times 50 \mu\text{m}^2$.

Les cross-sections calculées pour la mémoire standard et les deux meilleures cellules sont les suivantes (cf. : Tableau 22) :

Type	cross-section (cm ² /bit)
Mémoire standard	2,8.10 ⁻¹⁴
TRL	6,8.10 ⁻¹⁸
DICE	1.10 ⁻¹⁵

Tableau 22: cross-section saturée mémoires SEU

Ces résultats peuvent être transposés dans l'environnement du détecteur pixel avec les paramètres listés précédemment (cf. : Tableau 12). Il est possible ainsi d'estimer le temps moyen entre deux erreurs en fonction de la cellule utilisée (cf. : Tableau 23).

	Temps moyen entre deux erreurs	
	Configuration pixel	Mémoire globale
Taille de la mémoire	1,28 Mbits/puce	1 kbits/puce
Mémoire standard	55 ms	71 s
TRL (LOAD Triple)	209 s	74 heures
DICE (L=400nm)	1,5 s	2500 s

Tableau 23: estimation du temps moyen entre deux erreurs

IV.9.2 Résultat SET

La cellule SET vue précédemment (cf. : Chapitre III.3.4.2) a été testée auprès des installations de Louvain-la-Neuve sur le site du cyclotron mis à disposition aux utilisateurs voulant faire de la caractérisation SEU/SET [63].

Comme vu dans la description des sources utilisées (cf. : Chapitre IV.2.3), les irradiations en ions lourds se font en mode continu. Dans cette condition, le temps d'exposition est calculé pour atteindre le flux désiré. Cette installation propose un cocktail d'ions lourds à différentes énergies (cf. : Tableau 17), ce qui permet d'extraire de l'échantillon sa cross-section saturée et son seuil de sensibilité. Le système de tests mis en place (cf. : Chapitre IV.7) scrute l'état du trigger provenant du bloc SET signifiant la présence d'un évènement présent dans le registre à décalage connecté à l'acquisition. Un exemple de données transmises par l'ASIC de test est illustré ci-dessous (cf. : Figure 87).

[illegible]

Figure 87: exemple de données brutes, 'NR2D0', ions 84Kr25, LET=32,4 MeV.cm²/mg, flux=5.10⁶ p/cm²

Chaque niveau ‘1’ enregistré par le système d’acquisition correspond à un bit de la chaîne de détection comportant 51 cellules. Pour rappel la résolution de la détection est de l’ordre de 25 ps (cf. : Chapitre III.3.4.2).

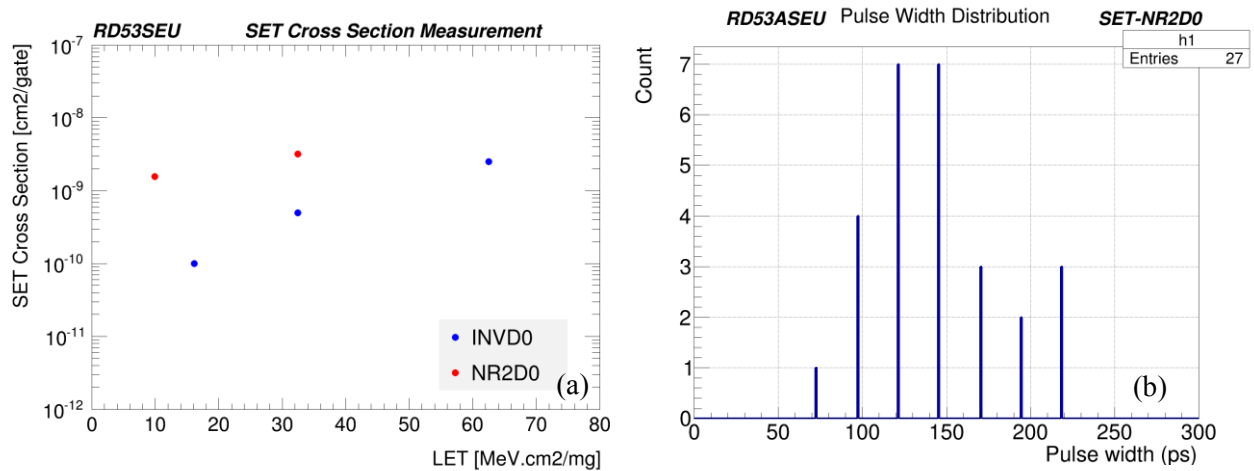


Figure 88: résultats du bloc SET, (a) cross-section-saturée des cellules ‘INVD0’ et ‘NRD2D0’, (b) largeur d’un SET dans la cellule ‘NRD2D0’

Dans l’environnement décrit ici, la cross-section saturée des portes ‘INVD0’ et ‘NRD2D0’ a été extraite. Il est illustré aussi, ci-dessous, la largeur moyenne des impulsions transitoires se propageant dans la cellule ‘INVD0’ (cf. : Figure 88):

La cross-section saturée pour les deux cellules se situe autour de $3\text{--}4 \cdot 10^{-9} \text{ cm}^2/\text{bit}$ avec une sensibilité plus élevée pour la porte ‘NRD2D0’.

La largeur du transitoire se propageant dans la cellule cible constituée d’inverseurs ‘INVD0’ est évaluée entre 70 ps et 220 ps avec un comptage maximal à ~ 140 ps. Cette information est importante pour dimensionner les cellules délai qui sont insérées sur les chemins des nœuds globaux comme par exemple les distributions d’horloge.

IV.10 Conclusion

Il a été vu un ensemble de résultats dans ce chapitre comportant deux effets du rayonnement ionisant.

Les effets de dose ont été étudiés sur deux technologies et pour des températures de fonctionnement différentes. Le comportement du process 65 nm amène à prendre des précautions quant à son utilisation dans cet environnement aussi contraignant. Les petites dimensions des transistors associées aux isolations d’oxyde donnent ici des résultats très mitigés [64]. Les effets sont connus et passés en revue dans ce mémoire. Force est de constater que le comportement relevé ici n’est pas un comportement classique comme cela a été vérifié avec des technologies moins avancées.

Les SEE (SEU+SET) ont été également testés sur différentes architectures. Ce point donne de bons résultats notamment pour les structures TRL. Une attention particulière doit cependant être apportée aux phénomènes transitoires ayant tendance à dégrader significativement les résultats finaux.

Conclusion

Ce mémoire de thèse contribue à la caractérisation d'une technologie 65 nm à de forts niveaux de dose ionisante dans le cadre d'une expérience de physique des particules. Ces taux de radiation n'ont jusqu'alors jamais été atteints dans les expériences précédentes. Cette demande s'accompagne par le choix d'une technologie submicronique offrant des propriétés d'intégration très intéressantes. Cette caractéristique permet d'inclure toutes les fonctionnalités que demande une chaîne de lecture électronique d'un détecteur de particules de cette génération.

Dans ce contexte, une interrogation s'adresse à la communauté des concepteurs d'ASIC dans ce domaine de recherche : Peut-on pérenniser dans le temps le fonctionnement d'une électronique « Front-End » dans un tel environnement avec une technologie aussi avancée ?

L'étude, que j'ai décrite ici, a démarré il y a quelques années par des tests sur des transistors uniques, aux dimensions multiples, afin de répondre rapidement à cette communauté si l'utilisation de cette technologie comporte des contraintes particulières liées à un environnement fortement radioactif.

Au regard de ce qui est déjà conclu dans ce mémoire, la réponse à cette question est oui. La principale limitation d'une technologie comme la 65 nm vient des étapes de fabrication nécessaires à la gravure du transistor intrinsèque aux dimensions très petites. Pour assumer une telle géométrie, les fondeurs ajoutent des isolants en oxyde épais afin de se prémunir contre les phénomènes de latchup et réduire les courants de fuite des transistors. Des espaceurs sont aussi implantés pour assurer une gravure optimale le long du canal de la grille. Toutes ces régions isolantes sont les endroits où les charges viennent s'accumuler sous l'effet du champ électrique présent aux interfaces Si/SiO₂. Ces charges restent piégées dans l'oxyde, et dégradent par la même occasion les paramètres DC des transistors. Le transistor PMOS est le composant le plus sensible à ce phénomène, puisqu'il a été observé une perte totale de son courant I_{ON} pendant la campagne de test à température ambiante. Sa phase de récupération montre un comportement non standard puisque les dérives de ses paramètres continuent de s'aggraver durant la période post-irradiation (cf. : Chapitre IV.5.1.3).

De plus, toutes les campagnes d'irradiation menées jusqu'ici montrent qu'il existe un lien entre le débit de dose, la température et la durée de récupération (cf. : Chapitre IV.5.6). Suite à ces résultats la collaboration RD53 a décidé d'imposer une gestion stricte des alimentations lors des phases d'arrêt du détecteur. Celui-ci ne sera pas alimenté pendant ces périodes, de façon à éviter de fortes dégradations de l'électronique « Front-End » du détecteur pixels.

Le point positif noté durant ces campagnes de test est le comportement à basse température où les variations sont beaucoup moins franches et laissent présager un fonctionnement plus compatible avec les exigences du HL-LHC.

Enfin, le choix du fondeur s'avère être bon si on s'attarde aux performances liées à l'évolution du courant de fuite. La variation de ce paramètre est à peine négligeable pour le transistor PMOS (cf. : Chapitre IV.5.1.2.1).

Ces constats, présentés et établis aussi par d'autres membres de la collaboration, ont obligé la collaboration à être moins ambitieux vis-à-vis de la contrainte de départ qui était de qualifier la technologie à 1 Grad correspondant à dix ans de fonctionnement. Ce chiffre a été ramené à 500 Mrad après les alertes lancées par les membres du groupe « radiation tolerance » dont je fais partie.

Ce bilan est certes pessimiste mais les solutions existent pour se prémunir contre les effets de dose.

D'abord, les dysfonctionnements constatés ici ne concernent pas les conceptions analogiques. Celles-ci utilisent principalement des dimensions de transistors élevées, donc cette partie de l'ASIC est peu impactée par ce phénomène. Le point critique est bel et bien le numérique où les performances passent par une forte densité d'intégration et permet une fréquence rapide d'utilisation (1,28 Gbits/s en sortie du « Front-End »). Le choix des dimensions des transistors est primordial et devra demander des compromis pour éviter des aléas de fonctionnement prédis par cette étude (cf. : Chapitre IV.5.4).

Cependant, comme dit dans le chapitre IV.5.6, les tests ont tous été effectués dans un pire cas, avec des valeurs de polarisation ne reflétant pas tout à fait la réalité. Il est possible d'imaginer une dégradation moins importante dans le temps, avec le choix de portes logiques plus tolérantes implantées dans les composants numériques qui peuvent être critiques au fonctionnement global du « Front-End » RD53B.

Pour les effets liés aux événements singuliers, la technologie est naturellement tolérante à ces événements. Du fait de ses dimensions, les zones actives des transistors sont très faibles mais cette tolérance est limitée par la forte capacité d'intégration que permet la technologie 65 nm. Cette étude montre des résultats très intéressants en termes de tolérance au SEU. Les gains d'amélioration sont significatifs et les architectures redondantes telles que les TRL offrent de bonnes performances. Celles-ci sont candidates pour être implantées dans la mémoire globale située dans la périphérie de l'ASIC final. Cette étude montre aussi que des technologies aussi fines sont très sensibles au SET. Une structure redondante à elle seule ne suffit pas. Elle doit comporter un ou des masquages sur les nœuds de commande globaux. Sans ces masquages, il existe un risque non négligeable de perturber l'ensemble des points mémoire contenus dans un bloc et donc de risquer un comportement rédhibitoire pour le fonctionnement de l'ASIC.

Perspectives

L'ensemble des résultats décrit dans ce mémoire représente cinq années d'études qui ne sont pas achevées aujourd'hui. Ces résultats donnent les orientations des études actuellement mises en place pour comprendre, avec une échéance compatible au planning établi par la collaboration RD53, le comportement en irradiation de l'ASIC de lecture du futur détecteur pixels d'ATLAS. Je vois au moins cinq points à mentionner pour clore ce manuscrit et qui définissent mon activité à venir.

- Actuellement un ASIC prototype demi-échelle, RD53A, est en cours d'irradiation auprès de la source à rayon X de l'IM2NP. L'étude concerne les effets de débit de dose, et il sera possible dans les prochains mois de conclure sur cet aspect après l'extraction des fichiers résultats. De plus, une conception est en cours pour porter l'échantillon à basse température et doter cette machine de cette option très importante pour effectuer une caractérisation complète. Un démonstrateur à base d'un système Peltier a donné de très bon résultats, il sera possible d'atteindre un point de régulation à -15°C durant toute une phase d'irradiation. Ce point permettra de comparer le comportement de la puce à haut ou bas débit de dose en fonction de la température.

- Dans cet ASIC sont implantés des capteurs de dose et de température à base de diodes de types MOS et BJT. Les résultats en irradiation pour ces structures ne sont pas encore matures et n'ont pas été présentés dans ce mémoire. Le fonctionnement de ces capteurs demandent d'autres campagnes de tests afin d'affirmer la reproductibilité de leur comportement dans cet environnement fortement ionisant.

- L'ASIC final RD53B va partir en soumission à la fin de l'année 2019. Je suis actuellement impliqué dans la préparation des tests comprenant la tolérance aux SEU des mémoires implantées dans cet ASIC. Cette première puce de production est dédiée au détecteur pixels de l'expérience ATLAS. La deuxième expérience du LHC, CMS, doit également s'équiper de cet ASIC pour son détecteur pixels. Celle-ci attend les résultats de la caractérisation de cette puce avant de lancer sa propre production.

- Un point intéressant concerne les cellules DICE qui ont montrées d'excellents résultats en ions lourds. Ces architectures font suite à une collaboration avec l'université de Séville qui dispose d'une plateforme de simulation (AFTU) qui porte sur les effets SET. L'objectif est d'apporter un gain d'amélioration sur les résultats de ces cellules décrits dans ce mémoire. Idéalement, des tests en protons devraient être réalisés pour confirmer l'excellent comportement mesuré en ions lourds.

- Enfin un dernier point visant une perspective à plus long terme, concerne une étude similaire sur une technologie plus fine telle que la 28 nm. Pour ce développement tout est à faire aussi bien d'un point de vue conception que d'un point de vue caractérisation à la dose ionisante.

Communications/Publications

Publications :

- 1-Grad total dose evaluation of 65 nm CMOS technology for the HL-LHC upgrades, M. Menouni et al., *J. Instrum.*, vol. 10, no 05, p. C05009–C05009, mai 2015. (co-auteur)
- A study of SEU-tolerant latches for the RD53A chip , *PoS*, vol. TWEPP-2017, p. 095, janv. 2018. (auteur)
- Design of analog front-ends for the RD53 demonstrator chip, Gaioni, L. et al., *PoS*, Vertex 2016 (2017) 036. (co-auteur)
- Development of a Large Pixel Chip Demonstrator in RD53 for ATLAS and CMS Upgrades, Conti E. et al., *PoS*, TWEPP-17 (2017) 005. (co-auteur)

Posters :

- 3 Nov. 2014 (CPPM) et 17-22 Mai 2015 : Ecole IN2P3 de microélectronique (Fréjus)
 - Poster : « Étude et mise en œuvre de cellules résistantes aux radiations dans le cadre de l'évolution du détecteur à pixels d'Atlas en technologie submicronique. »
- 26 Juin 2019: Réseau détecteurs semi-conducteurs IN2P3 – IRFU
 - Poster : « A Calibrated X-Ray Irradiation Platform. »

Présentations :

- 11-13 Juin 2014 : Journées VLSI IN2P3 (CPPM – Marseille)
 - Présentation : « Étude de l'effet de dose sur le process CMOS 65 nm »
- 15-18 Octobre 2014 : RD53 General Meeting (RAL – Rutherford)
 - Présentation : « Update on TSMC / IBM irradiation results »
- 18-20 Février 2015 : RD53 General Meeting (CERN – Genève)
 - Présentation : « DICE Latch »
- 14-16 Octobre 2015 : RD53 General meeting (INFN - Pisa)
 - Présentation : « Proton radiation tests of IP blocks »
- 31 Mai-2 Juin 2016 : Journées VLSI IN2P3 (IPHC – Strasbourg)
 - Présentation : « Développements en TSMC 65nm dans le cadre de la collaboration RD53 »
- 9-10 Novembre 2016 : RD53 collaboration meeting (CPPM)
 - Présentation : « SEU test and long term annealing »
- 11-16 Septembre 2017 : Conférence TWEPP 2017 (Santa-Cruz)
 - Présentation : « A study of SEU-tolerant latches for the RD53A chip »
- 15 mai- 17 mai 2018 : Journées VLSI IN2P3 (LPC – Clermont-Ferrand)
 - Présentation: « Conceptions et développements dans le cadre du projet RD53 »

Bibliographie

- [1] Wilde, M.S., « Machines géantes pour sonder l'univers de l'atome », *Le journal de l'UNESCO*, p. 4-8, mars-1966.
- [2] G. Aad *et al.*, « ATLAS pixel detector electronics and sensors », *J. Instrum.*, vol. 3, n° 07, p. P07007–P07007, juill. 2008, doi: 10.1088/1748-0221/3/07/P07007.
- [3] A. Gabrielli, « Heavy ion-induced SEEs on 130nm CMOS technology for LHC application—status and challenges », *Nucl. Instrum. Methods Phys. Res. Sect. Accel. Spectrometers Detect. Assoc. Equip.*, vol. 658, n° 1, p. 129-132, déc. 2011, doi: 10.1016/j.nima.2011.04.051.
- [4] H. Pernegger, « The Pixel Detector of the ATLAS experiment for LHC Run-2 », *J. Instrum.*, vol. 10, n° 06, p. C06012–C06012, juin 2015, doi: 10.1088/1748-0221/10/06/C06012.
- [5] M. Garcia-Sciveres *et al.*, « The FE-I4 pixel readout integrated circuit », *Nucl. Instrum. Methods Phys. Res. Sect. Accel. Spectrometers Detect. Assoc. Equip.*, vol. 636, n° 1, Supplement, p. S155–S159, avr. 2011, doi: 10.1016/j.nima.2010.04.101.
- [6] B. Chantepie, « Etude et réalisation d'une électronique rapide à bas bruit pour un détecteur de rayons X à pixels hybrides destiné à l'imagerie du petit animal », PhD Thesis, Marseille, CPPM, 2008.
- [7] I. Perić *et al.*, « The FEI3 readout chip for the ATLAS pixel detector », *Nucl. Instrum. Methods Phys. Res. Sect. Accel. Spectrometers Detect. Assoc. Equip.*, vol. 565, n° 1, p. 178-187, sept. 2006, doi: 10.1016/j.nima.2006.05.032.
- [8] M. Barbero, « A new ATLAS front-end IC for upgraded LHC luminosity », *Nucl Instrum Methods Phys Res A*, 2008.
- [9] M. Garcia-Sciveres, « RD53A Integrated Circuit Specifications », CERN-RD53-PUB-15-001, déc. 2015.
- [10] P. Fischer, « Design considerations for pixel readout chips », *Nucl. Instrum. Methods Phys. Res. Sect. Accel. Spectrometers Detect. Assoc. Equip.*, vol. 501, n° 1, p. 175-182, mars 2003, doi: 10.1016/S0168-9002(02)02029-6.
- [11] S. Marconi, « Design and optimisation of low power hybrid pixel array logic for the extreme hit and trigger rates of the Large Hadron Collider upgrade », PhD Thesis, Università e INFN, Perugia (IT).
- [12] J. R. Schwank, « Basic mechanisms of radiation effects in the natural space radiation environment », Sandia National Labs., Albuquerque, NM (United States), SAND-94-1580C; CONF-940726-12, juin 1994.
- [13] V. A. J. van Lint, T. M. Flanagan, R. E. Leadon, J. A. Naber, et V. C. Rogers, « Mechanisms of radiation effects in electronic materials. Volume 1 », *NASA STIRecon Tech. Rep. A*, vol. 81, 1980.

- [14] A. Vasilescu, « Fluence normalization based on the NIEL scaling hypothesis », in *3rd ROSE Workshop on Radiation Hardening of Silicon Detectors. DESY, Hamburg*, 1998, p. 12-14.
- [15] M. Moll, « Recent advances in the development of radiation tolerant silicon detectors for the super-Lhc », in *Astroparticle, Particle and Space Physics, Detectors and Medical Physics Applications*, World Scientific, 2010, p. 101-110.
- [16] D. M. Fleetwood, P. S. Winokur, L. C. Riewe, O. Flament, P. Paillet, et J. L. Leray, « The role of electron transport and trapping in MOS total-dose modeling », *IEEE Trans. Nucl. Sci.*, vol. 46, n° 6, p. 1519-1525, 1999.
- [17] R. C. Hughes, « Hole mobility and transport in thin SiO₂ films », *Appl. Phys. Lett.*, n° 26, p. 436, nov. 1974, doi: 10.1063.
- [18] G. Anelli, « Conception et Caracterisation De Circuits Integres Resistants aux Radiations pour les Detecteurs De Particules di LHC en Technologies CMOS Submicroniques Profondes », *PhD Thesis Submitt. Inst. Natl. Polytech. Grenoble*, 2000.
- [19] F. Boumedine, « Modélisation des caractéristiques statiques courant-tension des structures métal-oxyde-semi conducteur (MOS) », Université Mouloud Mammeri, 2009.
- [20] N. S. Saks, M. G. Ancona, et J. A. Modolo, « Radiation effects in MOS capacitors with very thin oxides at 80 K », *IEEE Trans. Nucl. Sci.*, vol. 31, n° 6, p. 1249-1255, 1984.
- [21] J. R. Srour, « Basic mechanisms of radiation effects on electronic materials, devices, and integrated circuits », Northrop Research and Technology Centerpalos Verdes Peninsula CA, 1982.
- [22] A. H. Johnston, R. T. Swimm, G. R. Allen, et T. F. Miyahira, « Total Dose Effects in CMOS Trench Isolation Regions », *IEEE Trans. Nucl. Sci.*, vol. 56, n° 4, p. 1941-1949, août 2009, doi: 10.1109/TNS.2009.2019273.
- [23] A. H. Johnston, R. T. Swimm, et T. F. Miyahira, « Low Dose Rate Effects in Shallow Trench Isolation Regions », *IEEE Trans. Nucl. Sci.*, vol. 57, n° 6, p. 3279-3287, déc. 2010, doi: 10.1109/TNS.2010.2085452.
- [24] F. Faccio et G. Cervelli, « Radiation-induced edge effects in deep submicron CMOS transistors », *IEEE Trans. Nucl. Sci.*, vol. 52, n° 6, p. 2413-2420, déc. 2005, doi: 10.1109/TNS.2005.860698.
- [25] M. Gaillardin, V. Goiffon, S. Girard, M. Martinez, P. Magnan, et P. Paillet, « Enhanced Radiation-Induced Narrow Channel Effects in Commercial 0.18 μm Bulk Technology », *IEEE Trans. Nucl. Sci.*, vol. 58, n° 6, p. 2807-2815, déc. 2011, doi: 10.1109/TNS.2011.2170854.
- [26] G. F. Marchioro *et al.*, « Total dose and Single Event Effects (SEE) in a 0.25 μm CMOS technology », in *Fourth Workshop on electronics for LHC experiments (LEB'98)*, Roma, Italy, 1998.
- [27] F. Faccio, S. Michelis, D. Cornale, A. Paccagnella, et S. Gerardin, « Radiation-Induced Short Channel (RISCE) and Narrow Channel (RINCE) Effects in 65 and 130 nm MOSFETs », *IEEE Trans. Nucl. Sci.*, vol. 62, n° 6, p. 2933-2940, déc. 2015, doi: 10.1109/TNS.2015.2492778.
- [28] R. L. Pease, R. D. Schrimpf, et D. M. Fleetwood, « ELDRS in bipolar linear circuits: A review », in *2008 European Conference on Radiation and Its Effects on Components and Systems*, 2008, p. 18-32, doi: 10.1109/RADECS.2008.5782678.

- [29] M. Zerarka, « Étude des régimes extrêmes de fonctionnement en environnement radiatif des composants de puissance en vue de leur durcissement pour les applications aéronautiques et spatiales », phd, Université de Toulouse, Université Toulouse III - Paul Sabatier, 2013.
- [30] F. Wang et V. D. Agrawal, « Single event upset: An embedded tutorial », in *21st International Conference on VLSI Design (VLSID 2008)*, 2008, p. 429-434.
- [31] M. Raine *et al.*, « Impact of the Radial Ionization Profile on SEE Prediction for SOI Transistors and SRAMs Beyond the 32-nm Technological Node », *IEEE Trans. Nucl. Sci.*, vol. 58, n° 3, p. 840-847, juin 2011, doi: 10.1109/TNS.2011.2109966.
- [32] G. Hubert, P. Li Cavoli, C. Federico, L. Artola, et J. Busto, « Effect of the Radial Ionization Profile of Proton on SEU Sensitivity of Nanoscale SRAMs », *IEEE Trans. Nucl. Sci.*, vol. 62, n° 6, p. 2837-2845, déc. 2015, doi: 10.1109/TNS.2015.2496238.
- [33] M. Glorieux, « Durcissement par conception (RHBD) et modélisation des événements singuliers dans les circuits intégrés numériques en technologies Bulk 65 nm et FDSOI 28 nm », thesis, Aix-Marseille, 2014.
- [34] Dj.Sadaoui, N.Merabtine, et M.Benslama, « Etude du phénomène de Single Event Transient (SET) induit dans les composants électroniques embarqués à bord d'engins spatiaux », présenté à SETIT 2007 4th International Conference: Sciences of Electronic, Technologies of Information and Telecommunications, 2007.
- [35] A. Makihara *et al.*, « Analysis of single-ion multiple-bit upset in high-density DRAMs », *IEEE Trans. Nucl. Sci.*, vol. 47, n° 6, p. 2400-2404, déc. 2000, doi: 10.1109/23.903783.
- [36] D. Binder, E. C. Smith, et A. B. Holman, « Satellite Anomalies from Galactic Cosmic Rays », *IEEE Trans. Nucl. Sci.*, vol. 22, n° 6, p. 2675-2680, déc. 1975, doi: 10.1109/TNS.1975.4328188.
- [37] S. E. Diehl, J. E. Vinson, B. D. Shafer, et T. M. Mnich, « Considerations for single-event immune VLSI logic », *NuclearScience, IEEE Transactions on*, p. 4501-4507, mai-1983.
- [38] H. J. Barnaby, « Total-Ionizing-Dose Effects in Modern CMOS Technologies », *IEEE Trans. Nucl. Sci.*, vol. 53, n° 6, p. 3103-3121, déc. 2006, doi: 10.1109/TNS.2006.885952.
- [39] T. R. Oldham et F. B. McLean, « Total ionizing dose effects in MOS oxides and devices », *IEEE Trans. Nucl. Sci.*, vol. 50, n° 3, p. 483-499, juin 2003, doi: 10.1109/TNS.2003.812927.
- [40] E. Simoen *et al.*, « Short-channel radiation effect in 60 MeV proton irradiated 0.13 μm CMOS transistors », *IEEE Trans. Nucl. Sci.*, vol. 50, n° 6, p. 2426-2432, déc. 2003, doi: 10.1109/TNS.2003.820612.
- [41] D. Fougerson, « A study of SEU-tolerant latches for the RD53A chip », *PoS*, vol. TWEPP-2017, p. 095, janv. 2018, doi: 10.22323/1.313.0095.
- [42] R. C. Lacoe, « Improving Integrated Circuit Performance Through the Application of Hardness-by-Design Methodology », *IEEE Trans. Nucl. Sci.*, vol. 55, n° 4, p. 1903-1925, août 2008, doi: 10.1109/TNS.2008.2000480.
- [43] A. Rozanov, « Single event upsets in the ATLAS IBL front end ASICs », *Nucl. Instrum. Methods Phys. Res. Sect. Accel. Spectrometers Detect. Assoc. Equip.*, vol. 936, p. 703-704, août 2019, doi: 10.1016/j.nima.2018.08.107.
- [44] M. Menouni *et al.*, « SEU tolerant memory design for the ATLAS pixel readout chip », *J. Instrum.*, vol. 8, n° 02, p. C02026-C02026, févr. 2013, doi: 10.1088/1748-0221/8/02/C02026.

- [45] T. Calin, M. Nicolaidis, et R. Velazco, « Upset hardened memory design for submicron CMOS technology », *IEEE Trans. Nucl. Sci.*, vol. 43, n° 6, p. 2874-2878, déc. 1996, doi: 10.1109/23.556880.
- [46] J. D. Black *et al.*, « HBD layout isolation techniques for multiple node charge collection mitigation », *IEEE Trans. Nucl. Sci.*, vol. 52, n° 6, p. 2536-2541, déc. 2005, doi: 10.1109/TNS.2005.860718.
- [47] B. Narasimham *et al.*, « Quantifying the Reduction in Collected Charge and Soft Errors in the Presence of Guard Rings », *IEEE Trans. Device Mater. Reliab.*, vol. 8, n° 1, p. 203-209, mars 2008, doi: 10.1109/TDMR.2007.912778.
- [48] X. She, N. Li, et D. W. Jensen, « SEU Tolerant Memory Using Error Correction Code », *IEEE Trans. Nucl. Sci.*, vol. 59, n° 1, p. 205-210, févr. 2012, doi: 10.1109/TNS.2011.2176513.
- [49] S. Miryala, T. Hemperek, et M. Menouni, « Characterization of Soft Error Rate Against Memory Elements Spacing and Clock Skew in a Logic with Triple Modular Redundancy in a 65nm Process », *PoS TWEPP-2018*, vol. 343, p. 029, juill. 2019, doi: 10.22323/1.343.0029.
- [50] B. Narasimham *et al.*, « On-Chip Characterization of Single-Event Transient Pulsewidths », *IEEE Trans. Device Mater. Reliab.*, vol. 6, n° 4, p. 542-549, déc. 2006, doi: 10.1109/TDMR.2006.885589.
- [51] J. Furuta, C. Hamanaka, K. Kobayashi, et H. Onodera, « Measurement of neutron-induced SET pulse width using propagation-induced pulse shrinking », in *2011 International Reliability Physics Symposium*, 2011, p. 5B.2.1-5B.2.5, doi: 10.1109/IRPS.2011.5784520.
- [52] L. J. Palkuti et J. J. LePage, « X-Ray Wafer Probe for Total Dose Testing », *IEEE Trans. Nucl. Sci.*, vol. 29, n° 6, p. 1832-1837, déc. 1982, doi: 10.1109/TNS.1982.4336456.
- [53] R. L. Owen, J. M. Holton, C. Schulze-Briesse, et E. F. Garman, « Determination of X-ray flux using silicon pin diodes », *J. Synchrotron Radiat.*, vol. 16, n° 2, p. 143-151, mars 2009, doi: 10.1107/S0909049508040429.
- [54] A. Ortiz-Conde, F. J. García Sánchez, J. J. Liou, A. Cerdeira, M. Estrada, et Y. Yue, « A review of recent MOSFET threshold voltage extraction methods », *Microelectron. Reliab.*, vol. 42, n° 4, p. 583-596, avr. 2002, doi: 10.1016/S0026-2714(02)00027-6.
- [55] E. B. S. No, 22900, « Total dose steady-state irradiation test method, » Issue 3 (2007). .
- [56] D. M. Fleetwood et H. A. Eisen, « Total-dose radiation hardness assurance », *IEEE Trans. Nucl. Sci.*, vol. 50, n° 3, p. 552-564, juin 2003, doi: 10.1109/TNS.2003.813130.
- [57] A. L. Rosa, « Irradiation induced effects in the FE-I4 front-end chip of the ATLAS IBL detector », in *2016 IEEE Nuclear Science Symposium, Medical Imaging Conference and Room-Temperature Semiconductor Detector Workshop (NSS/MIC/RTSD)*, 2016, p. 1-4, doi: 10.1109/NSSMIC.2016.8069865.
- [58] J. R. Schwank, P. S. Winokur, P. J. McWhorter, F. W. Sexton, P. V. Dressendorfer, et D. C. Turpin, « Physical Mechanisms Contributing to Device “Rebound” », *IEEE Trans. Nucl. Sci.*, vol. 31, n° 6, p. 1434-1438, déc. 1984, doi: 10.1109/TNS.1984.4333525.
- [59] D. C. Pantelakis, D. F. Hemmenway, N. W. van Vonno, et T. J. Sanders, « Freeze-out characterization of radiation hardened N/sup +/- polysilicon gate CMOS transistors », *IEEE Trans. Nucl. Sci.*, vol. 38, n° 6, p. 1289-1296, déc. 1991, doi: 10.1109/23.124107.
- [60] K. Romanjek, « Caractérisation et modélisation des transistors CMOS des technologies 50nm et en deçà », phdthesis, Institut National Polytechnique de Grenoble - INPG, 2004.

- [61] Casas, L. J., Ceresa, D., Kulis, S., Miryala, S., Christiansen, J., Francisco, R., & Gnani, D. (2017). Characterization of radiation effects in 65 nm digital circuits with the DRAD digital radiation test chip. *Journal of Instrumentation*, 12(02), C02039.
- [62] S. C. Witczak, R. C. Lacoe, J. V. Osborn, J. M. Hutson, et S. C. Moss, « Dose-rate sensitivity of modern nMOSFETs », *IEEE Trans. Nucl. Sci.*, vol. 52, n° 6, p. 2602-2608, déc. 2005, doi: 10.1109/TNS.2005.860709.
- [63] P. Eaton *et al.*, « Single event transient pulsewidth measurements using a variable temporal latch technique », *IEEE Trans. Nucl. Sci.*, vol. 51, n° 6, p. 3365-3368, déc. 2004, doi: 10.1109/TNS.2004.840020.
- [64] M. Menouni *et al.*, « 1-Grad total dose evaluation of 65 nm CMOS technology for the HL-LHC upgrades », *J. Instrum.*, vol. 10, n° 05, p. C05009–C05009, mai 2015, doi: 10.1088/1748-0221/10/05/C05009.