

MULTIPLE STAGE CONVERTER WITH MIXED STRUCTURE

Nicolás Wassinger

This Thesis work was submitted to the Electronic Department,
School of Engineering, National University of Mar del Plata
on December 21, 2012, as partial requirement for the diploma of
PhD in Electronic Engineering

Director: Mario Benedetti

Codirector: Rogelio García Retegui



This Thesis work was carried out in the Instrumentation and Control Laboratory, School of Engineering, National University of Mar del Plata.

Abstract

Power Electronics is a discipline in the field of Electrical and Electronic Engineering which pursues the conversion of electrical energy with high efficiency in the range of medium and high power. Concerning circuital topologies, current scientific research is aimed at finding new topologies that enhance the behavior of the power converters.

This thesis proposes a methodical procedure for the design of multiple stage converters and a new multiple stage topology based on mixed structures, which allows to reduce the power consumption and to simplify the control complexity in relation to other multiple stage converters.

Particularly, in this research, the design procedure was exemplified using a specific application: a pulsed high current source for inductive loads with high precision in the flat top and low settling, rise and fall times [1, 2, 3, 4].

The new topology was experimentally verified using a 2000A pulsed current source with a 500ppm precision in the flat top.

Experimental results using a 15A reduced-scale topology were also obtained. This prototype was designed to respect settling, rise and fall times and, of course, the 500ppm precision.

The experimental results showed the following highlights:

- The topology based on the mixed structure concept proved to be an adequate solution for high current, high precision and low rise and fall times applications.
- The topology has shown great flexibility with respect to changes in load and pulse being only necessary in such conditions the modification of the control system parameters.
- The mixed structure based topology has shown significant advantages over previous multiple stage topologies, namely:
 - The working conditions of structures are uniform during the operation periods, whereby specific control schemes are not required.
 - Power consumption and semiconductor devices stress are reduced since these devices operate only in the periods when they are essential for the system operation.
 - The setting of the voltage and current initial conditions could be improved at the start of the flat-top, which allowed a reduction of 35 % in the duration of the transient and a reduction of 60 % in its amplitude.
- A precision of 360ppm, and rise and fall times of near 1ms were obtained. To achieve these times, a maximum voltage of 2.1kV was applied.
- The topology consists of 3 capacitor banks, 7 diodes, 8 transistors, 2 inductors, 1 capacitor, and the load.

CONVERTIDOR MULTIESTRUCTURA CON ESTRUCTURA MIXTA

Nicolás Wassinger

Este Trabajo de Tesis fue presentado al Departamento de Electrónica
de la Facultad de Ingeniería de la Universidad Nacional de Mar del Plata
el 21 de Diciembre de 2012, como requisito parcial para la obtención del título de

Doctor en Ingeniería. Mención Electrónica

Director: Mario Benedetti

Co-Director: Rogelio García Retegui

El presente trabajo de tesis fue realizado en el Laboratorio de Instrumentación y Control del Departamento de Electrónica, Facultad de Ingeniería, Universidad Nacional de Mar del Plata.

A mis padres Graciela y José.

A mi hermano Matías.

Índice general

Agradecimientos	XXI
Resumen	XXIII
Nomenclatura	XXV
1. Introducción	1
2. Síntesis de Convertidores Multiestructura	11
2.1. Método propuesto para el diseño de Topologías Multiestructura .	12
2.1.1. Paso 1: Estudio de viabilidad del uso de una Topología Multiestructura a partir de las exigencias de la aplicación.	12
2.1.2. Paso 2: Definición del esquema general del convertidor (can- tidad, distribución y especificaciones de las fuentes).	14
2.1.3. Paso 3: Síntesis de las fuentes.	16
2.1.4. Paso 4: Simplificación de la topología.	16
2.1.5. Paso 5: Síntesis de los interruptores de interconexión. . . .	19
2.2. Aplicación del método de síntesis de Convertidores Multiestructura al caso de Fuentes de Corriente Pulsada	19
2.2.1. Paso 1: Estudio de viabilidad del uso de una Topología Multiestructura a partir de las exigencias de la aplicación.	20

2.2.2.	Paso 2: Definición del esquema general del convertidor. . . .	21
2.2.3.	Paso 3: Síntesis de las fuentes.	29
2.2.4.	Paso 4: Simplificación de la topología.	40
2.2.5.	Paso 5: Síntesis de los interruptores de interconexión. . . .	44
2.3.	Conclusiones del Capítulo	53
3.	Control del Convertidor Multiestructura	57
3.1.	Introducción	57
3.2.	Control secuencial	62
3.2.1.	Estado inactivo	62
3.2.2.	Etapa de subida	63
3.2.3.	Etapa de flat-top	65
3.2.4.	Etapa de bajada	66
3.3.	Regulación	68
3.3.1.	Modelo dinámico de la planta (<i>CLoRo</i>)	70
3.3.2.	Realimentación de estados	72
3.3.3.	Lazo externo	74
3.3.4.	Atenuación del sistema a los ripples de GIP y GIS	76
3.3.5.	Inicialización del integrador	80
3.3.6.	Comportamiento transitorio del sistema	81
3.4.	Controles de corriente locales de GIP y GIS	84
3.4.1.	Generador GIP	85
3.4.2.	Generador GIS	88
3.5.	Conclusiones del capítulo	91
4.	Resultados experimentales	93
4.1.	Diseño de la fuente	94
4.2.	Ensayos del prototipo a escala reducida	103

4.2.1.	Ensayo 1: Verificación funcional y de precisión	103
4.2.2.	Ensayo 2: Verificación de flexibilidad frente a cambios de amplitud de corriente	106
4.2.3.	Ensayo 3: Verificación de magnitud de transitorio de co- rriente frente a cambios de carga	107
4.2.4.	Ensayo 4: Verificación del efecto del ajuste del comporta- miento dinámico del convertidor sobre la corriente de salida	109
4.2.5.	Ensayo 5: Verificación del efecto de la precarga del capacitor C	111
4.3.	Ensayo del prototipo a escala real	112
4.4.	Conclusiones del capítulo	115
5.	Conclusiones	119
5.1.	Trabajos futuros	121
5.2.	Publicaciones	122
5.2.1.	Informes técnicos	122
5.2.2.	Artículos en revistas	123
5.2.3.	Artículos en congresos	123
	Bibliografía	125
A.	Síntesis de convertidores estáticos	131
A.1.	Convertidores Estáticos	131
A.2.	Características estáticas y dinámicas de los interruptores	132
A.2.1.	Característica estática	132
A.2.2.	Característica dinámica	134
A.3.	Caracterización de las fuentes	135
A.3.1.	Tipos de fuentes	135

A.3.2. Reversibilidad de las fuentes	137
A.4. Reglas de interconexión entre fuentes	137
A.5. Configuraciones base de CE	138
A.6. Descripción del método de síntesis de CE	140
A.7. Conclusiones del apéndice	141
B. Análisis térmico	143
B.1. Modelo genérico	144
B.2. Ciclado térmico de los dispositivos	145
B.2.1. Cálculo de ΔT_{jc} para S_1	147
B.2.2. Cálculo de ΔT_{jc} para S_2	148
B.2.3. Cálculo de ΔT_{jc} para D_1	150
B.2.4. Cálculo de ΔT_{jc} para D_2	152
B.2.5. Cálculo de ΔT_{jc} para S_4	153
B.2.6. Cálculo de ΔT_{jc} para D_4	156
B.3. Cálculo de los tiempos de vida media esperados	157
B.3.1. Cálculo del tiempo de vida esperado de S_2	158
B.3.2. Cálculo del tiempo de vida esperado de S_4	161
B.4. Conclusiones del apéndice	162
C. Análisis de la respuesta transitoria del sistema	165
C.1. Evolución temporal de las variables de estado	165
C.2. Evaluación del caso sin precarga del capacitor C	168
C.2.1. Análisis de i_O	170
C.3. Conclusiones del apéndice	170

D. Implementación de la plataforma digital	173
D.1. Descripción de la plataforma digital	174
D.1.1. Placa de adquisición y depuración	174
D.1.2. Placa de control	176
D.2. Descripción de la implementación del sistema de control	176
D.2.1. Bloques de interfaz con los convertidores ADC y DAC	176
D.2.2. Interfaz serie de comunicación externa	177
D.2.3. Control secuencial	178
D.2.4. Bloques de control de corriente	179
D.2.5. Regulación	179
D.3. Conclusiones del apéndice	182
E. Almacenamiento de energía en los bancos de capacitores	183
E.1. Transferencia de energía en los bancos de capacitores	184
E.1.1. Energía suministrada por C_{at}	184
E.1.2. Energía suministrada por C_p	185
E.1.3. Energía suministrada por C_s	185
E.1.4. Recuperación de energía	186
E.2. Selección de las capacidades	186
E.2.1. Selección de C_{at}	187
E.2.2. Selección de C_p y C_s	189
E.3. Conclusiones del apéndice	190
F. Selección de los componentes para los prototipos a escala real y reducida	193
F.1. Prototipo a escala real	193
F.2. Prototipo a escala reducida	197

Índice de tablas

2.1. Requerimientos de los dispositivos semiconductores.	52
4.1. Especificaciones de la fuente.	93
4.2. Parámetros de la fuente.	98
4.3. Parámetros del prototipo a escala reducida.	102
4.4. Cargas ensayadas.	109
B.1. Condiciones de operación de los semiconductores.	145
F.1. Parámetros de diseño del prototipo a escala real.	193
F.2. Listado de dispositivos semiconductores. Prototipo a escala real. .	195
F.3. Listado de capacitores. Prototipo a escala real.	196
F.4. Listado de cargadores de capacitores. Prototipo a escala real. . . .	196
F.5. Listado de sensores de corriente. Prototipo a escala real.	196
F.6. Parámetros de diseño del prototipo a escala reducida.	197
F.7. Listado de dispositivos semiconductores. Prototipo a escala reducida.	197
F.8. Listado de capacitores. Prototipo a escala reducida.	198
F.9. Listado de sensores de corriente. Prototipo a escala reducida. . . .	198

Índice de figuras

1.1. Esquema genérico de un Convertidor Multiestructura.	2
1.2. Forma de onda trapezoidal de corriente sobre la carga y tensión aplicada a la misma.	3
1.3. Esquema funcional del Convertidor Multiestructura desarrollado en el LIC.	5
2.1. Diagrama de flujo de los pasos del procedimiento de diseño de Topologías Multiestructura.	12
2.2. Diagrama de flujo del Paso 2 del procedimiento de diseño de To- pologías Multiestructura.	13
2.3. Diagrama de flujo del Paso 1 del procedimiento de diseño de To- pologías Multiestructura.	15
2.4. Diagrama de flujo del Paso 3 del procedimiento de diseño de To- pologías Multiestructura.	17
2.5. Diagrama de flujo del Paso 4 del procedimiento de diseño de To- pologías Multiestructura.	18
2.6. Diagrama de flujo de los Paso 5 del procedimiento de diseño de Topologías Multiestructura.	19
2.7. Esquema convertidor basado en una fuente de tensión.	21

2.8. Esquema convertidor basado en una fuente de tensión y una de corriente conectadas en paralelo.	22
2.9. Esquema convertidor basado en una fuente de tensión (con interruptor de desconexión) y una de corriente conectadas en paralelo.	23
2.10. Esquema convertidor basado en dos fuentes de corriente y una de tensión (con interruptores de desconexión) conectadas en paralelo.	24
2.11. Esquema funcional del convertidor basado en estructuras convertidoras mixtas y exigencias de las fuentes.	26
2.12. Aplicación del CCA.	27
2.13. Ejemplos de estructuras mixtas de tensión (a) y de corriente (c) y versión clásica, basada en la asociación de estructuras independientes, de tensión (b) y de corriente (d).	28
2.14. Operación de la estructura asociada a V_{BTBCAF} durante la etapa de flat-top.	30
2.15. Operación del convertidor V_{BTBCAF} con la etapa de filtrado asociada.	31
2.16. Secuencia de operación de V_{BTBCAF}	33
2.17. Características estáticas de los interruptores k_{1-4} para la estructura V_{BTBCAF}	33
2.18. Implementación de V_{BTBCAF}	34
2.19. Operación de la estructura asociada a V_{BTACMF} durante la etapa de flat-top.	35
2.20. Secuencia de operación de V_{BTACMF}	35
2.21. Características estáticas de los interruptores k_3 y k_4 para la estructura V_{BTACMF}	36
2.22. Circuito propuesto para la Estructura V_{BTACMF}	36
2.23. Operación de la estructura asociada a V_{ATACBF} durante la etapa de flat-top.	37

2.24. Secuencia de operación de $V_{A_TB_C B_F}$.	38
2.25. Características estáticas de los interruptores k_{1-4} para la estructura $V_{A_TB_C B_F}$.	38
2.26. Circuito propuesto para la Estructura $V_{A_TB_C B_F}$.	39
2.27. Circuito propuesto para la Estructura I_{MIXTA} .	39
2.28. Esquema del convertidor con las implementaciones de $V_{A_TB_C B_F}$, $V_{B_TB_C A_F}$ y $V_{B_TB_C M_F}$.	40
2.29. Estructura I_{MIXTA} dentro del esquema del convertidor.	41
2.30. Estructura I_{MIXTA} dentro del esquema del convertidor (Versión modificada).	43
2.31. Estructura I_{MIXTA} dentro del esquema del convertidor (Simplificación).	44
2.32. Esquema de conexión del CCA.	46
2.33. CCA dentro del esquema del convertidor.	46
2.34. Secuencia de operación del convertidor.	47
2.35. Características estáticas de $S_{V_{B_TB_C A_F}}$ y síntesis del mismo.	48
2.36. Características estáticas de $S_{V_{A_TB_C B_F}}$ y síntesis del mismo.	49
2.37. Características estáticas de $S_{V_{B_TB_C M_F}}$ y síntesis del mismo.	50
2.38. Esquema circuital de la topología propuesta.	51
2.39. Esquema circuital de la versión interleaving de la topología propuesta.	53
3.1. Sistema de control para Convertidores Multiestructura.	58
3.2. Diagrama circuital durante la etapa de flat-top.	60
3.3. Diagrama circuital durante la etapa de flat-top.	61
3.4. Circuito equivalente durante el flat-top.	61
3.5. Esquema de operación del proceso de presincronismo.	63

3.6. Diagrama circuital (a) y formas de onda de corriente (b) durante la etapa de subida.	64
3.7. Circuito equivalente de carga de L_p y L_o durante la etapa de subida.	64
3.8. Circuito a lazo cerrado de carga de C	65
3.9. Diagrama circuital (a) y formas de onda de corriente (b) durante la etapa de flat-top.	66
3.10. Diagrama circuital (a) y formas de onda de corriente (b) durante la etapa de bajada.	67
3.11. Circuito equivalente de descarga de L_p y L_o durante la etapa de bajada.	67
3.12. Circuito a lazo cerrado de descarga de C	68
3.13. Circuito equivalente durante el flat-top.	69
3.14. Diagrama de Bode de $G_P(s)$	71
3.15. Diagrama en bloques de los lazos de realimentación de estados.	72
3.16. Diagrama de Bode de $G_{FB}(s)$	74
3.17. Diagrama en bloques del lazo externo de realimentación de corriente.	75
3.18. Diagrama de Bode de $G_C(s)G_{FB}(s)$	76
3.19. Margen de fase vs. k	77
3.20. Punto de incidencia de ΔI_{GIP} en el sistema de regulación.	78
3.21. Punto de incidencia de ΔI_{GIP} en el sistema de regulación simplificado.	78
3.22. Sistema de regulación con el agregado del lazo de realimentación feed-forward.	80
3.23. Esquema del sistema de regulación en estado estacionario.	81
3.24. Respuesta transitoria para diferentes valores de k , considerando R_o/L_o y ω_C constantes.	82

3.25. Respuesta transitoria para diferentes valores de ω_C , considerando R_o/L_o y k constantes.	83
3.26. Respuesta transitoria para diferentes cargas, considerando k y ω_C constantes.	84
3.27. Esquema genérico de un convertidor controlado por histéresis. . .	85
3.28. Esquema circuital del lazo de control de corriente local de GIP. . .	85
3.29. Ripple en estado estacionario del generador GIP.	87
3.30. Esquema circuital del lazo de control de corriente local de GIS. . .	88
3.31. Ripple del generador GIS en estado estacionario.	90
4.1. Esquema circuital de la fuente.	95
4.2. Prototipo a escala real (Vista desde adelante).	99
4.3. Prototipo a escala real (Vista desde atrás).	100
4.4. Prototipo a escala real (Generador GIS).	101
4.5. Prototipo a escala real (Carga con su sensor tipo transformador de corriente).	101
4.6. Prototipo a escala reducida.	102
4.7. Tensión y corriente en la carga durante la generación de un pulso de 15A.	103
4.8. Tensión en C y corriente de carga durante la generación de un pulso de 15A. Transitorio de acoplamiento al inicio del flat-top y estado estacionario.	104
4.9. Corrientes en los generadores GIP y GIS durante la generación de un pulso de 15A. Estado estacionario.	105
4.10. Señales de disparo de los interruptores $S1$, $S2$, $S3$ y $S4$, y corriente en el generador GIP durante la generación de un pulso de 15A. . .	106

4.11. Tensión en C y corrientes en la carga y en los generadores GIP y GIS durante la generación de un pulso de 5A. Transitorio de acoplamiento al inicio del flat-top y estado estacionario.	107
4.12. Corriente generada sobre diferentes cargas obtenida durante la generación de pulsos de 15A. Transitorio de acoplamiento al inicio del flat-top.	108
4.13. Formas de onda de corriente durante la generación de pulsos de 15A con diferentes ajustes de k (ω_C constante). Transitorio de acoplamiento al inicio del flat-top.	110
4.14. Formas de onda de corriente durante la generación de pulsos de 15A con diferentes ajustes de ω_C (ω_P constante). Transitorio de acoplamiento al inicio del flat-top.	110
4.15. Efecto de la precarga del capacitor C sobre la forma de onda de corriente durante la generación de un pulso de 15A. Transitorio de acoplamiento al inicio del flat-top.	111
4.16. Corriente y tensión en la carga obtenidas durante la generación de un pulso de 1800A.	112
4.17. Corriente y tensión en la carga, y señal de disparo de S_4 obtenidas durante la generación de un pulso de 1800A. Ampliación durante el flat-top.	113
4.18. Corrientes entregadas por GIP y GIS en estado estacionario obtenidas durante la generación de un pulso de 1800A.	114
A.1. Características estáticas de un interruptor.	133
A.2. Características estáticas de interruptores a semiconductores. . . .	133
A.3. Características dinámicas de interruptores a semiconductores. Conmutación natural y forzada.	135

A.4. Fuentes de entrada y salida.	136
A.5. Configuraciones base de convertidores estáticos.	139
A.6. Modificación de la naturaleza de las fuentes.	139
B.1. Circuito térmico equivalente.	144
B.2. Análisis térmico de S_1 . (a) Perfil de disipación de potencia. (b) Parámetros de simulación.	147
B.3. Simulación térmica de S_1 . (a) Variación de temperatura. (b) De- talle de la variación de temperatura.	148
B.4. Análisis térmico de S_2 . (a) Perfil de disipación de potencia. (b) Parámetros de simulación.	149
B.5. Simulación térmica de S_2 . (a) Variación de temperatura. (b) De- talle de la variación de temperatura.	150
B.6. Análisis térmico de D_1 . (a) Perfil de disipación de potencia. (b) Parámetros de simulación.	151
B.7. Simulación térmica de D_1 . (a) Variación de temperatura. (b) De- talle de la variación de temperatura.	152
B.8. Análisis térmico de D_2 . (a) Perfil de disipación de potencia. (b) Parámetros de simulación.	153
B.9. Simulación térmica de D_2 . (a) Variación térmica. (b) Detalle de la variación de temperatura.	154
B.10. Análisis térmico de S_4 . (a) Perfil de disipación de potencia. (b) Parámetros de simulación.	154
B.11. Simulación térmica de S_4 . (a) Variación de temperatura. (b) De- talle de la variación de temperatura.	155
B.12. Análisis térmico de D_4 . (a) Perfil de disipación de potencia. (b) Parámetros de simulación.	156

B.13.Simulación térmica de D_4 . (a) Variación de temperatura. (b) Detalle de la variación de temperatura.	158
B.14.Capacidad de ciclado térmico para IHM A con $T_{j_{max}} = 125^{\circ}\text{C}$ y IHM B a $T_{j_{max}} = 150^{\circ}\text{C}$	159
B.15.Predicción de la capacidad de ciclado de potencia mediante el modelo de Coffin-Manson.	159
B.16.Factor de aceleración para ciclado de potencia.	160
B.17.Curva de ciclado de potencia: Comparativa entre un modulo IGBT4 1200 V y módulos estándar.	161
C.1. Circuito equivalente durante el flat-top sin lazo de feed-forward.	166
D.1. Fotos del sistema de control.	175
D.2. Diagrama de la implementación del control digital.	177
D.3. Diagrama de flujo del bloque de control secuencial.	178
D.4. Lazos de realimentación.	179
D.5. Modificaciones en el lazo de realimentación.	180
D.6. Lazos de realimentación resultantes.	181
D.7. Detalle de la implementación de los lazos de regulación.	181
E.1. Circuito equivalente de carga de L_p y L_o durante la etapa de subida.	187
E.2. Gráfico paramétrico para el cálculo de Cat a partir del valor RMS.	189

Agradecimientos

En primer lugar, a mis padres Graciela y José por su educación, por su apoyo y principalmente por ser mi ejemplo en la vida, y a mi hermano Matías por acompañarme incondicionalmente.

A mis directores Mario Benedetti y Rogelio García Retegui, quienes fueron mis referentes durante mis primeros pasos en el ejercicio de la ingeniería y la investigación, y quienes con su experiencia supieron guiarme durante esta etapa de mi aprendizaje.

A Daniel Carrica, Sebastián Maestri, Marcos Funes y Walter Kloster quienes contribuyeron activamente en el desarrollo de esta Tesis.

A todos los integrantes del LIC por colaborar en mi formación académica y profesional pero más que todo por su apoyo en el ámbito personal. Encontré allí un grupo humano estupendo.

A la Universidad Pública por brindarme acceso a una formación de excelencia y al CONICET por soportarme económicamente en esta etapa de mi carrera.

Al personal del CERN, especialmente a Jean Marc Cravero, por su colaboración durante mi estadía. *Merci Beaucoup*. A HELEN y EPLANET que con su apoyo económico hicieron posible llevar a cabo este proyecto.

Quiero agradecer a todos los mencionados y a aquellos que por error haya omitido. Sin ustedes no hubiese sido posible alcanzar este objetivo.

Resumen

La Electrónica de Potencia es una especialidad de la Ingeniería Eléctrica y Electrónica que persigue la conversión de energía eléctrica con altos rendimientos en el rango de las medias y altas potencias. En el campo de las topologías circuitales, las investigaciones científicas actuales están orientadas a encontrar nuevas topologías que permitan mejorar el desenvolvimiento de los convertidores de potencia.

Esta tesis propone un procedimiento metódico para el diseño de convertidores multiestructura, y una nueva topología multiestructura basada en la utilización del concepto de estructuras mixtas que permite reducir el consumo de potencia y simplificar el control en relación con otros convertidores multiestructura. En particular, esta investigación ejemplificó el procedimiento de diseño sobre una aplicación concreta: una fuente para generar pulsos de gran corriente, de elevada precisión en la parte plana del pulso, mínimo tiempo de establecimiento y, además, bajos tiempos de subida y bajada, cuando son aplicados sobre cargas inductivas [1, 2, 3, 4]. La nueva topología obtenida se verificó experimentalmente en una fuente de pulsos de corriente de 2000A con precisión de 500ppm en la parte plana.

Además, se obtuvieron resultados experimentales en una topología a escala reducida, de 15 A, que respetó los tiempos de establecimiento, de subida y de bajada, y por supuesto, la precisión de 500 ppm.

Los resultados experimentales mostraron los siguientes puntos salientes:

- La topología basada en el concepto de estructuras mixtas mostró ser una adecuada solución para aplicaciones de alta corriente, alta precisión y bajos tiempos de subida y bajada.
- La topología demostró gran flexibilidad respecto a los cambios de carga y de amplitud del pulso requiriéndose modificar solamente los parámetros del sistema de control.
- La topología de estructuras mixtas mostró importantes ventajas respecto a las topologías multiestructura previas, a saber:
 - Los regímenes de funcionamiento de los generadores de corriente son uniformes durante su operación por lo que no se requieren controles de corriente específicos.
 - Se redujo el consumo de potencia y las exigencias de los interruptores dado que los mismos operan únicamente en las etapas donde son utilizados.
 - Fue posible mejorar el ajuste de las condiciones de tensión y corriente al inicio del flat-top lo que permitió una reducción del 35 % en la duración del transitorio y del 60 % en su amplitud.
- Se obtuvo una precisión de 360 ppm, y tiempos de subida y bajada cercanos a 1 ms para lo que se requirió aplicar una tensión de 2,1 kV.
- La topología se compone de 3 bancos de capacitores, 7 diodos, 8 transistores, 2 inductores y 1 capacitor, además de la carga.

Nomenclatura

CE	Convertidor Estático
RIF	Reglas de Interconexión de Fuentes
RMS	Root Mean Square
PWM	Pulsed Width Modulation
IGBT	Insulated Gate Bipolar Transistor
BJT	Bipolar Junction Transistor
MOSFET	Metal Oxide Semiconductor Field Effect Transistor
FPGA	Field Programmable Gate Array
VHDL	Very High Speed Integrated Circuit Hardware Description Language
ADC	Analog-to-Digital Converter
DAC	Digital-to-Analog Converter

Capítulo 1

Introducción

En el área de electrónica de potencia existen aplicaciones en las cuales se requieren convertidores de potencia capaces de cumplir con especificaciones que resultan muy dispares durante diferentes períodos de tiempo. En algunos casos, estas especificaciones en conjunto no pueden ser cumplidas por medio de un único convertidor que opere en forma continua, debido a las exigencias extremas que recaen sobre los dispositivos semiconductores [5, 6, 7, 8]. Para tales casos, los miembros del Laboratorio de Instrumentación y Control (LIC, UNMdP), con la participación del tesista, desarrollaron un nuevo esquema de conversión, que dio origen al Convertidor Multiestructura [9].

Convertidores Multiestructura

En la [Figura 1.1](#) se muestra un diagrama genérico de un Convertidor Multiestructura. Estos convertidores se componen de un arreglo de estructuras de conversión con diferentes capacidades de tensión, corriente, potencia, frecuencia de conmutación, dinámica y/o precisión que pueden operar de forma alternada o simultánea. Se entiende como estructura a un arreglo de componentes que mediante el comando apropiado permiten cumplir una función determinada. Las

mismas pueden ser consideradas como fuentes de tensión o de corriente, dependiendo de la naturaleza de su salida, y se asume que cuentan con la capacidad de generar formas de onda arbitrarias. Dichas estructuras se interconectan en forma secuencial durante diferentes períodos de tiempo a los cuales se los define como etapas de operación. Al bloque encargado de gestionar las interconexiones se lo identifica en la figura como Control Secuencial. La Estructura de Interconexión se compone de un arreglo de componentes pasivos que conforman un convertidor de potencia el cual permite, para cada etapa de operación, interconectar las estructuras y la carga ya sea en serie, en paralelo o como una combinación de ambas, dependiendo de los requerimientos de la aplicación.

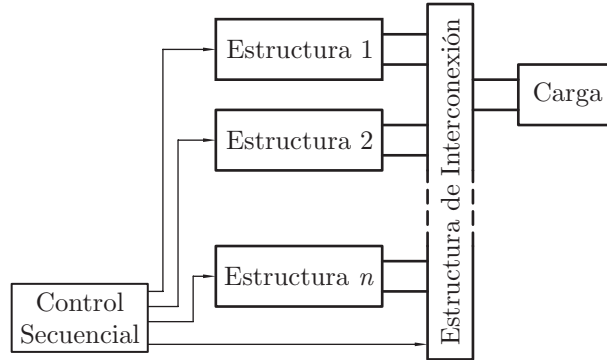


Figura 1.1: Esquema genérico de un Convertidor Multiestructura.

El Convertidor Multiestructura permite cumplir con requerimientos extremos, mientras que en forma individual, cada estructura debe cubrir únicamente exigencias reducidas, asociadas a las etapas de operación en las que está activa. Esto permite la utilización de dispositivos semiconductores con especificaciones estándar.

A continuación, se describe al Convertidor Multiestructura propuesto en [9], al solo efecto de alcanzar una mejor comprensión de las virtudes de las Topologías Multiestructura en una aplicación exigente.

Convertidor Multiestructura aplicado a una Fuente de Corriente Pulsada

Las Fuentes de Corriente Pulsada se utilizan para generar pulsos de alta corriente sobre cargas RL con elevada precisión en la parte plana. Además, por cuestiones de rendimiento de potencia y calentamiento de la carga, se busca obtener pulsos con reducido valor RMS (Root Mean Square) [10, 11, 12, 13, 14, 15].

Un pulso de corriente rectangular resulta la solución con mínimo valor RMS. Sin embargo, debido a la característica inductiva de la carga, este perfil de corriente implicaría la aplicación de una tensión infinita durante la subida y la bajada. Considerando esto, una forma de onda trapezoidal con la mayor pendiente posible, compatible con los dispositivos de conmutación, resulta la solución más adecuada. En la Figura 1.2 se muestran la corriente i_O y la tensión v_O en la carga para esta clase de pulsos.

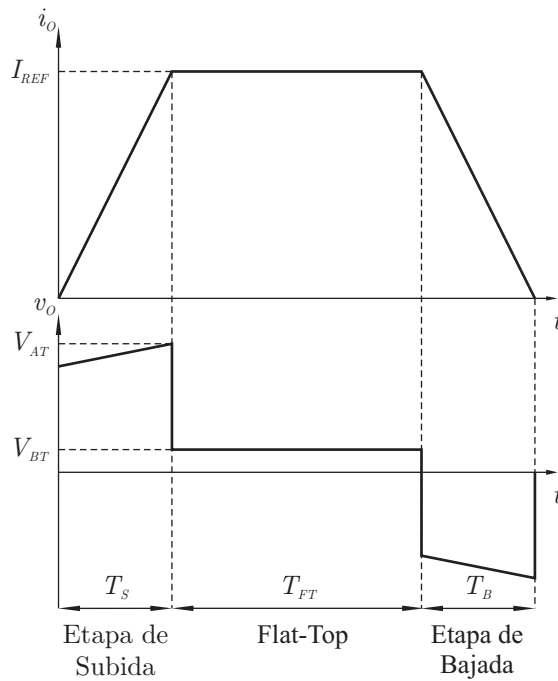


Figura 1.2: Forma de onda trapezoidal de corriente sobre la carga y tensión aplicada a la misma.

Como se observa en la figura, durante las etapas de subida y bajada, se requiere aplicar una tensión V_{AT} (Alta Tensión), la cual se calcula de forma de alcanzar la corriente de flat-top, I_{REF} , en un tiempo de subida T_S (1.1).

$$V_{AT} = \frac{I_{REF}L}{T_S} + I_{REF}R \approx \frac{I_{REF}L}{T_S} \quad (1.1)$$

donde L y R son, respectivamente, la inductancia y la resistencia de la carga. El segundo término de (1.1) se considera despreciable en esta etapa debido a que, para cargas típicas, la constante de tiempo L/R es mucho mayor que el tiempo de subida T_S .

Durante la etapa de corriente plana (flat-top), es necesario aplicar una tensión V_{BT} (Baja Tensión) la cual corresponde a la caída de tensión en la componente resistiva de la carga ($V_{BT} = I_{REF}R$). Bajo la misma consideración respecto a la constante de tiempo de las cargas típicas, V_{AT} resulta muy superior a V_{BT} .

Los requerimientos de estas fuentes pueden ser resumidos como:

- Generar pulsos de elevada corriente y corta duración sobre cargas inductivas (del orden de kiloamperes, milisegundos y milihenrys).
- Minimizar los tiempos de subida y bajada de la corriente (del orden de centenas de microsegundos). Estos tiempos implican elevadas velocidades en la subida y bajada de la corriente (di/dt), lo que conlleva a la necesidad de aplicar grandes tensiones (del orden de kilovolts).
- Obtener una corriente de flat-top con elevada precisión (del orden de centenas de partes por millón).

La Topología Multiestructura desarrollada en [9] se basa en la interconexión secuencial de tres estructuras convertidoras independientes (Figura 1.3). Una estructura de elevada tensión, V_{ATA_CBF} (Alta Tensión, Alta Corriente y Baja

Frecuencia), se utiliza en las etapas de subida y bajada de la corriente para cumplir con los reducidos tiempos de ascenso y descenso. Una segunda estructura, compuesta de un convertidor interleaved de baja tensión controlado en corriente, $I_{B_T A_C M_F}$ (*Baja Tensión, Alta Corriente y Media Frecuencia*), provee el valor medio de la corriente a la carga durante el flat-top con velocidad de conmutación media y, como consecuencia, precisión insuficiente. Por último, una estructura de baja tensión, baja corriente y alta velocidad, $I_{B_T B_C A_F}$ (*Baja Tensión, Baja Corriente y Alta Frecuencia*), es utilizada en la misma etapa para alcanzar la precisión requerida.

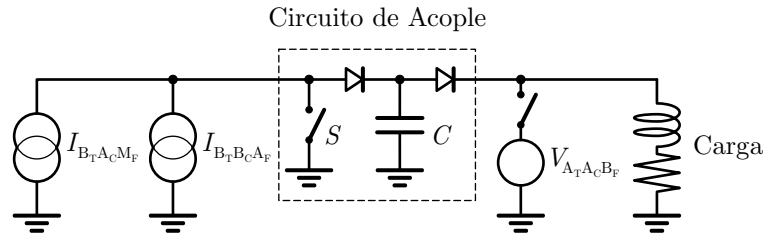


Figura 1.3: Esquema funcional del Convertidor Multiestructura desarrollado en el LIC.

Considerando que durante esta tesis se hará mención a una cantidad numerosa de estructuras con diferentes características, se adopta una notación que asocia a las mismas con sus capacidades de *Tensión*, *Corriente* y *Frecuencia* de conmutación, indicándose éstas como *Baja*, *Media* o *Alta*. Esta denominación pretende ser autocontenida y sintética, de forma de facilitar al lector el seguimiento del texto.

La operación del convertidor comienza en la etapa de subida, donde, en forma simultánea, la fuente de alta tensión se conecta a la carga y, el generador $I_{B_T A_C M_F}$ se conecta a masa por medio del interruptor S . En estas condiciones, mientras la corriente de carga crece, $I_{B_T A_C M_F}$ se estabiliza a I_{REF} de forma de minimizar

las diferencias entre ambas corrientes al arribar al flat-top. Los diodos de acople permanecen apagados separando al circuito en dos bloques.

Una vez alcanzada la corriente de flat-top en la carga, la fuente de alta tensión se desconecta y se abre el interruptor S permitiendo la interconexión de ambos bloques por medio del circuito de acople. En este instante, el manejo de la alta corriente conmuta entre las fuentes $V_{A_{TAC}B_F}$ e $I_{B_{TAC}M_F}$. Como el generador $I_{B_{TAC}M_F}$ y la carga se interconectan con corrientes instantáneas cercanas a I_{REF} pero no necesariamente idénticas, resulta necesario el agregado del capacitor C para evitar sobretensiones. Se enciende además la fuente de corriente $I_{B_{TB}A_F}$ la cual debe corregir el posible transitorio de acoplamiento debido a las diferencias entre $I_{B_{TAC}M_F}$ y la corriente de carga, y entre el valor de tensión instantáneo en C y el correspondiente a régimen permanente.

Al finalizar el flat-top, la energía almacenada en la carga se recupera mediante la fuente de alta tensión.

Problemática

Las Topologías Multiestructura constituyen un aporte muy novedoso en el área de electrónica de potencia donde la primer publicación asociada a esta filosofía fue presentada en [16]. Por tal razón, si bien han demostrado un funcionamiento satisfactorio [9, 16, 17], aún no se registra en la bibliografía un procedimiento formal de diseño.

En los convertidores multiestructura, puede ocurrir que dos estructuras que operan en forma independiente, se deban relevar para controlar una misma variable durante dos etapas sucesivas de operación. En caso de cumplirse esta condición, para evitar discontinuidades en la variable controlada, ambas estructuras deben presentar igual magnitud en el instante de transición entre las mismas.

Para lograr este objetivo, la estructura encargada de operar en segunda instancia debe comenzar a funcionar anticipadamente a la transición y de forma aislada para equilibrar su magnitud con la de la estructura que opera en primera instancia. Sin embargo, en la práctica es posible alcanzar magnitudes similares pero resulta imposible igualarlas debido a limitaciones físicas, con lo cual las discontinuidades se pueden reducir pero no eliminar. Además, el funcionamiento de las estructuras en etapas donde son prescindibles para la operación del convertidor, trae como consecuencia el incremento en el tiempo de operación de la estructura en cuestión y, por lo tanto, la pérdida de eficiencia y la reducción en la vida útil de los dispositivos semiconductores. En relación a la operación de estructuras en diferentes etapas, en el caso de que las condiciones de funcionamiento resultaran dispares, esto conduce a un aumento de la complejidad en su diseño.

De los párrafos anteriores, se evidencia la necesidad de contar con un procedimiento de diseño que conduzca de forma ordenada a una Topología Multiestructura optimizada en términos de simplicidad, cantidad de componentes, consumo de potencia y generación de transitorios.

Objetivos

El objetivo principal de esta tesis es desarrollar un procedimiento metódico para el diseño de Convertidores Multiestructura basado en el concepto de síntesis de convertidores estáticos y eliminación de redundancias con el objetivo de obtener topologías con menor cantidad de componentes, mayor rendimiento, mayor simplicidad en el control, menores transitorios y mayor vida útil del convertidor.

Como una demostración de las virtudes del método de síntesis propuesto, se aplicó esta metodología al diseño de un convertidor con las mismas especificaciones que la Fuente de Corriente Pulsada presentada en [9]. Como resultado,

se arriba a una Topología Multiestructura simplificada con mejores características de funcionamiento. Además, a partir de la aplicación del método propuesto surgen nuevas estructuras de conversión que comparten los elementos reactivos a las cuales se les otorga la denominación de Estructuras Mixtas. Dichas estructuras, que serán explicadas más adelante, reducen los transitorios de conexión mediante la eliminación de transiciones entre elementos reactivos con diferentes magnitudes.

Hasta aquí se han analizado las características de las Topologías Multiestructura y la problemática asociada. Luego, en el [Capítulo 2](#), se continuará con la descripción y ejemplificación del procedimiento de diseño propuesto.

Organización de la tesis

La organización de este trabajo se divide en 5 capítulos y 6 apéndices como se indica a continuación:

- En el [Capítulo 1](#) se presenta la problemática relativa a los Convertidores Multiestructura y se describen los objetivos de la tesis.
- En el [Capítulo 2](#) se explica el procedimiento propuesto para la síntesis de Convertidores Multiestructura y se lo evalúa mediante su aplicación a la problemática de las Fuentes de Corriente Pulsada. Se presentan además las Estructuras Mixtas y se evalúan sus beneficios en relación a los arreglos de estructuras independientes. Mediante la aplicación de estos conceptos, se desarrolla una nueva topología para Fuentes de Corriente Pulsada.
- En el [Capítulo 3](#) se explica el principio de funcionamiento de la topología propuesta y se estudia el sistema de control utilizado el cual comprende el control de interconexión secuencial de estructuras, los controles locales de cada una de las estructuras y los diferentes lazos de regulación utilizados.

- En el [Capítulo 4](#) se aplica el Convertidor Multiestructura con Estructura Mixta a una fuente de 2000A, 3000V y 500ppm y se presentan los resultados experimentales obtenidos con la misma.
- En el [Capítulo 5](#) se listan las principales conclusiones de esta tesis.
- En el [Apéndice A](#) se presenta una breve reseña acerca del método de síntesis de convertidores estáticos, el cual será utilizado como base para el nuevo método de diseño propuesto para Convertidores Multiestructura.
- El [Apéndice B](#) comprende un estudio térmico teórico de los dispositivos semiconductores realizado para estimar el tiempo de vida media de estos componentes.
- En el [Apéndice C](#) se realiza un análisis del comportamiento transitorio del convertidor al inicio del flat-top tendiente a obtener las ecuaciones que modelan la evolución temporal de las variables.
- En el [Apéndice D](#) se describe la implementación del sistema de control sobre una plataforma digital.
- En el [Apéndice E](#) se evalúan los aspectos relativos al cálculo de los valores de capacidad de los bancos de capacitores utilizados como alimentación de la topología propuesta.
- En el [Apéndice F](#) se describen las consideraciones de diseño asociadas a la construcción de la Fuente de Corriente Pulsada de 2000A, 3000V y 500ppm.

Capítulo 2

Síntesis de Convertidores Multiestructura

En este capítulo, se presenta una técnica formal para el diseño de Convertidores Multiestructura. Como ejemplo, la técnica propuesta será aplicada al desarrollo de una nueva Topología Multiestructura la cual permite mejorar el desenvolvimiento de las topologías multiestructura previas. En este capítulo se propone además una mejora, la cual consiste en un arreglo de estructuras independientes acopladas por medio de un único elemento reactivo tendiente a reducir los transitorios, al que se lo denominó Estructura Mixta.

En la [Sección 2.1](#) se describe el método propuesto para el diseño de las Topologías Multiestructura. En la [Sección 2.2](#) se aplica la metodología propuesta al diseño de una Fuente de Corriente Pulsada. Finalmente, en la [Sección 2.3](#) se presentan las principales conclusiones del capítulo.

2.1. Método propuesto para el diseño de Topologías Multiestructura

El método propuesto de síntesis de topologías multiestructura se realiza en cinco pasos, los cuales se resumen en el diagrama de flujo de la [Figura 2.1](#) y serán explicados individualmente en las secciones siguientes.

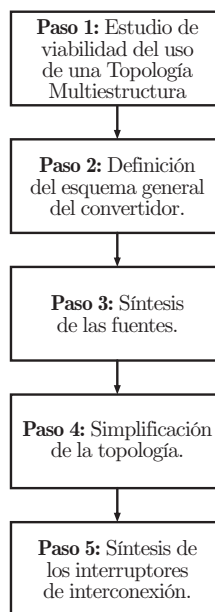


Figura 2.1: Diagrama de flujo de los pasos del procedimiento de diseño de Topologías Multiestructura.

2.1.1. Paso 1: Estudio de viabilidad del uso de una Topología Multiestructura a partir de las exigencias de la aplicación.

Se comienza por determinar los requerimientos máximos del convertidor y verificar si pueden ser cumplidos por medio de una topología convencional. Si no fuera posible, se evalúa si el convertidor es apto para ser sintetizado por medio

de una Topología Multiestructura. Para esto, se evalúa si la operación del convertidor puede ser dividida en diferentes etapas temporales, determinando en caso afirmativo las exigencias en cada una de ellas. Si las exigencias del mismo están segmentadas, entonces el convertidor es apto para la utilización de una Topología Multiestructura, con lo cual se puede continuar con el proceso de síntesis (Paso 2). En la [Figura 2.2](#) se muestra el diagrama de flujo correspondiente al Paso 1.

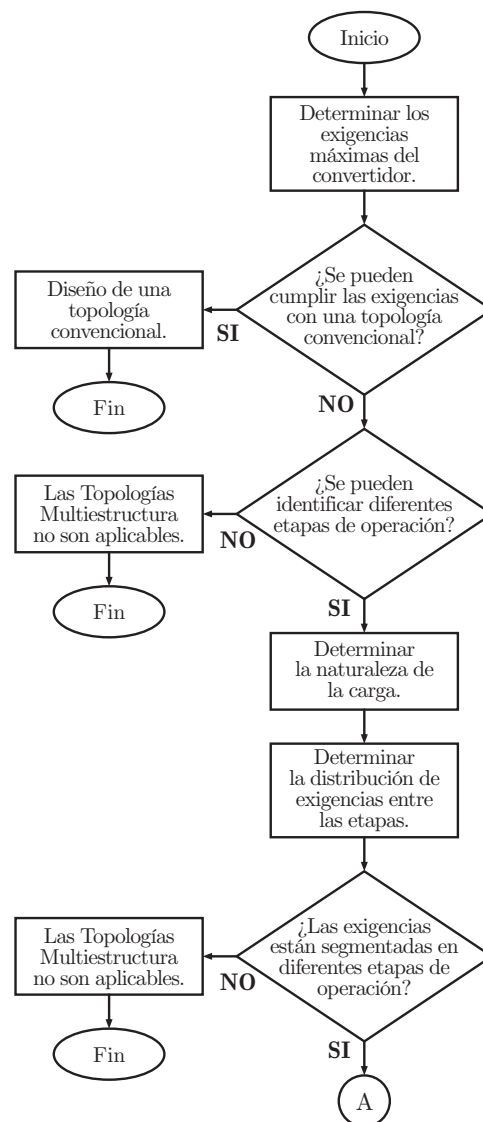


Figura 2.2: Diagrama de flujo del Paso 2 del procedimiento de diseño de Topologías Multiestructura.

2.1.2. Paso 2: Definición del esquema general del convertidor (cantidad, distribución y especificaciones de las fuentes).

En este paso, el objetivo es obtener de forma esquemática la topología Multiestructura. Para comenzar, se selecciona la fuente apropiada para interconectarse con la carga de forma de cumplir con las Reglas de Interconexión de Fuentes (RIF) (ver [Apéndice A](#)). A continuación, se identifican las limitaciones, dividiendo las fuentes que no puedan cumplir con las exigencias de operación en arreglos de fuentes con diferentes requerimientos de forma de distribuir dichas exigencias. Estos arreglos se realizan respetando siempre el cumplimiento de las RIF y estableciendo convenientemente la función que realiza cada fuente. Una vez hecho esto, se debe evaluar si todas las fuentes pueden ser implementadas. Si esto no fuera posible, a través de un proceso iterativo, se dividen nuevamente aquellas fuentes que no pueden ser implementadas, hasta lograr que todas las subestructuras sean implementables. Una vez logrado esto, se analizan las fuentes que controlan la misma variable durante etapas sucesivas de operación. En caso de existir fuentes que operan en estas condiciones, se rediseña el conjunto para obtener una topología que minimice los transitorios, lo que dará lugar a estructuras que se denominarán Mixtas. En la [Figura 2.3](#) se muestra un diagrama de flujo donde se resumen las operaciones del Paso 2.

Al finalizar este paso, se conocen la cantidad de fuentes, sus capacidades individuales y el esquema adoptado para su interconexión. Luego se continúa el proceso de diseño con el Paso 3, en el cual se realiza la síntesis de las diferentes fuentes.

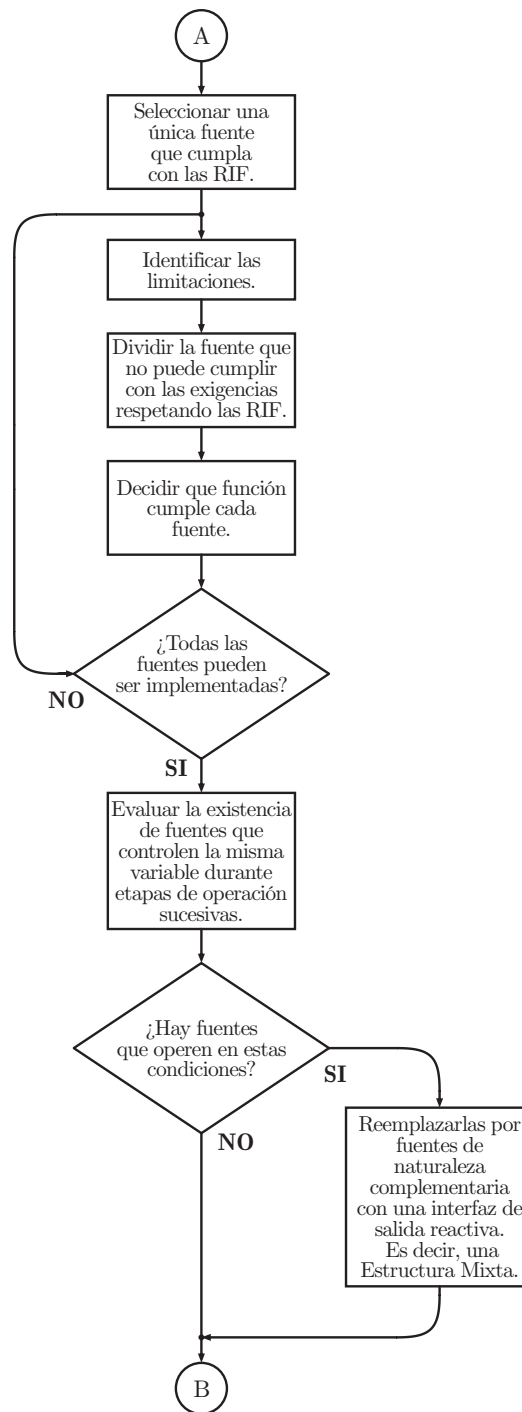


Figura 2.3: Diagrama de flujo del Paso 1 del procedimiento de diseño de Topologías Multiestructura.

2.1.3. Paso 3: Síntesis de las fuentes.

En este paso se realiza la síntesis de las fuentes. Para esto, se hace uso de un procedimiento metódico [18] resumido en el [Apéndice A](#) el cual, partiendo de las características de los circuitos conectados a la entrada y a la salida de cada estructura y del comportamiento deseado de la misma, permite arribar a una implementación con mínima cantidad de componentes denominada Convertidor Estático (CE). Dicho procedimiento se basa en el análisis de las condiciones de operación estáticas de los interruptores. Este paso concluye con la determinación de los componentes que conforman cada uno de los CE. En la [Figura 2.4](#) se muestra un diagrama de flujo el cual resume el proceso de síntesis de los CEs.

Dado que el método de síntesis de los CEs aplicado en este paso conduce a circuitos con mínima cantidad de componentes, no van a existir redundancias entre los componentes que integran cada uno de los CEs. Se entiende por redundancia cuando dos o más componentes permiten llevar a cabo la misma función y se cumplen además las condiciones para que puedan ser simplificados. Sin embargo, dado que cada estructura se sintetiza individualmente, en el circuito completo pueden existir redundancias entre componentes de diferentes CEs. En el Paso 4 se realiza un análisis tendiente a detectar y simplificar las posibles redundancias.

2.1.4. Paso 4: Simplificación de la topología.

El análisis de redundancias comienza por identificar las funciones que debe cumplir el convertidor en cada etapa de operación. Luego se evalúan todas las combinaciones de interruptores que permiten arribar al cumplimiento de cada función. En caso de existir un conjunto de combinaciones de interruptores que permitan cumplir todas las funciones sin hacer uso de algún interruptor, se infiere que este interruptor es redundante y puede ser simplificado. A continuación, se

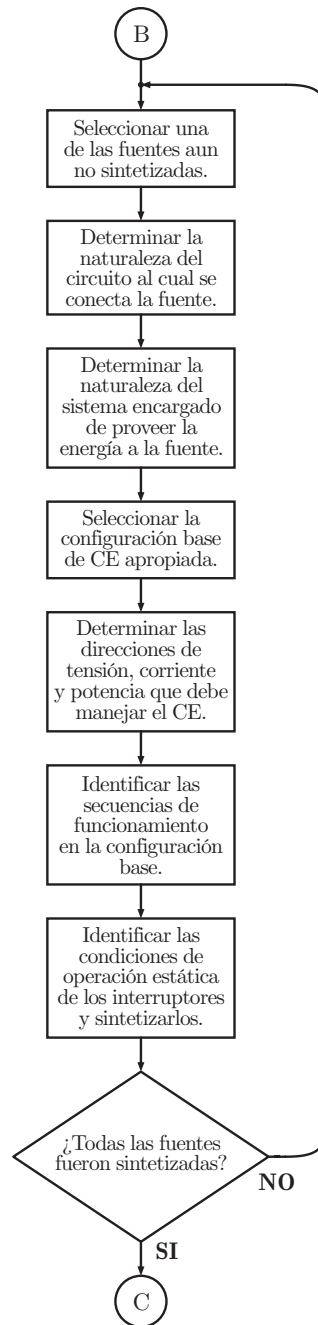


Figura 2.4: Diagrama de flujo del Paso 3 del procedimiento de diseño de Topologías Multiestructura.

evalúa si es posible un replanteo del circuito el cual conduzca a mejorar las condiciones de operación del convertidor. Es decir, por ejemplo, evitar la operación flotante de bloques del circuito. En la [Figura 2.5](#) se muestra el diagrama de flujo

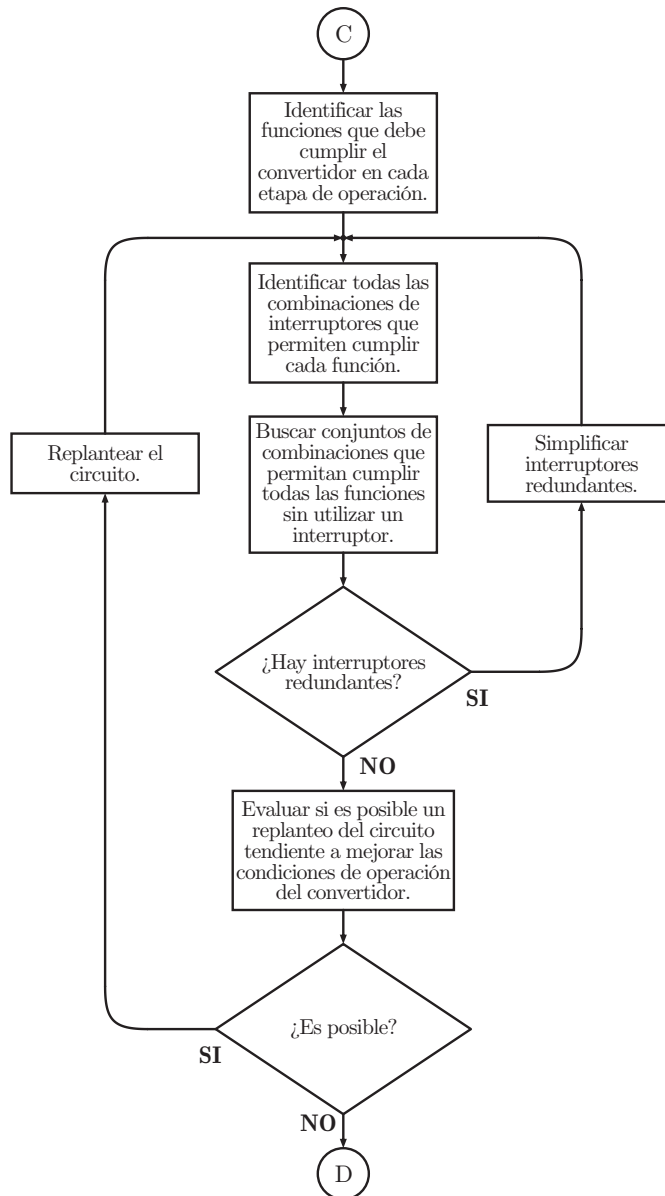


Figura 2.5: Diagrama de flujo del Paso 4 del procedimiento de diseño de Topologías Multiestructura.

asociado a este paso. En este punto, se han sintetizado todos los componentes excepto los interruptores encargados de realizar la interconexión entre estructuras, los cuales se sintetizan en el Paso 5.

2.1.5. Paso 5: Síntesis de los interruptores de interconexión.

En este paso, se identifican en cada etapa de operación las direcciones de las tensiones y corrientes aplicadas sobre los interruptores de interconexión de estructuras. En base a estos datos se sintetizan dichos interruptores. En la [Figura 2.6](#) se muestra el diagrama de flujo asociado a este paso.

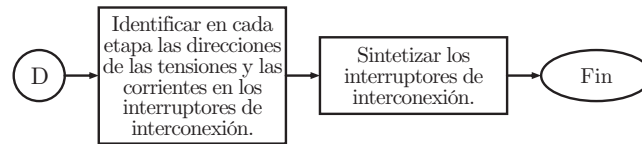


Figura 2.6: Diagrama de flujo de los Paso 5 del procedimiento de diseño de Topologías Multiestructura.

A continuación, se aplicará el método propuesto al caso de Fuentes de Corriente Pulsada con el objetivo de contribuir a la comprensión del mismo y demostrar las mejoras logradas mediante su aplicación

2.2. Aplicación del método de síntesis de Convertidores Multiestructura al caso de Fuentes de Corriente Pulsada

A continuación se seguirán los diferentes pasos del proceso de síntesis propuesto para el diseño de una Topología Multiestructura para una Fuente de Corriente Pulsada. Se utiliza esta aplicación debido a que es muy exigente en cuanto a tensión, corriente y precisión permitiendo evaluar exhaustivamente el método propuesto.

2.2.1. Paso 1: Estudio de viabilidad del uso de una Topología Multiestructura a partir de las exigencias de la aplicación.

Este paso tiene como fin, decidir si es viable la aplicación de una Topología Multiestructura. En primer lugar, se evalúa la posibilidad de sintetizar al convertidor por medio de una topología convencional con componentes comerciales. Para ello, se analizan las exigencias máximas del sistema. Como se explicó en el [Capítulo 1](#), en el caso de las Fuentes de Corriente Pulsada, las exigencias totales son alta tensión y corriente, y elevada precisión. Particularmente, en la fuente presentada en [\[16\]](#) se requiere aplicar 2kA, 3kV y controlar con una precisión de 500ppm. Mediante un análisis de las especificaciones se determinó que las exigencias extremas imposibilitan la síntesis mediante un convertidor convencional. En segundo lugar, se analiza la factibilidad de utilizar una Topología Multiestructura. En las Fuentes de Corriente Pulsada se pueden diferenciar tres etapas de operación, siendo estas la etapa de subida, la etapa de flat top y la etapa de bajada. Las exigencias son similares en las etapas de subida y bajada donde se requiere alta tensión y corriente pero no es de importancia la precisión. En cambio, las exigencias en la etapa de flat top distan mucho de estas últimas ya que se requiere de alta corriente pero baja tensión y elevada precisión. Aquí se observa una evidente segmentación de las exigencias, lo que conduce a continuar con la síntesis de una Topología Multiestructura. Para esto se procede a realizar el Paso 2.

2.2.2. Paso 2: Definición del esquema general del convertidor.

El Paso 2 comienza por seleccionar una única fuente para cubrir todas las especificaciones. En principio, se tiene en cuenta que la carga es inductiva, por lo tanto se considera que la misma se comporta, al menos de forma transitoria, como una fuente de corriente. Luego, para cumplir con las RIF el convertidor multiestructura debe actuar hacia la misma como una fuente de tensión, la cual se indica en la Figura 2.7 con la denominación $V_{A_T A_C A_F}$ junto con las exigencias de tensión y corriente.

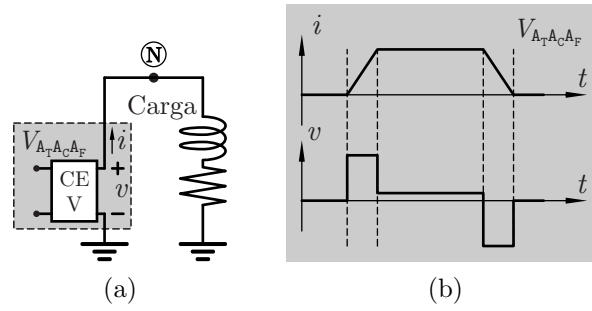


Figura 2.7: Esquema convertidor basado en una fuente de tensión.

En el esquema de la Figura 2.7a, como la corriente en la carga debe ser controlada con alta precisión durante la parte plana del pulso, la fuente $V_{A_T A_C A_F}$ debe poseer una buena respuesta dinámica para poder cumplir con esta especificación. Si $V_{A_T A_C A_F}$ fuese implementado mediante un CE tipo PWM (modulación por ancho de pulsos), su característica dinámica dependería de su frecuencia de funcionamiento. Por lo tanto, sería necesario un CE con elevada frecuencia de conmutación. Considerando que no es posible sintetizar un CE que cumpla con todas estas especificaciones simultáneamente, se procede a subdividir las exigencias analizando las formas de tensión, corriente y precisión necesarias en la carga.

En la [Figura 2.8a](#), se propone la conexión en paralelo de una fuente de corriente, $I_{A_TA_C M_F}$, y una de tensión, $V_{A_TB_C A_F}$. Este arreglo de fuentes se comporta como una nueva fuente de tensión, lo cual cumple con las RIF. Las formas de

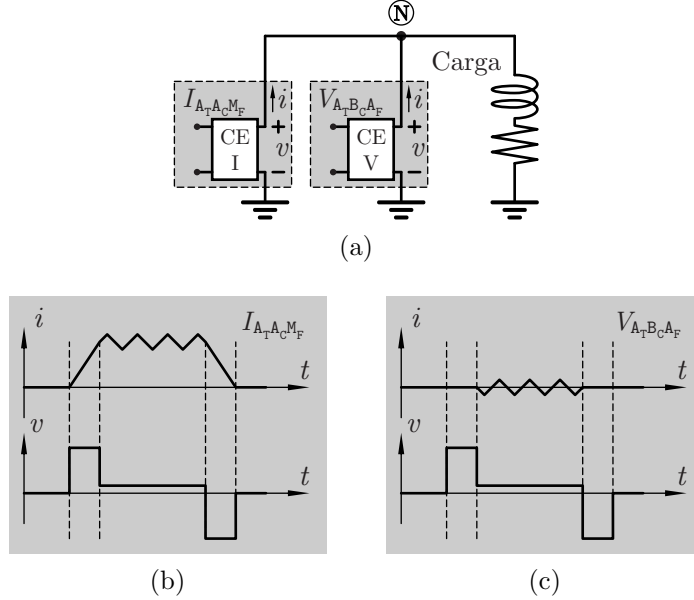


Figura 2.8: Esquema convertidor basado en una fuente de tensión y una de corriente conectadas en paralelo.

onda de tensión y corriente de salida de las fuentes $I_{A_TA_C M_F}$ y $V_{A_TB_C A_F}$ resultan ser las indicadas en las figuras [2.8b](#) y [2.8c](#). La fuente $I_{A_TA_C M_F}$ conduce ahora el grueso de la corriente de carga, mientras que la fuente $V_{A_TB_C A_F}$ debe corregir la diferencia entre esta última y la corriente de carga. Por lo tanto, la nueva fuente de tensión $V_{A_TB_C A_F}$ no está sujeta a imposiciones tan severas ya que se ha relajado la magnitud de corriente. En este esquema, la corriente en la carga está controlada por la fuente de tensión $V_{A_TB_C A_F}$.

En esta instancia, se debe verificar si existen fuentes que aún no pueden ser implementadas. Si se evalúan las exigencias de $V_{A_TB_C A_F}$, se observa que la corriente entregada por la misma ha sido reducida pero la tensión que debe manejar todavía es muy elevada, por lo que la misma no es capaz de alcanzar la precisión requerida en la etapa de flat top.

El siguiente paso consiste entonces en reducir la exigencia de alta tensión de la fuente $V_{A_TB_C A_F}$. Siguiendo rigurosamente el método de diseño habría que dividir la fuente para distribuir las exigencias. Sin embargo, como esta actúa sólo en la etapa de flat top, el uso de un interruptor que permita su desconexión en las etapas de subida y bajada resulta suficiente.

El esquema resultante de esta modificación se muestra en la [Figura 2.9a](#). En esta instancia, la fuente $V_{A_TB_C A_F}$ cambia su denominación a $V_{B_TB_C A_F}$ debido a la disminución del nivel de tensión. En la figura, se muestra también el interruptor $S_{V_{B_TB_C A_F}}$ encargado de la conexión de $V_{B_TB_C A_F}$. Las formas de onda de tensión y corriente de salida de la fuente $V_{B_TB_C A_F}$ se indican en la [Figura 2.9b](#).

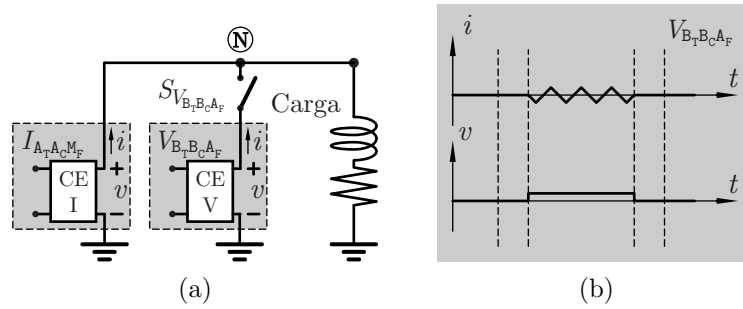


Figura 2.9: Esquema convertidor basado en una fuente de tensión (con interruptor de desconexión) y una de corriente conectadas en paralelo.

Una vez definida la estructura del convertidor se definirán ciertas consideraciones sobre la operación de los interruptores tendientes a asegurar el cumplimiento de las RIF.

La aplicación de este último esquema conduce a que $V_{B_TB_C A_F}$ opere con tensiones pequeñas y solamente con la corriente residual entre la corriente de carga y la entregada por $I_{A_TA_C M_F}$. Como consecuencia, la capacidad de controlar con la precisión requerida queda supeditada a que dicha corriente residual esté acotada. Sin embargo, esta condición aún no se puede alcanzar debido a que la capacidad de $I_{A_TA_C M_F}$ de controlar con bajo ripple, está limitada por las elevadas tensiones

que debe manejar. Esta limitación conduce a la necesidad de dividir la fuente $I_{A_T A_C M_F}$.

Para distribuir las exigencias de tensión se utilizan dos fuentes de corriente que operan en diferentes etapas. Una de alta tensión y corriente se ocupa de la subida y bajada y la otra de alta corriente pero baja tensión, y en consecuencia ripple reducido, que se ocupa del flat top. En la [Figura 2.10](#) se muestra el esquema de fuentes resultante junto con las exigencias de tensión y corriente de cada una de las estructuras.

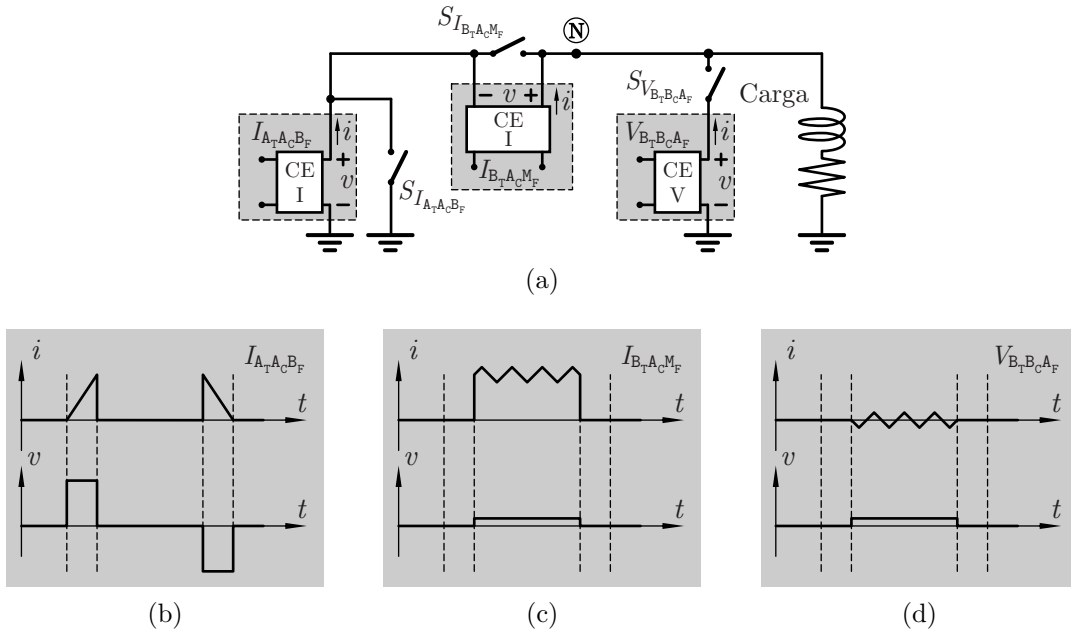


Figura 2.10: Esquema convertidor basado en dos fuentes de corriente y una de tensión (con interruptores de desconexión) conectadas en paralelo.

Como se puede observar en la figura, en esta instancia, las exigencias de todas las fuentes son aptas para la síntesis por medio de CEs. Por lo tanto, continuando con el procedimiento de síntesis, se realiza una búsqueda de fuentes que se releven para controlar una misma variable durante etapas sucesivas de operación.

Si se analizan nuevamente las formas de onda de la [Figura 2.10](#), se observa que las fuentes $I_{A_T A_C B_F}$ y $I_{B_T A_C M_F}$ controlan el grueso de la corriente durante las

etapas de subida y bajada, y durante la etapa de flat top, respectivamente. La transición entre las fuentes se produce al comienzo y al final del flat top. Por lo tanto, dado que no es factible controlar ambas fuentes para generar exactamente la misma corriente en el instante previo a la transición entre las mismas, se producirían discontinuidades. Con el objeto de evitar dichas discontinuidades se propone el concepto de Estructura Mixta. En este concepto, se utiliza un único inductor, L , en la salida del convertidor conectado a dos fuentes de tensión de diferentes magnitudes. El esquema resultante se muestra en la [Figura 2.11](#) junto con las formas de onda de tensión y corriente de salida de dichas fuentes. La fuente de alta tensión, V_{ATACBF} , ([Figura 2.11b](#)) opera en las etapas de subida y bajada en tanto que, la fuente de baja tensión, V_{BTACMF} , ([Figura 2.11c](#)) opera en la etapa de flat-top. En esta figura, se muestran además los interruptores $S_{V_{ATACBF}}$, $S_{V_{BTACMF}}$ y $S_{V_{BTBCAF}}$, asociados a la interconexión de V_{ATACBF} , V_{BTACMF} y V_{BTBCAF} , respectivamente. Considerando que esta nueva fuente permite cubrir dos rangos diferentes de funcionamiento en términos de tensión, corriente y frecuencia de operación, pero de manera no simultánea, la misma cambia su denominación de I_{ATACMF} a I_{MIXTA} . El concepto de Estructura Mixta será introducido formalmente en una instancia posterior de esta sección.

A continuación, se realizará un análisis para determinar las restricciones sobre la operación de $S_{V_{ATACBF}}$, $S_{V_{BTACMF}}$ y $S_{V_{BTBCAF}}$ respecto al cumplimiento de las RIF. Este análisis se dividirá en dos partes, una asociada a los interruptores conectados al nodo $\textcircled{M}$ y la otra asociada a los interruptores conectados al nodo $\textcircled{N}$.

En relación al nodo $\textcircled{M}$, en la [Figura 2.11a](#) se observan dos condiciones críticas respecto al cumplimiento de las RIF ya que, si se cierran los dos interruptores que conectan a V_{ATACBF} y V_{BTACMF} , las fuentes quedan conectadas en paralelo mientras que, si ambos interruptores permanecen abiertos, el inductor queda a

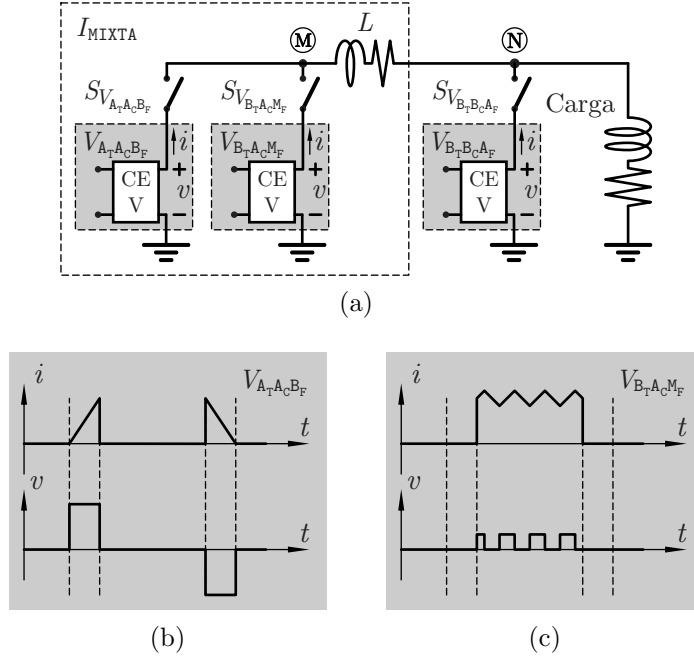


Figura 2.11: Esquema funcional del convertidor basado en estructuras convertidoras mixtas y exigencias de las fuentes.

circuito abierto. Estas restricciones respecto a los estados de los interruptores $S_{V_{A_T A_C B_F}}$ y $S_{V_{B_T A_C M_F}}$ serán consideradas durante el proceso de síntesis de forma de establecer que los mismos operen de manera complementaria.

Respecto al nodo $\textcircled{N}$, en el esquema de la [Figura 2.11a](#) se puede observar que I_{MIXTA} y $V_{B_T B_C A_F}$ actúan simultáneamente durante el flat-top, mientras que, fuera de esta etapa opera únicamente la fuente I_{MIXTA} . Como consecuencia de la desconexión de $V_{B_T B_C A_F}$, el esquema presenta dos fuentes de corriente conectadas en serie (I_{MIXTA} y la carga). Como se explica en el [Apéndice A](#), las RIF establecen que, en caso de conectarse dos fuentes de corriente en serie, se debe asegurar, en primer lugar, que al menos una de las mismas lo sea de forma instantánea y, en segundo lugar, que en el instante previo a la interconexión, las magnitudes de ambas corrientes sean iguales. La primera premisa se cumple debido a que la carga se comporta como una fuente de corriente de forma instantánea. Respecto a la segunda premisa, durante la secuencia de funcionamiento del convertidor

existen dos instantes críticos: el primero al inicio del pulso y el segundo al final del flat-top. En relación al primer caso, si se asume que tanto la fuente I_{MIXTA} como la carga iniciarán su operación con corriente cero, entonces el cumplimiento de las RIF está asegurado. En el segundo caso, en cambio, I_{MIXTA} entrega una corriente cuya magnitud es muy cercana a la de la corriente de carga pero no necesariamente igual debido a que esta fuente es de baja precisión. La diferencia entre estas dos corrientes es provista por $V_{B_TB_C A_F}$, por lo que, cuando la misma se desconecta al finalizar el flat-top, las corrientes de I_{MIXTA} y la carga pueden diferir. Por lo tanto, resulta necesario agregar un circuito adicional que brinde un Camino de Corriente Alternativo (CCA) para la corriente residual el cual se indica en la [Figura 2.12](#) como un bloque genérico. La implementación de este circuito se describe en la [Sección 2.2.5](#).

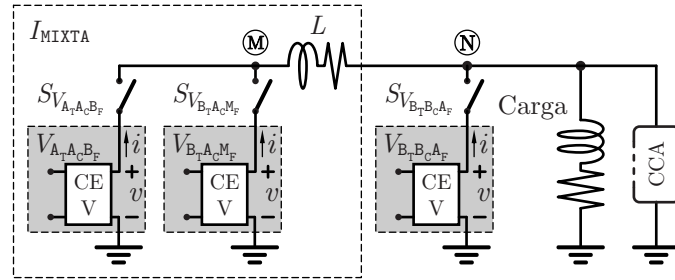


Figura 2.12: Aplicación del CCA.

En esta instancia, todas las fuentes que conforman la topología son aptas para ser implementadas. Además, se ha detectado la necesidad de una Estructura Mixta la cual fue implementada. Considerando esto, se da por finalizado el Paso 2, con lo cual se continúa con la síntesis de las fuentes mediante CEs aplicando el Paso 3.

A continuación, en la última parte de esta sección se busca formalizar el concepto de Estructura Mixta el cual surgió durante la definición del esquema general del convertidor. Las estructuras mixtas se definen como un arreglo de estructuras

independientes que se interconectan mediante elementos reactivos (capacitores e inductores) permitiendo cumplir distintas exigencias durante diferentes etapas de operación. El uso de elementos reactivos como interfaces de salida (capacitores en las fuentes de tensión e inductores en las de corriente) permite asegurar la continuidad ya sea en la tensión o la corriente entregada por la fuente. Estas nuevas estructuras se comportan como un único convertidor que comparte los elementos reactivos y utiliza semiconductores con características diferentes que actúan solamente en las etapas donde son requeridos.

En la [Figura 2.13](#) se muestran dos esquemas genéricos de estructuras mixtas para fuentes de tensión [\(a\)](#) y de corriente [\(c\)](#). Junto a éstas, se observan las soluciones clásicas basadas en la asociación de estructuras independientes para los casos de tensión [\(b\)](#) y de corriente [\(d\)](#).

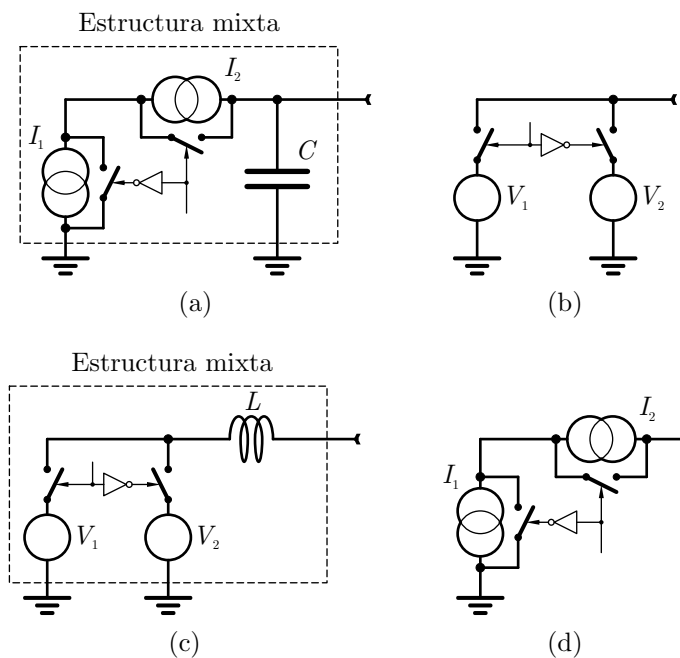


Figura 2.13: Ejemplos de estructuras mixtas de tensión [\(a\)](#) y de corriente [\(c\)](#) y versión clásica, basada en la asociación de estructuras independientes, de tensión [\(b\)](#) y de corriente [\(d\)](#).

Para facilitar la comprensión de las estructuras mixtas se adopta como ejemplo

para su explicación al caso de tensión y se compara la implementación basada en estructuras independientes con la basada en estructuras mixtas.

La solución clásica (b) utiliza dos estructuras independientes destinadas a cumplir individualmente las exigencias asociadas a cada una de las etapas de operación. En este esquema, para evitar la generación de un transitorio de tensión durante la transición desde la estructura V_1 hacia la V_2 , se requiere que la estructura V_2 opere anticipadamente de forma de igualar la tensión V_1 en el instante de transición. En una implementación práctica esta característica no siempre puede ser alcanzada con lo cual pueden existir transitorios.

La solución basada en una estructura mixta (a) se compone un arreglo serie de dos estructuras independientes de corriente, I_1 e I_2 , conectado en paralelo con un capacitor, C . En este esquema, el capacitor asegura la continuidad en la tensión durante la transición entre estructuras y actúa como un elemento de filtrado. Además, en esta configuración circuital no se requiere que las corrientes I_1 e I_2 sean iguales durante la transición con lo cual las estructuras no requieren ser operadas durante las etapas donde no son utilizadas.

Esta estrategia presenta dos ventajas principales: permite reducir los transitorios debidos a la conexión de componentes con diferentes condiciones iniciales y disminuye las pérdidas de energía en los semiconductores ya que éstos actúan solamente en las etapas donde son necesarios.

2.2.3. Paso 3: Síntesis de las fuentes.

En el paso anterior se dedujeron la cantidad, ubicación, naturaleza y rango de funcionamiento de las tres fuentes que componen el convertidor multiestructura propuesto (Figura 2.12). En este paso, se llevará a cabo la síntesis de dichas fuentes aplicando el método descrito en el Apéndice A.

En primer lugar se determina la naturaleza de las fuentes de entrada y salida de cada CE, indicándose con esto a la naturaleza del comportamiento de los circuitos conectados a la entrada y a la salida del mismo ([Apéndice A](#)). Para esto, en todos los casos se considera que la entrada es un banco de capacitores, el cual se comporta como una fuente de tensión. La utilización de un banco de capacitores cumple la función de entregar la energía de forma pulsada requerida para la generación del pulso de corriente permitiendo realizar su carga durante el período de inactividad entre pulsos. Esto conduce a una reducción en las exigencias del convertidor utilizado para su carga. Respecto de las fuentes de salida, su naturaleza depende del circuito al cual se conecta el CE, por lo que se evalúa en forma individual para cada estructura.

Síntesis de $V_{B_TB_C A_F}$

$V_{B_TB_C A_F}$ opera sólo durante la etapa de flat-top. En la [Figura 2.14a](#) se muestra el esquema general de fuentes del convertidor resaltando las partes que se encuentran activas durante dicha etapa. En este esquema, $V_{B_TB_C A_F}$ está conectado al nodo $\textcircled{N}$ junto con I_{MIXTA} y con la carga. Por lo tanto, la fuente de salida de $V_{B_TB_C A_F}$ es la conexión paralelo de una fuente de corriente, I_{MIXTA} , y un inductor, L , el cual de forma transitoria se comporta también como una fuente de

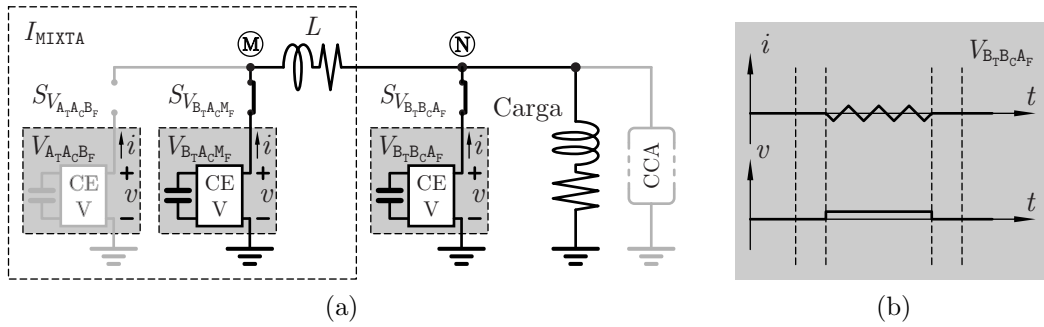


Figura 2.14: Operación de la estructura asociada a $V_{B_TB_C A_F}$ durante la etapa de flat-top.

corriente, con lo cual la naturaleza de $V_{B_TB_C A_F}$ resulta también de corriente.

Dado que las fuentes de entrada y salida son de diferente naturaleza, para la síntesis de $V_{B_TB_C A_F}$ se puede utilizar la configuración base de CE de conversión directa (ver [Apéndice A](#)). Sin embargo, si se utiliza directamente esta configuración, la tensión aplicada a la carga resulta pulsada lo que conduce a una perturbación sobre la corriente de carga. Además, la amplitud de dicha perturbación depende de la frecuencia de operación del CE, la cual está acotada por los límites tecnológicos de los dispositivos, y del valor de inductancia de la carga, que es una especificación de diseño y no puede ser modificado. Como consecuencia, no se puede modificar libremente la magnitud del ripple de corriente y por lo tanto la precisión alcanzada no puede ser ajustada arbitrariamente.

Para reducir el efecto de la tensión pulsada del puente, se adiciona una etapa de filtrado a la salida de $V_{B_TB_C A_F}$. Se utiliza un filtro LC ya que es la solución más simple que permite hacer uso de la misma configuración base. Esto es posible ya que presenta la propiedad de conservar la naturaleza de fuente de tensión presentada por el puente. El esquema resultante se muestra en la [Figura 2.15](#) donde la fuente de corriente, i_{out} , representa el comportamiento del circuito conectado a la salida de $V_{B_TB_C A_F}$. Por otra parte, la fuente de tensión de entrada, v_{in} , represen-

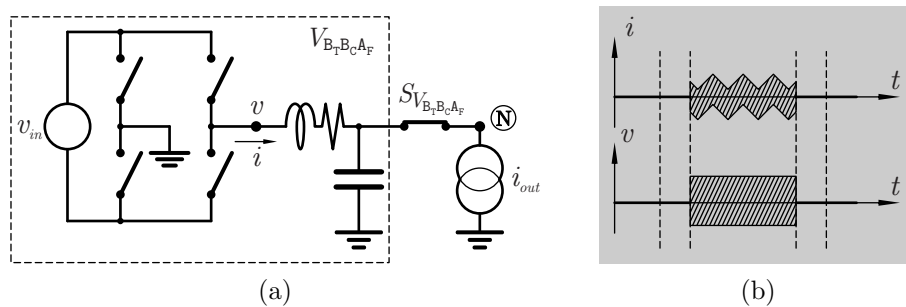


Figura 2.15: Operación del convertidor $V_{B_TB_C A_F}$ con la etapa de filtrado asociada.

ta el comportamiento del banco de capacitores utilizado como alimentación de $V_{B_TB_C A_F}$.

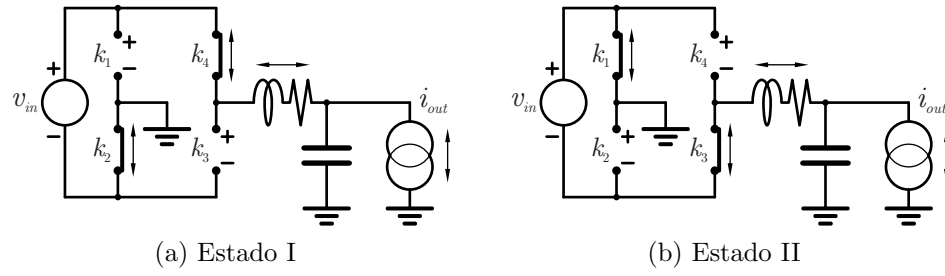
En la [Figura 2.15b](#) se muestran las formas de onda de tensión y corriente presentes a la salida del puente previo al filtrado. Finalmente, el filtro entrega las magnitudes previstas para $V_{B_TB_C A_F}$.

En la [Figura 2.15b](#) se observa que la tensión es bidireccional. Considerando que el valor medio de dicha tensión debe ser siempre positivo, los niveles de tensión aplicados por el convertidor podrían ser también unidireccionales. Sin embargo, dicho valor medio puede ser muy reducido (función de la resistencia de carga y de la magnitud de la corriente de flat-top), lo que conduce a un ciclo de trabajo cercano a cero. Además, la diferencia de magnitud entre la tensión entregada por el CE y la tensión en $\textcircled{N}$ determina el di/dt de la corriente del inductor de filtro lo que está vinculado con la dinámica de la fuente $V_{B_TB_C A_F}$ durante la etapa de flat-top.

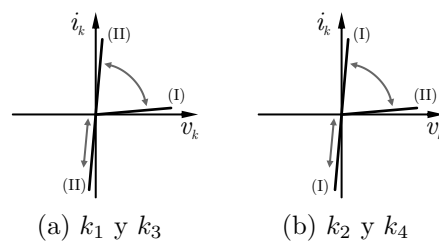
Como consecuencia, resulta más apropiada la adopción de un convertidor con capacidad de tensión bidireccional. Asociado a los niveles de tensión entregados existen dos estados topológicos denominados Estado I (tensión positiva a la salida del puente) y Estado II (tensión negativa a la salida del puente).

Dado que las polaridades de las tensiones de entrada y de salida de $V_{B_TB_C A_F}$ son siempre positivas, el sentido de transferencia de energía queda determinado por la dirección de la corriente media de salida. Dicha corriente surge de la diferencia entre el valor medio de la corriente del generador I_{MIXTA} y la corriente de la carga. Como premisa de diseño esta diferencia es nula pero a los efectos prácticos pueden existir errores que deriven en residuos de corriente tanto positivos como negativos. Por lo tanto, el sentido de transferencia de energía de este convertidor resulta reversible de manera permanente.

La secuencia necesaria para cumplir con las características mencionadas se muestra en la [Figura 2.16](#) donde se distinguen los dos estados topológicos adoptados por el convertidor.

Figura 2.16: Secuencia de operación de $V_{B_TB_C A_F}$.

En la [Figura 2.16](#) se indican los sentidos de las tensiones y corrientes aplicadas sobre los interruptores donde se puede observar que en esta estructura son las mismas para todos los dispositivos. Los sentidos de las tensiones cuando los interruptores se encuentran apagados son unidireccionales en tanto que, los sentidos de las corrientes cuando los mismos están en estado de conducción son bidireccionales. Dichas tensiones y corrientes son impuestas por la fuente de tensión de entrada y por la fuente de corriente de salida, respectivamente. A partir de la observación de estas características se puede generar el gráfico $i_K(v_K)$ asociado a los interruptores, el cual se indica en la [Figura 2.17](#). Como se observa, es el co-

Figura 2.17: Características estáticas de los interruptores k_{1-4} para la estructura $V_{B_TB_C A_F}$.

mando de los interruptores con corriente positiva el que determina el cambio de estado topológico mientras que los interruptores con corriente negativa conmutan en forma natural.

A partir del gráfico $i_K(v_K)$ se deduce que se requiere utilizar un interruptor de tres segmentos. Como se describe en el [Apéndice A](#), estas características pueden ser alcanzadas mediante una asociación de dos dispositivos de dos segmentos, uno tipo T y otro tipo D. Finalmente, haciendo uso de estos dispositivos, el circuito resultante para la fuente $V_{B_TB_C A_F}$ es el indicado en la [Figura 2.18](#). En esta figura, el banco de capacitores de entrada adopta el nombre de $C_{B_TB_C A_F}$.

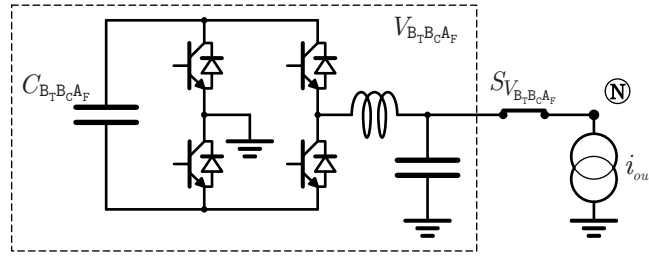


Figura 2.18: Implementación de $V_{B_TB_C A_F}$.

Síntesis de I_{MIXTA} : $V_{B_TA_C M_F}$

Al igual que en el caso anterior, $V_{B_TA_C M_F}$ opera únicamente durante la etapa de flat-top, cuando se conecta por medio del nodo $\textcircled{M}$ al inductor L , el cual se comporta de forma transitoria como una fuente de corriente. En función de esto, se considera que la naturaleza de la fuente de salida es del tipo corriente, i_{out} . En la [Figura 2.19a](#) se muestra el esquema general de fuentes del convertidor resaltando las partes que se encuentran activas durante la etapa de flat-top.

Dado que las fuentes de entrada y salida del convertidor son de distinta naturaleza, el diseño se realiza partiendo de la configuración base de CE de conversión directa (ver [Apéndice A](#)).

En la [Figura 2.19b](#) se muestran las formas de onda de tensión y corriente de salida del CE. Como se puede ver, la corriente es unidireccional y se requiere generar una tensión con valor medio positivo. Debido a que la estructura $V_{B_TA_C M_F}$

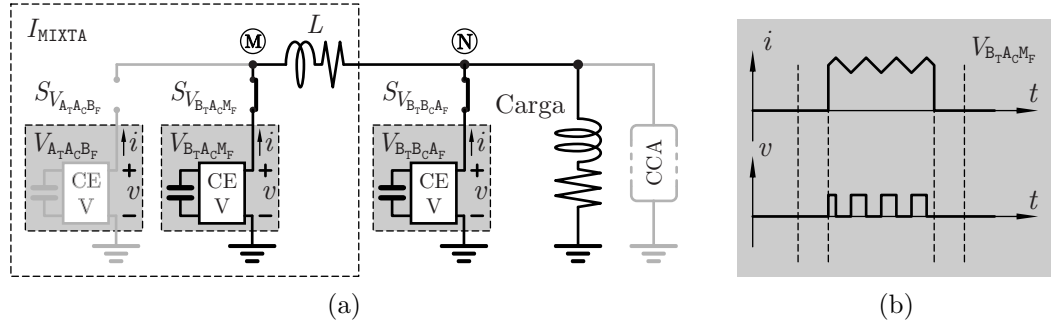


Figura 2.19: Operación de la estructura asociada a $V_{B_T A_C M_F}$ durante la etapa de flat-top.

es de baja precisión, a diferencia del caso de $V_{B_T B_C A_F}$, no se requiere de una elevada dinámica con lo cual es admisible la existencia de valores reducidos de di/dt . Por lo tanto, se adopta el uso de dos niveles de tensión, uno de magnitud positiva y el otro de magnitud nula. Asociado a estos dos niveles se asignan dos estados topológicos denominados Estado I (tensión positiva a la salida del CE) y Estado II (tensión nula a la salida del CE).

El CE no requiere capacidad de reversibilidad en la transferencia de energía ya que la misma en todo momento se realiza desde su entrada hacia su salida.

La secuencia necesaria para cumplir con las características mencionadas se muestra en la Figura 2.20 donde se distinguen los dos estados topológicos: Estado I en (a) y Estado II en (b).

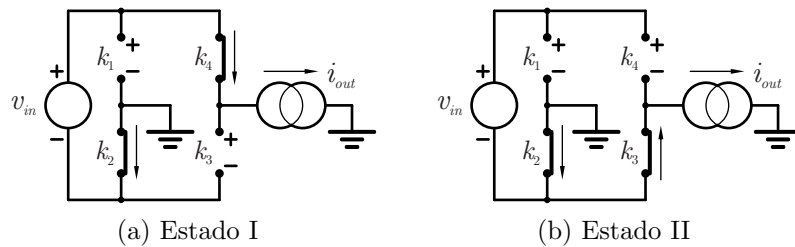


Figura 2.20: Secuencia de operación de $V_{B_T A_C M_F}$.

En esta figura, la fuente de corriente, i_{out} , representa el comportamiento del

circuito conectado a la salida del CE mientras que la fuente de tensión de entrada, v_{in} , representa el comportamiento del banco de capacitores utilizado como alimentación de $V_{B_T A_C M_F}$.

En la [Figura 2.20](#) se observa que el interruptor k_1 opera siempre en estado de bloqueo mientras que k_2 lo hace siempre en estado de conducción, con lo cual son reemplazados por un circuito abierto y por un cortocircuito, respectivamente. Por otra parte, las características estáticas de k_3 y k_4 conducen a la utilización de dos dispositivo de dos cuadrantes (figuras [2.21a](#) y [2.21b](#)), uno tipo D para k_3 y otro tipo T (o una asociación T/D) para k_4 .

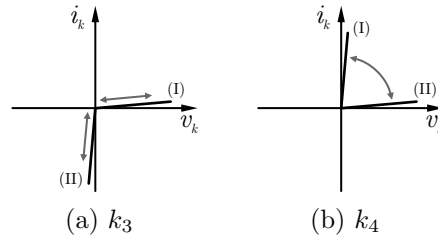


Figura 2.21: Características estáticas de los interruptores k_3 y k_4 para la estructura $V_{B_T A_C M_F}$.

Finalmente la implementación resulta en un convertidor tipo Buck alimentado por un banco de capacitores, $C_{B_T A_C M_F}$, ([Figura 2.22](#)).

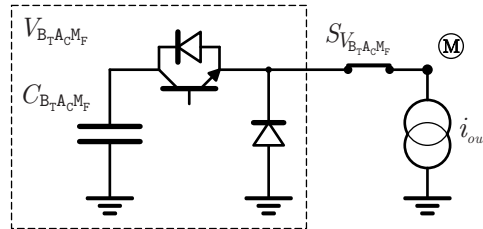


Figura 2.22: Circuito propuesto para la Estructura $V_{B_T A_C M_F}$.

Síntesis de I_{MIXTA} : $V_{\text{ATA_CBF}}$

La estructura $V_{\text{ATA_CBF}}$ opera durante las etapas de subida y bajada de la corriente. En la [Figura 2.23a](#) se muestra el esquema general de fuentes del convertidor, en donde se destacan los componentes activos durante estas etapas. Se puede observar que $V_{\text{ATA_CBF}}$ se conecta mediante el nodo $\textcircled{\text{M}}$ al inductor L , el cual se comporta de forma transitoria como una fuente de corriente, por lo que la naturaleza de la fuente de salida del CE es también de corriente.

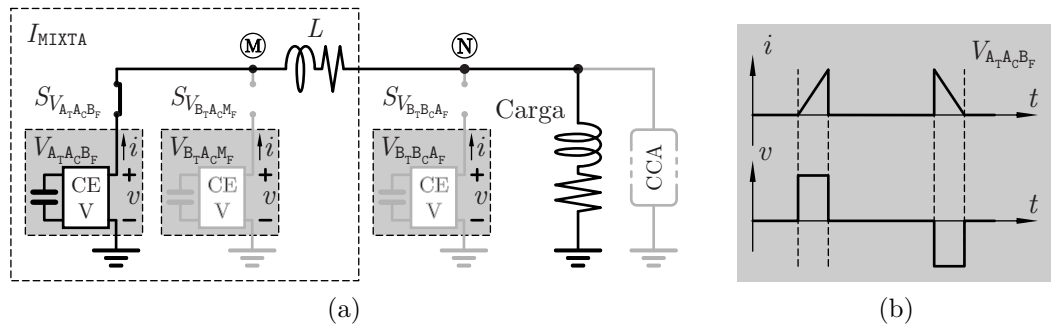


Figura 2.23: Operación de la estructura asociada a $V_{\text{ATA_CBF}}$ durante la etapa de flat-top.

Dado que la naturaleza de las fuentes de entrada y salida son diferentes, el diseño del CE se inicia partiendo de la configuración base de CE de conversión directa (ver [Apéndice A](#)).

Las formas de onda de tensión y corriente de salida del convertidor se indican en la [Figura 2.23b](#). En esta figura se observa que la corriente de salida del CE es unidireccional y que se requiere generar tensiones con características bidireccionales.

Respecto a la transferencia de energía, el CE debe ser reversible ya que esta estructura entrega la energía inicial a la carga durante la etapa de subida y la recupera durante la etapa de bajada. Como consecuencia, la característica de corriente de entrada resulta también bidireccional.

La secuencia de funcionamiento de la estructura asociada a $V_{A_T A_C B_F}$ se indica en la [Figura 2.24](#) donde se distinguen dos estados topológicos denominados Estado I [\(a\)](#) (tensión positiva aplicada a la salida del CE) y Estado II [\(b\)](#) (tensión negativa aplicada a la salida del CE).

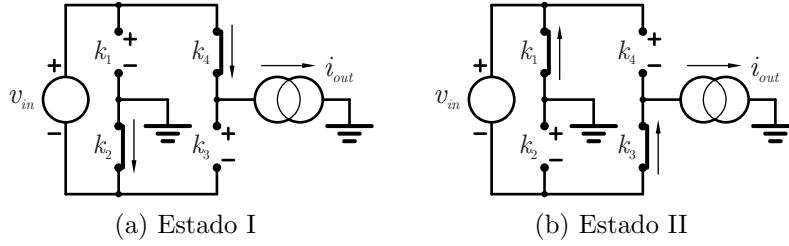


Figura 2.24: Secuencia de operación de $V_{A_T A_C B_F}$.

A partir de los sentidos de las tensiones y las corrientes aplicadas sobre los interruptores indicados en la [Figura 2.24](#), se pueden generar los gráficos $i_k(v_k)$ de la [Figura 2.25](#). Las características estáticas mostradas conducen al uso de cuatro dispositivos de dos segmentos: dos de tipo D para k_1 y k_3 ([Figura 2.25a](#)) y dos de tipo T (o una asociación T/D) para k_2 y k_4 ([Figura 2.25b](#)).

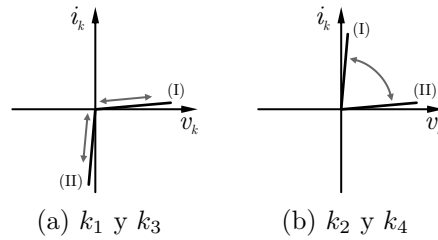
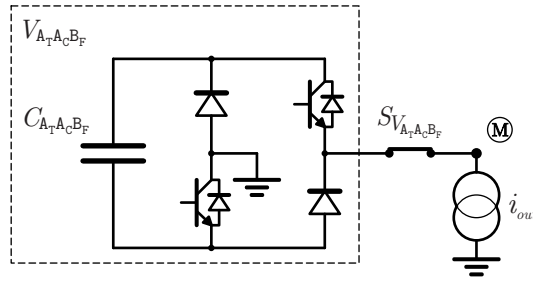


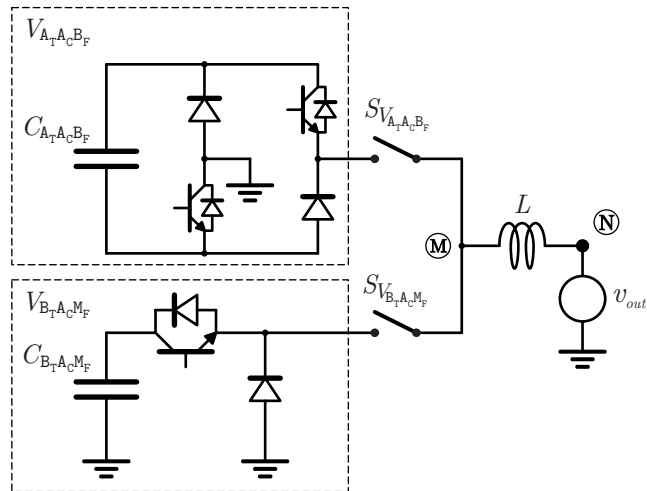
Figura 2.25: Características estáticas de los interruptores k_{1-4} para la estructura $V_{A_T A_C B_F}$.

En la [Figura 2.26](#) se indica la estructura resultante.

Figura 2.26: Circuito propuesto para la Estructura $V_{A_TA_C B_F}$.

Síntesis de I_{MIXTA} : Acoplamiento de $V_{A_TA_C B_F}$ y $V_{B_TA_C M_F}$

Las estructuras $V_{A_TA_C B_F}$ y $V_{B_TA_C M_F}$ junto con un inductor auxiliar conforman la fuente I_{MIXTA} cuyo circuito se muestra en la [Figura 2.27](#). En esta configuración

Figura 2.27: Circuito propuesto para la Estructura I_{MIXTA} .

circuital se ve aplicado el concepto introducido en el capítulo anterior, ya que se utilizan bancos de capacitores y dispositivos semiconductores de diferentes magnitudes de tensión pero se incorpora un único inductor a la salida de la fuente, con lo cual, su corriente de salida no presenta cambios abruptos.

Una vez sintetizadas todas las fuentes por medio de CEs finaliza el Paso 3. Posteriormente en el Paso 4, se estudiará la existencia de redundancias en la

topología resultante de la interconexión de los CE, que permitan su simplificación.

2.2.4. Paso 4: Simplificación de la topología.

En la [Figura 2.28](#) se muestra el circuito completo. Por simplicidad y considerando que no interfiere en la lógica de operación del convertidor, el CCA no es incluido en esta sección.

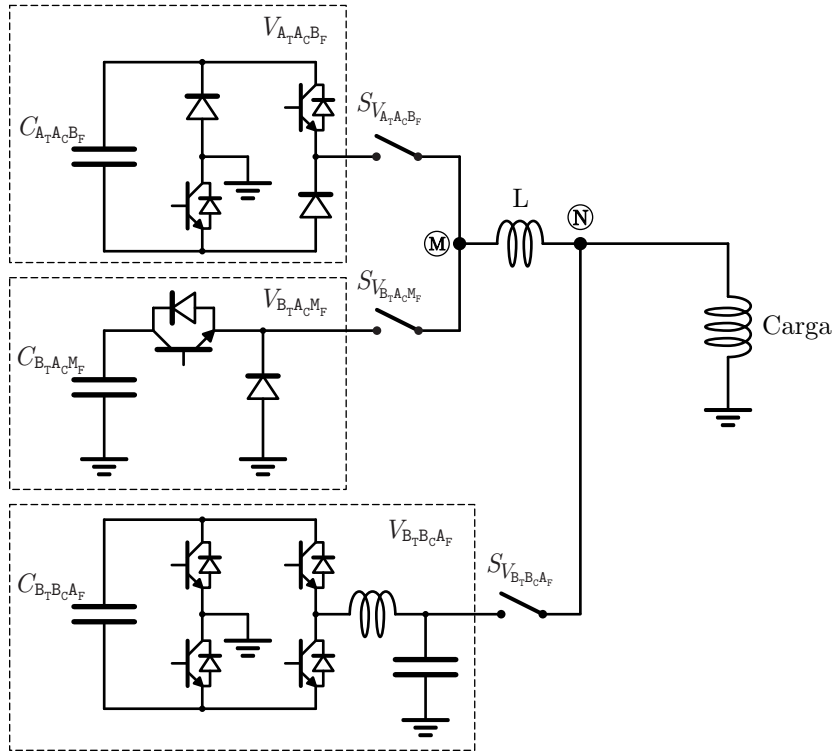


Figura 2.28: Esquema del convertidor con las implementaciones de $V_{A_T A_C B_F}$, $V_{B_T A_C M_F}$ y $V_{B_T B_C A_F}$.

En este paso, se va a analizar la operación del convertidor de la [Figura 2.28](#) con el objeto de identificar posibles redundancias en los componentes. Es decir, aquellos dispositivos resultantes de la síntesis de diferentes fuentes que cumplen las mismas funciones. En este análisis se excluye la implementación de $V_{B_T B_C A_F}$ debido a que los dispositivos que la componen presentan características de tensión,

corriente y frecuencia muy diferentes de las de los dispositivos asociados a $V_{A_T A_C B_F}$ y $V_{B_T A_C M_F}$, y, por lo tanto, incompatibles para cumplir con las mismas funciones.

En una primera instancia, a fin de establecer los requerimientos de operación de las estructuras $V_{A_T A_C B_F}$ y $V_{B_T A_C M_F}$ se deben definir las funciones que en conjunto deben cumplir, siendo éstas:

- Proveer una alta tensión positiva (ATP) durante la etapa de subida.
- Proveer una baja tensión controlada (BTC) durante el flat-top.
- Proveer una alta tensión negativa (ATN) durante la etapa de bajada.

En la [Figura 2.29](#) (a), (b) y (c) se muestran las diferentes combinaciones de interruptores que puede adoptar la topología, asociadas a cada una de las funciones antes mencionadas. Para cada una de estas configuraciones, se destacan

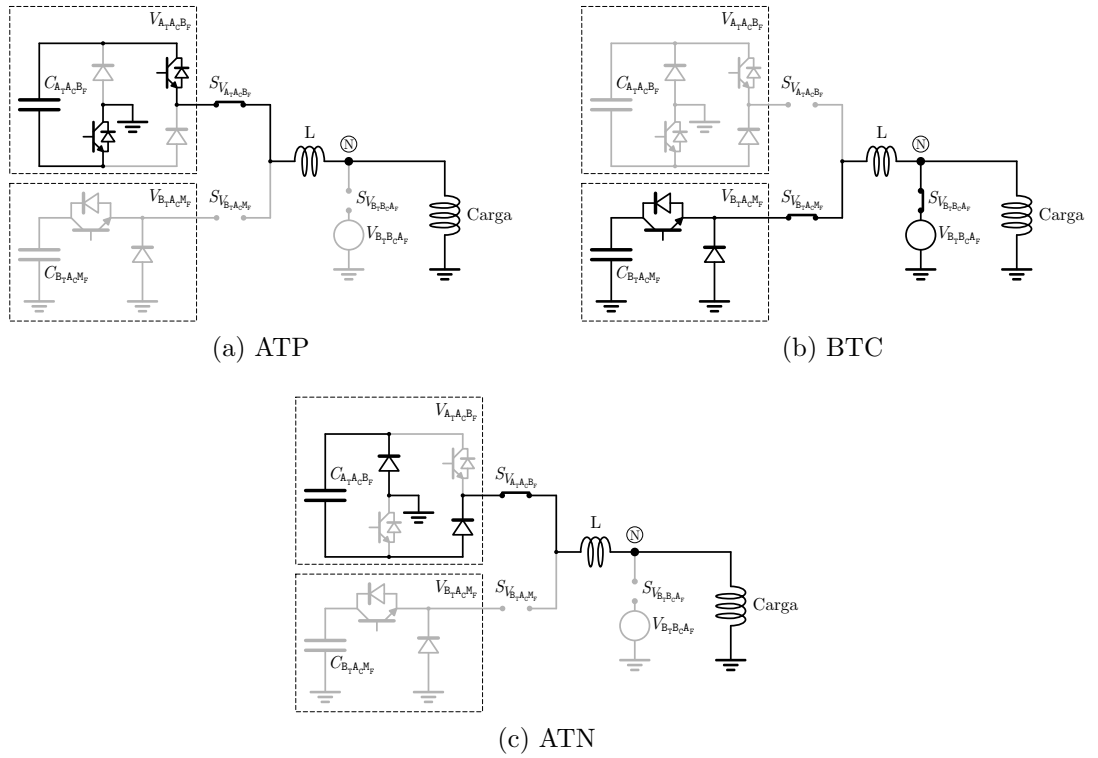


Figura 2.29: Estructura I_{MIXTA} dentro del esquema del convertidor.

las partes del circuito activas. Se puede observar que en (a) y (c), asociadas a las funciones ATP y ATN, se utiliza la Estructura $V_{A_T A_C B_F}$, mientras que en (b), asociada a la función BTC, se hace uso de la Estructura $V_{B_T A_C M_F}$.

Como se puede observar en la Figura 2.29, solo existe una combinación de interruptores capaz de cumplir con cada función por lo que no existen interruptores redundantes.

A continuación, se procede a evaluar la posibilidad de replantear el circuito en busca de mejorar las condiciones de operación del convertidor. En este sentido, como característica indeseable, se observa que la estructura $V_{A_T A_C B_F}$ opera en forma flotante respecto a la masa del resto del circuito. Esto se debe a que en ((a) y (c)), la permutación de polaridad de la Estructura $V_{A_T A_C B_F}$ está asociada a la rama que conecta a masa. Por lo tanto, se busca replantear el circuito de forma de mejorar este aspecto.

Como mejora, se propone el circuito de la Figura 2.30 el cual representa una variación topológica en la que se controla dicha permutación mediante la selección del punto de conexión a masa de la carga. En la misma, la rama correspondiente a masa de la Estructura $V_{A_T A_C B_F}$ es reemplazada por un punto de conexión directo a masa y la conexión de la carga a masa es reemplazada por una rama que permite adicionalmente conectar la misma a $V_{A_T A_C B_F}$. De esta forma, la estructura $V_{A_T A_C B_F}$ deja de ser flotante para conectarse al punto de masa común a todo el circuito. Como consecuencia, el extremo negativo del banco de capacitores $C_{V_{A_T A_C B_F}}$ también deja de ser flotante lo que reduce la complejidad del circuito utilizado para su carga.

Luego de realizada esta última modificación, se verifican nuevamente todas las combinaciones de interruptores capaces de cumplir con cada función las cuales se indican en la Figura 2.30 (a), (b), (c) y (d). En este caso, existen dos combinaciones de interruptores que permiten cumplir la función de ATN.

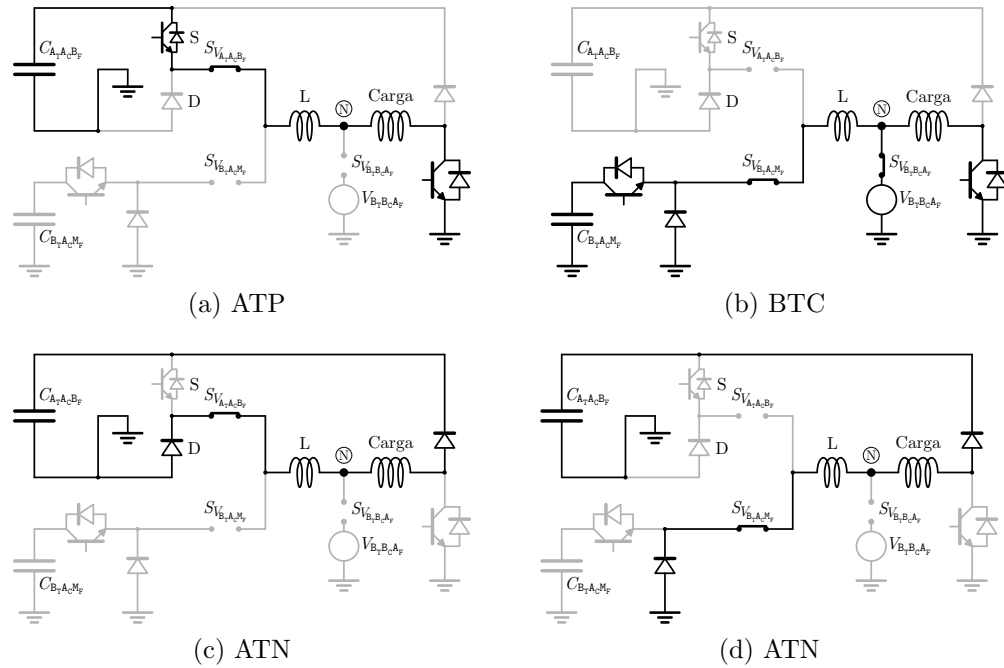


Figura 2.30: Estructura I_{MIXTA} dentro del esquema del convertidor (Versión modificada).

Se puede observar que, en caso de utilizarse la opción de la [Figura 2.30d](#), el diodo D no es utilizado en ninguna de las tres configuraciones ([Figuras 2.30a](#), [2.30b](#) y [2.30d](#)). Como consecuencia, éste interruptor es redundante y puede ser simplificado. Además, si se prescinde de este componente, quedan dos interruptores (S y $S_{V_{A_1T_1A_1C_1B_1F_1}}$) conectados en serie por lo que S puede ser eliminado. El circuito resultante de eliminar D y S se muestra en la [Figura 2.31](#).

En la [figura 2.31](#) se indican las combinaciones de interruptores utilizados para cumplir cada una de las funciones. En este caso existe sólo una combinación por cada función. Considerando que no se cuenta con ninguna estrategia para modificar el circuito que conduzca a la aparición de redundancias finaliza el Paso 4. Finalizado este paso, en el Paso 5 se sintetizarán los interruptores aplicando los conceptos descriptos en el [Apéndice A](#).

Finalmente, en comparación a la topología original ([Figura 2.29](#)), la topología

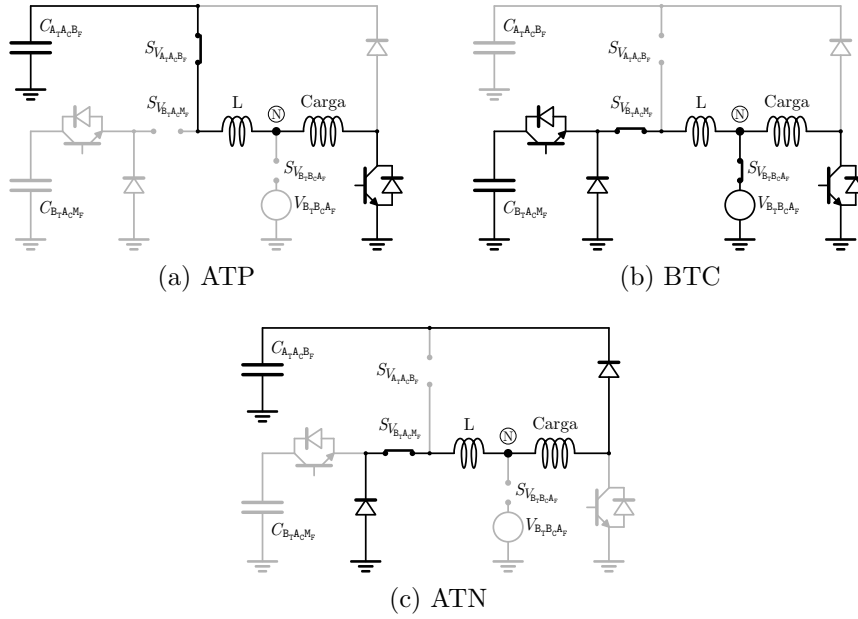


Figura 2.31: Estructura I_{MIXTA} dentro del esquema del convertidor (Simplificación).

resultante del proceso de simplificación (Figura 2.31) presenta una reducción en el número de dispositivos semiconductores además de una disminución en el porcentaje de dispositivos con disparo flotante, lo que permite reducir la complejidad de los circuitos de disparo de los interruptores. Por otra parte, como se mencionó anteriormente, se consigue que el sistema de carga de $C_{V_{A_1A_2B_F}}$ deje de ser flotante lo que conduce a disminuir la complejidad del equipo destinado a la carga del mismo.

2.2.5. Paso 5: Síntesis de los interruptores de interconexión.

En este paso, se sintetizarán los interruptores de interconexión aplicando los conceptos descritos en el Apéndice A. Adicionalmente, se realizará la síntesis del CCA.

Síntesis del CCA

Como se explicó en la [Sección 2.2.2](#), el CCA cumple la función de proveer un camino de circulación alternativo para la diferencia de corriente existente entre la carga y el inductor L en el instante de apertura de $S_{V_{B_TB_C A_F}}$. Por otra parte, el CCA debe operar de forma tal de no influir en el funcionamiento del convertidor previo a este evento.

La implementación del CCA se podría realizar mediante un circuito accionado por medio de una lógica de control adecuada. Sin embargo, es deseable que el mismo sea sintetizado haciendo uso de dispositivos con características de conmutación natural, ya que permiten asegurar que el CCA opere en el momento apropiado independientemente de un posible fallo de la lógica de control. Esto resulta crítico si se consideran las magnitudes de potencia asociadas que podrían dañar de forma permanente al equipo. Además, la utilización de dispositivos con características de conmutación natural conduce a una reducción en las pérdidas por conmutación y a una disminución de complejidad en la lógica de control.

Para alcanzar este objetivo, se puede hacer uso de diodos en una configuración circuital que brinde un camino de circulación de corriente bidireccional y en el cual la tensión aplicada sobre estos dispositivos genere la condición de bloqueo cuando no son utilizados. De aquí surge el esquema de la [Figura 2.32](#) en donde V^+ y V^- deben ser en todo momento mayor y menor, respectivamente, a la tensión presente en el nodo $\textcircled{N}$.

Para asegurar las condiciones de tensión sobre V^+ y V^- , se conecta a los diodos en los nodos del convertidor con niveles de tensión extremos, siendo estos tierra y el capacitor $C_{A_TA_CB_F}$.

El circuito resultante de incluir el CCA dentro del esquema de la topología se muestra en la [Figura 2.33](#).

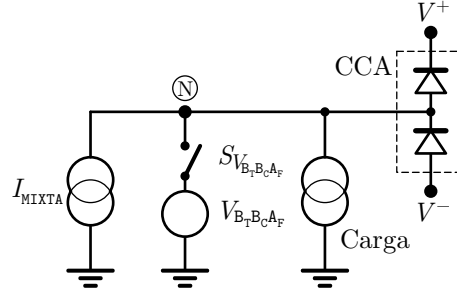


Figura 2.32: Esquema de conexión del CCA.

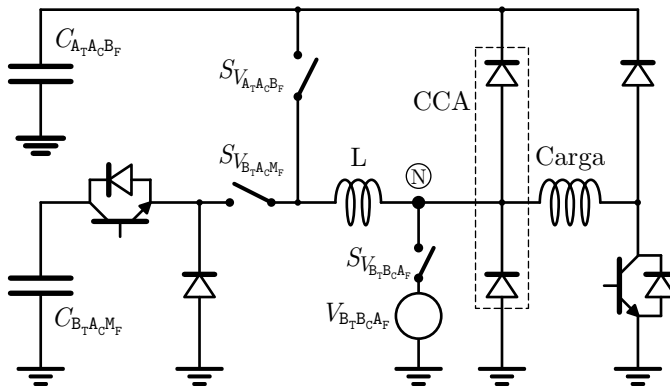


Figura 2.33: CCA dentro del esquema del convertidor.

Síntesis de los interruptores

En esta sección se evalúan las condiciones de funcionamiento estáticas y dinámicas de los interruptores $S_{V_{B_T B_C A_F}}$, $S_{V_{B_T A_C M_F}}$ y $S_{V_{A_T A_C B_F}}$ y a partir de éstas se realiza la síntesis de los mismos. Se debe notar que los tres interruptores se encienden y apagan una única vez por pulso, lo cual reduce notablemente las pérdidas de conmutación. Sin embargo, esto no significa que se puedan utilizar interruptores de baja velocidad ya que, durante las transiciones entre estructuras, los tiempos de encendido y apagado pueden resultar críticos.

En la [Figura 2.34](#) se muestran los estados topológicos adoptados por el convertidor durante su secuencia de operación destacándose el estado de $S_{V_{B_T B_C A_F}}$, $S_{V_{B_T A_C M_F}}$ y $S_{V_{A_T A_C B_F}}$ con sus correspondientes sentidos de tensión y corriente. En esta figura se distinguen los estados ATP (a), BTC (b) y ATN (c) asociados a las

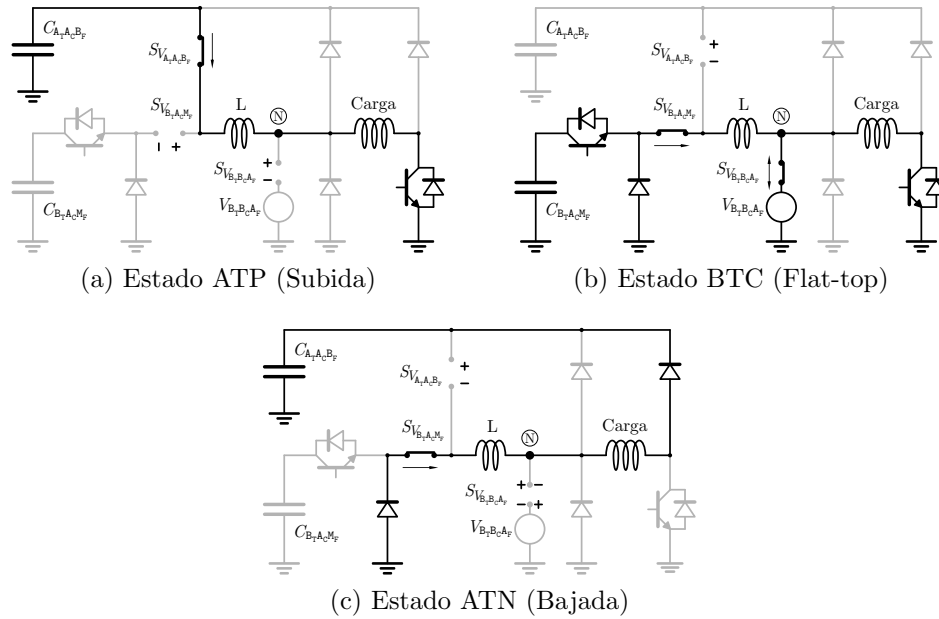


Figura 2.34: Secuencia de operación del convertidor.

etapas de subida de la corriente, flat-top y bajada de la corriente.

Considerando los sentidos de las corrientes y tensiones de operación de los interruptores indicados en la [Figura 2.34](#), se procede a la selección de los dispositivos utilizados para su implementación.

Síntesis de $S_{V_{B_TB_C A_F}}$

Como se puede observar en la [Figura 2.34](#), $S_{V_{\text{BTBCAF}}}$ debe estar en modo de conducción durante el flat-top, mientras que debe estar bloqueado durante las etapas de subida y bajada. Durante el flat-top, la corriente es bidireccional sobre el interruptor, mientras que, la tensión aplicada sobre el mismo es positiva durante la etapa de subida. La dirección de la tensión aplicada durante la etapa de bajada puede resultar tanto positiva como negativa dependiendo de los valores de los componentes del convertidor y de las características del pulso de corriente, por lo que se requiere capacidad de bloqueo bidireccional. A partir de la observación de las características estáticas del interruptor, representadas en

la Figura 2.35a, se deduce que éste debe ser implementado por medio de un interruptor de cuatro segmentos, por lo que se adopta el arreglo de dispositivos indicado en la Figura 2.35b.

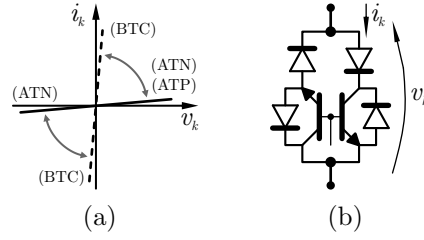


Figura 2.35: Características estáticas de $S_{V_{B_TB_C A_F}}$ y síntesis del mismo.

Las corrientes presentes en $S_{V_{B_TB_C A_F}}$ son reducidas en relación a la corriente nominal del convertidor, la cual es entregada por I_{MIXTA} , pero debe bloquear niveles de tensión del orden de $V_{A_TA_C B_F}$.

Síntesis de $S_{V_{A_TA_C B_F}}$

A partir de la Figura 2.34, se desprende que $S_{V_{A_TA_C B_F}}$ se encuentra en estado de conducción durante la etapa de subida, mientras que permanece bloqueado durante las etapas de flat-top y bajada. El sentido de la corriente durante la primera etapa es positivo, al igual que los sentidos de las tensiones durante las etapas restantes. Estas condiciones, indicadas en el gráfico $i_K(v_K)$ de la Figura 2.36a, pueden ser cumplidas por medio de un interruptor de dos segmentos tipo T (o una asociación T/D) como se indica en la Figura 2.36b, por lo que su conmutación resulta forzada.

La excursión del dispositivo hacia el semiplano negativo no se presenta en condiciones de funcionamiento normal debido a que la tensión de $C_{A_TA_C B_F}$, como una característica propia de la concepción del convertidor, es superior a cualquier

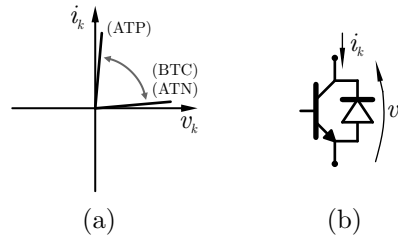


Figura 2.36: Características estáticas de $S_{V_{A_T A_C B_F}}$ y síntesis del mismo.

otro punto del circuito. De todas formas, el comportamiento del dispositivo para tensiones negativas permite enclavar la máxima tensión en el nodo $\textcircled{M}$ al valor de $C_{A_T A_C B_F}$.

Este interruptor debe manejar la corriente de referencia y bloquear la tensión correspondiente a $V_{A_T A_C B_F}$.

Síntesis de $S_{V_{B_T A_C M_F}}$

En la [Figura 2.34](#) se observa que $S_{V_{B_T A_C M_F}}$ permanece bloqueado durante la etapa de subida y en estado de conducción en las etapas de flat-top y bajada. Si se analiza este interruptor en la etapa de subida, durante la cual se encuentra en condición de bloqueo, se puede advertir que en su extremo negativo está presente la tensión $V_{A_T A_C B_F}$. Como se indicó anteriormente, esta tensión está definida para ser la de mayor magnitud en el circuito. Por lo tanto, se puede inferir que durante esta etapa, la tensión sobre el interruptor resulta negativa. En relación a las etapas de flat-top y bajada, cuando el interruptor está en estado de conducción, la corriente es siempre positiva. Partiendo de estas condiciones de operación se realiza el gráfico $i_K(v_K)$ mostrado en la [Figura 2.37a](#).

A partir de este esquema se desprende que las características descritas pueden ser cubiertas por medio de un dispositivo de dos segmentos tipo D o diodo, el cual se indica en la [Figura 2.37b](#). En esta aplicación, el uso de un dispositivo

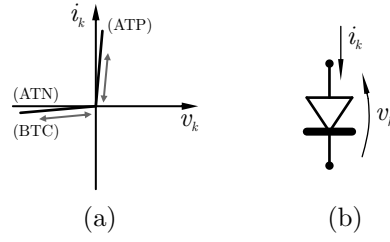


Figura 2.37: Características estáticas de $S_{V_{B_T A_C M_F}}$ y síntesis del mismo.

de conmutación natural resulta ventajoso debido a que, en el caso del apagado involuntario de todos los dispositivos con control de conmutación forzada (condición de seguridad), el circuito se apaga en forma segura garantizando un camino de circulación para la corriente. Por otra parte, debido a la condición circuital del diodo $S_{V_{B_T A_C M_F}}$ y el transistor $S_{V_{A_T A_C B_F}}$, éstos operan inherentemente en forma complementaria, lo que garantiza el cumplimiento de la condición de seguridad para el nodo $\textcircled{M}$ explicada previamente.

El diodo debe tener la capacidad de manejar la corriente de referencia y de bloquear la tensión correspondiente a $V_{A_T A_C B_F}$.

Habiéndose sintetizado todos los interruptores de interconexión se da por finalizado el Paso 5 y, por ende, el proceso de síntesis de Convertidores Multiestructura. En la sección siguiente se muestra la topología resultante de aplicar este proceso.

Topología Multiestructura resultante

En la [Figura 2.38](#) se muestra un esquema circuital completo de la topología desarrollada por medio del procedimiento propuesto para el diseño de convertidores multiestructura. Los nombres de los componentes fueron reasignados para reflejar de forma más intuitiva las funciones que cumplen. Se puede apreciar que

los dispositivos semiconductores denominados con igual número se complementan respecto al manejo de las respectivas corrientes. Es decir, por ejemplo, i_P deberá circular necesariamente por $S1$ o por $D1$.

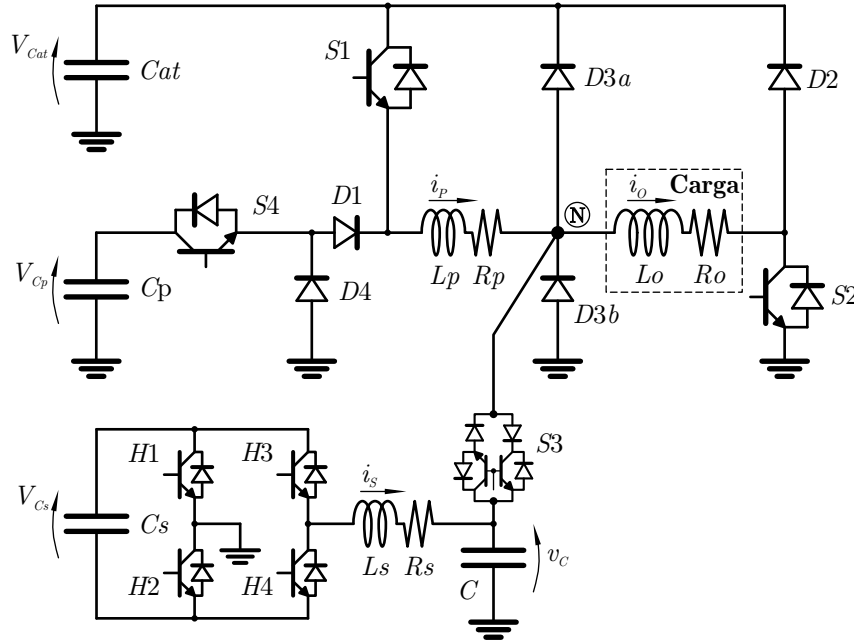


Figura 2.38: Esquema circuitual de la topología propuesta.

Esta nueva topología permite restringir los requerimientos de tensión, corriente y precisión de los interruptores a las exigencias puntuales de las etapas donde operan. Los requisitos de los dispositivos semiconductores se resumen en la [Tabla \(2.1\)](#). En la misma se evidencia que los interruptores con elevada tensión y/o corriente operan a frecuencias bajas, mientras que aquellos que requieren operar a alta frecuencia son de baja tensión y corriente. Esta distribución hace viable la utilización de dispositivos semiconductores convencionales.

Una propiedad de la estructura propuesta es que al apagarse todos los interruptores con conmutación forzada el sistema retorna en forma segura a la condición de reposo, es decir, tensión nula en el capacitor y corriente nula en los inductores. Teniendo en cuenta la magnitud de la energía en juego, esta situación

Tabla 2.1: Requerimientos de los dispositivos semiconductores.

Dispositivo	Tensión	Corriente	Frecuencia de operación
$S1, S2, D1, D2$	Alta (V_{Cat})	Alta (I_{REF})	Muy baja
$S3, D3$	Alta (V_{Cat})	Baja (ΔI_P)	Muy baja
$S4, D4$	Baja (V_{Cp})	Alta (I_{REF})	Media (f_{GIP})
$H1 \cdots H4$	Baja (V_{Cs})	Baja ($\sim \Delta I_P$)	Alta (f_{GIS})

es deseable en el caso de producirse el apagado de la fuente como una condición de seguridad.

Extensión interleaving

Como se demuestra en el estudio realizado en el [Apéndice B](#), los dispositivos $S4$ y $D4$ presentan las mayores exigencias respecto a las condiciones de operación. Por lo tanto, sus límites tecnológicos son los que determinan la corriente máxima de funcionamiento del convertidor. Una forma de extender el rango de operación del sistema es la reformulación de esta sección del convertidor haciendo uso de una estructura de conversión interleaving [[19](#), [20](#), [21](#), [22](#), [23](#)]. En la [Figura 2.39](#) se muestra un esquema circuital de la topología resultante de aplicar este método. En ésta, la carga y descarga de los inductores con elevado di/dt sigue llevándose a cabo en forma simultánea y por medio de un único interruptor, $S1$. El agregado de los diodos $D1a_i$ es necesario para separar las fases y poder controlarlas en forma independiente durante el flat-top.

El principio de funcionamiento no presenta diferencias sustanciales en relación a la versión de una sola rama. El uso de una estructura interleaving permite utilizar, tanto para $S4$ como para $D4$, dispositivos semiconductores que deban manejar una i -ésima parte de la corriente de salida de este generador con una frecuencia i veces inferior a la de su ripple en relación al caso de una sola rama.

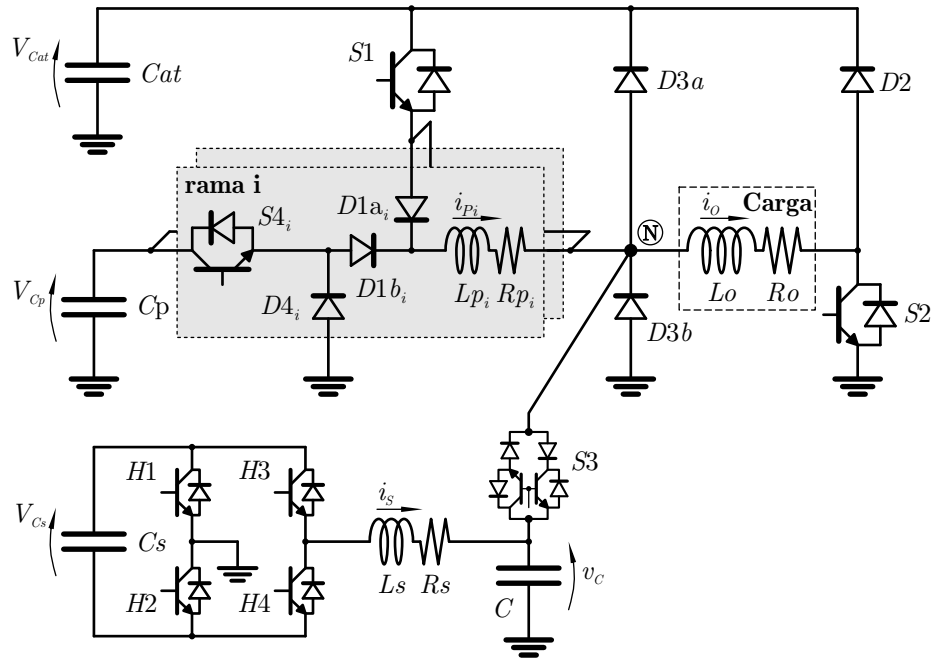


Figura 2.39: Esquema circuital de la versión interleaving de la topología propuesta.

El objetivo de la versión interleaving es brindar una solución a aplicaciones con exigencias extremas de corriente. Sin embargo, no representa el caso de estudio de esta tesis por lo que, de aquí en más, se continuará con el análisis de la versión monofásica.

2.3. Conclusiones del Capítulo

En este capítulo se propuso un procedimiento metódico para el diseño de convertidores multiestructura.

Se presentó el concepto de estructura mixta el cual permite mejorar la eficiencia del convertidor y reducir los transitorios producidos en la transición entre estructuras independientes.

El procedimiento de diseño de convertidores multiestructura y el concepto de

estructura mixta se aplicaron al desarrollo de una nueva topología para la generación de pulsos de elevada corriente con capacidad de control con alta precisión en el flat-top y elevado di/dt durante las etapas de subida y bajada.

A partir de los requerimientos del convertidor, se definieron la cantidad, naturaleza y rango de operación de las fuentes necesarias para su cumplimiento así como la disposición circuital de las mismas.

En base a la evaluación de las características estáticas de funcionamiento de cada una de las estructuras se definieron los circuitos más adecuados para sus implementaciones. Se determinaron además las características estáticas de los interruptores utilizados para la conexión de las estructuras.

La fusión de estructuras independientes para conformar una estructura mixta permitió reducir la cantidad de componentes del circuito sin pérdida de funcionalidad por medio de la eliminación de redundancias.

Gracias al uso de una estructura mixta, el circuito pudo ser diseñado de forma tal que los dispositivos de almacenamiento de energía de mayor capacidad se carguen y descarguen en forma simultánea disminuyendo así la generación de transitorios de interconexión.

La topología propuesta permite distribuir los exigentes requerimientos de la aplicación entre los interruptores lo que conduce a dispositivos con características balanceadas en tensión, corriente y frecuencia de conmutación. En esta topología, la recuperación de energía a los bancos de capacitores se realiza en forma natural. Es decir, si se apagan todos los interruptores con conmutación forzada, el sistema retorna a una condición segura.

Se presentó una extensión interleaving de la topología propuesta la cual permite aumentar la magnitud de corriente del convertidor sin incrementar las exigencias sobre los dispositivos semiconductores.

El uso de múltiples estructuras trae aparejada la necesidad de un tratamiento especial de las interconexiones. En este sentido, queda evidenciada la necesidad de un control con características especiales capaz de gestionar la interconexión de las estructuras y establecer un sistema de regulación que permita ajustar la corriente en el flat-top con la precisión requerida. En el [Capítulo 3](#) se describe el principio de funcionamiento del convertidor multiestructura y se presenta la estrategia de control propuesta.

Capítulo 3

Control del Convertidor Multiestructura

3.1. Introducción

En el [Capítulo 2](#) se presento un procedimiento para el diseño de Convertidores Multiestructura el cual permite arribar a las síntesis completa del circuito de potencia. Evaluando las características de este tipo de sistemas, se divisó la necesidad de un sistema de control capaz de gestionar adecuadamente la interconexión de las estructuras. En este capítulo se presenta la estrategia utilizada para alcanzar este objetivo [\[24\]](#).

Dadas las características de las Topologías Multiestructura, el sistema de control debe realizar tres grandes tareas. En primer lugar debe controlar de forma local cada una de las estructuras. La segunda tarea consiste en ajustar el comportamiento dinámico del sistema y asegurar la precisión requerida por medio de un conjunto de lazos de realimentación. Por último, debe gestionar la interconexión de las diferentes estructuras mediante el comando de los interruptores de interconexión y la habilitación de la regulación y de los controles locales. En la

Figura 3.1 se muestra un diagrama en bloques en donde se indica la interacción entre dichas tareas y la comunicación de las mismas con las secciones de potencia del convertidor. Mediante un recuadro gris se indican los bloques tratados en este capítulo. Se asume la existencia de etapas encargadas del acondicionamiento de las señales entre el sistema de control y el circuito de potencias, tanto para aquellas relacionadas al sensado como para las encargadas del comando de los interruptores.

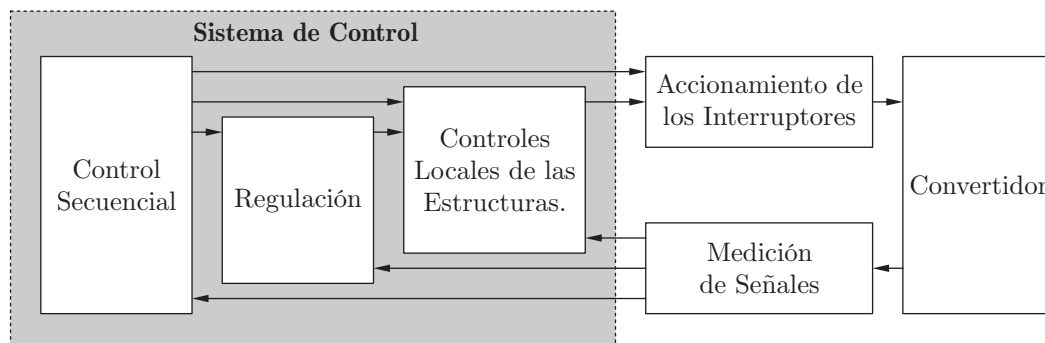


Figura 3.1: Sistema de control para Convertidores Multiestructura.

Debe notarse que durante la etapa de síntesis, la selección de las estructuras y del esquema de interconexión de las mismas se realiza utilizando como fundamento la compatibilidad física entre los circuitos lo que no restringe la forma en que estas estructuras sean controladas ni la estrategia de regulación utilizada siempre que se conserve la naturaleza de las estructuras.

Debido a que, cada uno de los bloques que componen el sistema de control son propios de cada aplicación, no es posible generalizar un proceso de diseño, sino que debe realizarse para cada caso en particular. A continuación, a modo de ejemplo, se desarrolla el sistema de control para el Convertidor Multiestructura para Fuente de Corriente Pulsada diseñado en el [Capítulo 2](#).

La filosofía de funcionamiento del convertidor está orientada a controlar con precisión la corriente de carga en la etapa de flat-top. En relación con esto, es importante evaluar la generación de transitorios en la forma de onda de corriente al inicio de esta etapa como consecuencia de la transición entre estructuras. Como se indicó previamente, durante la etapa de subida la corriente crece con una elevada pendiente para disminuir el valor RMS del pulso. Por lo tanto, al arribar al flat top se produce una transición importante entre la condición de elevada pendiente y la necesidad de controlar con precisión durante el flat top. El comportamiento transitorio resultante de dicha transición dependen de las características del lazo de control de corriente durante el flat-top y de la condición instantánea del sistema al arribar desde la etapa de subida.

En la [Figura 3.2](#), a modo de recordatorio, se muestra el circuito de la Topología Multiestructura propuesta. En dicha figura se resaltan las partes del circuito que se encuentran activas durante el flat top y se identifican mediante recuadros las estructuras I_{MIXTA} y $V_{B_TB_C A_F}$.

Durante esta etapa de operación, el interruptor $S4$ de la estructura I_{MIXTA} se comanda para obtener una corriente i_P próxima a la corriente de referencia mediante la implementación de un lazo local de realimentación. El circuito realimentado se puede modelar por un generador de corriente constante con ripple, al cual se lo denomina Generador de Corriente Principal (GIP), adoptando este nombre debido a que conduce la fracción principal de la corriente de carga. Por otra parte, los interruptores $H1-H4$ de la estructura $V_{B_TB_C A_F}$ se comandan para controlar la tensión v_C . El interruptor $S3$ se enciende al inicio del flat top para conectar a $V_{B_TB_C A_F}$ con la carga.

Obsérvese que para no producir transitorios, en el instante previo al inicio del flat top, i_P e i_O debe ser iguales a I_{REF} y v_C debe ser igual a la caída de tensión en la carga durante el flat top, $I_{REF}Ro$.

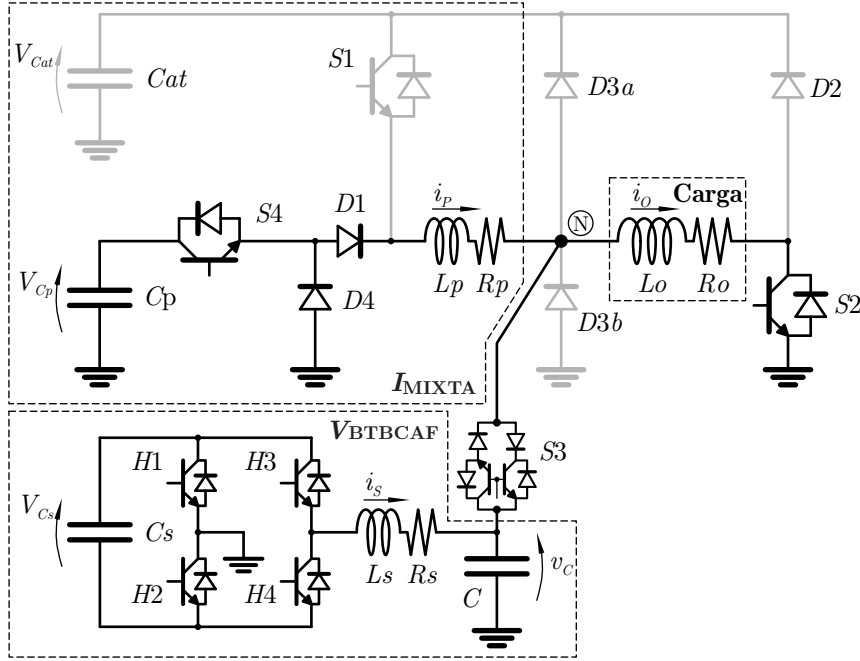


Figura 3.2: Diagrama circuital durante la etapa de flat-top.

Por otro lado, la salida de la estructura de tensión V_{BTBCAF} contiene un filtro LC no amortiguado, el cual se utiliza para atenuar el ripple de conmutación. En este sentido, se requiere de algún método de amortiguamiento que permita reducir el transitorio. La manera habitual de realizar esto, es disminuir el orden del sistema controlando la corriente del inductor L_s mediante un lazo local de realimentación. Aplicando este método, el modelo del generador de tensión V_{BTBCAF} resulta de primer orden, por lo tanto, éste puede ser representado por un generador de corriente denominado Generador de Corriente Secundario (GIS) conectado en paralelo con el capacitor C . En esta instancia del diseño, aún no está definida la necesidad de pre-cargar el capacitor C para disminuir los transitorios. De ser esto necesario, se puede realizar la pre-carga por medio del mismo generador GIS. Los bloques GIP y GIS se identifican en la [Figura 3.3](#).

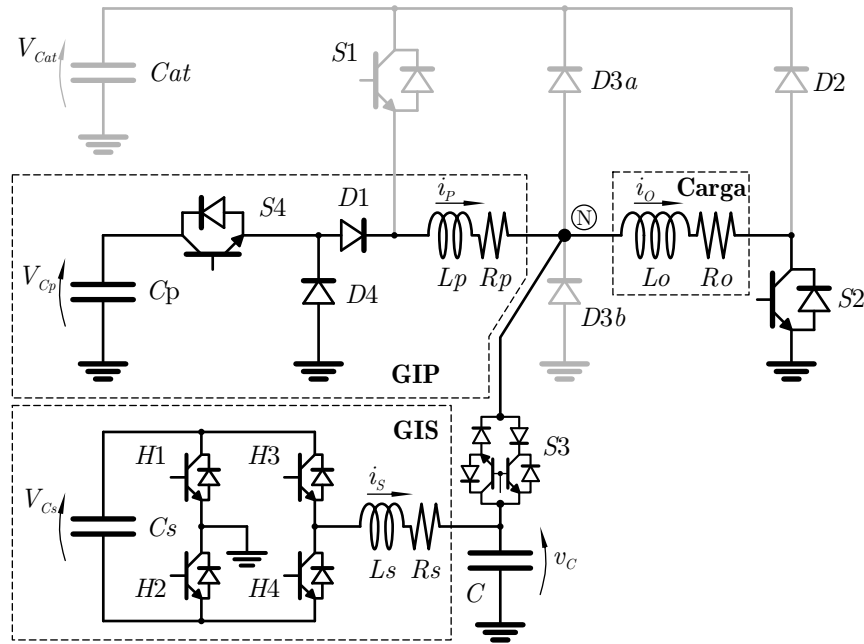


Figura 3.3: Diagrama circuital durante la etapa de flat-top.

En consecuencia, desde el punto de vista de la regulación, el sistema puede ser modelado durante el flat-top por medio del esquema mostrado en la [Figura 3.4](#).

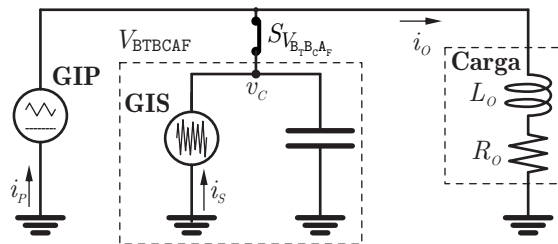


Figura 3.4: Circuito equivalente durante el flat-top.

El Control Secuencial de la Fuente de Corriente Pulsada se desarrolla en la [Sección 3.2](#), mientras que los lazos de regulación se explican en la [Sección 3.3](#) y la operación de los lazos de realimentación local de GIP y GIS se describe en la [Sección 3.4](#).

3.2. Control secuencial

El control secuencial es el encargado de gestionar las acciones necesarias para la correcta interconexión de las estructuras en los instantes adecuados. Este control funciona como un proceso cíclico que monitorea señales internas y externas a la fuente y toma decisiones en base a sus estados. En esta sección, se analiza el funcionamiento de la topología propuesta en cada una de las etapas de la generación del pulso. Se repasan las condiciones de los interruptores y se estudian las características de las configuraciones circuitales resultantes.

A continuación, se describen las tareas ejecutadas por este bloque durante las diferentes etapas.

3.2.1. Estado inactivo

Antes del inicio del pulso, todo el sistema se encuentra inactivo. Los interruptores están todos abiertos y el capacitor C y los inductores L_p , L_s y L_o están descargados. Los capacitores C_{at} , C_p y C_s están cargados a los valores iniciales de tensión V_{Cat} , V_{Cp} y V_{Cs} , respectivamente.

El proceso de inicialización empieza con la detección de una señal de presincronismo externa a la fuente. Esta señal se genera un tiempo ΔT_{PS} anterior al momento previsto para que la corriente i_o se encuentre estabilizada dentro de los límites de precisión. En base a este tiempo, se calcula la demora hasta el inicio de la etapa de subida, T_{PS} , la cual puede ser determinada mediante la [Ec. \(3.1\)](#).

$$T_{PS} \approx \Delta T_{PS} - \frac{(L_o + L_p)I_{REF}}{V_{Cat}} \quad (3.1)$$

La secuencia de eventos se puede ver en la [Figura 3.5](#) donde se identifican tres pulsos con diferentes corrientes de flat-top y por lo tanto diferentes tiempos de

subida.

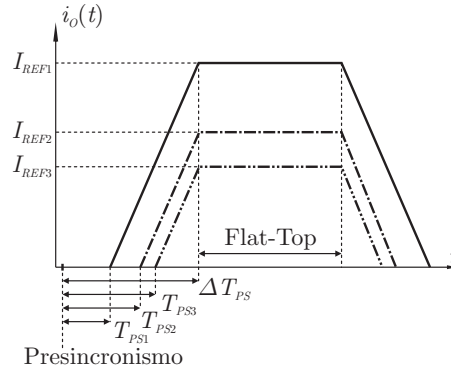


Figura 3.5: Esquema de operación del proceso de presincronismo.

Durante esta etapa se realizan además los cálculos correspondientes al ajuste de las bandas de histéresis de GIP y GIS, las cuales son dependientes de la magnitud del pulso de corriente que se quiera generar.

3.2.2. Etapa de subida

En la etapa de subida, se encienden los interruptores $S1$ y $S2$ con lo cual la corriente circula a través de Cat , $S1$, Rp , Lp , la carga y $S2$. El interruptor $S3$ permanece abierto permitiendo utilizar a GIS para cargar al capacitor C en forma controlada. En estas condiciones, la topología se divide en un circuito de carga de Lp y Lo , y un circuito de carga de C , los cuales se destacan en el esquema circuital de la [Figura 3.6a](#). En la [Figura 3.6b](#) se muestran las formas de onda de corriente en el inductor Lp , en la carga y en GIS, y la tensión en el capacitor, destacándose también la zona correspondiente a la etapa de subida.

El circuito simplificado de carga de Lp y Lo se indica en la [Figura 3.7](#)

Para minimizar la componente RMS del pulso de corriente, es deseable que la forma de onda de corriente sea lo más cercana a una rampa. Si el sistema se ajusta para cumplir con esta premisa, el tiempo de subida, T_S , puede ser calculado de

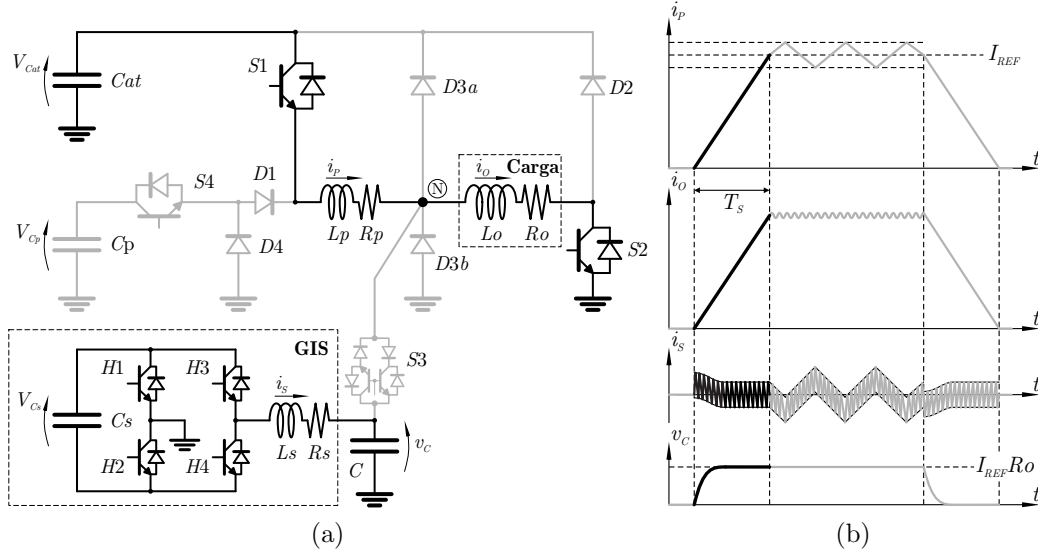


Figura 3.6: Diagrama circuital (a) y formas de onda de corriente (b) durante la etapa de subida.

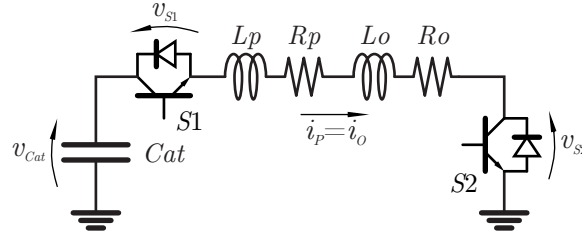


Figura 3.7: Circuito equivalente de carga de L_p y L_o durante la etapa de subida.

forma aproximada haciendo uso de la Ec. (3.2).

$$T_S \approx \frac{(L_p + L_o)I_{REF}}{V_{Cat}} \quad (3.2)$$

El circuito de carga de C puede ser esquematizado en forma simplificada como se indica en la Figura 3.8a. En este esquema, GIS entrega una corriente igual al error entre la tensión en C y su valor final de carga, $I_{REF}R_o$, ponderado por la constante K_{CC} . El lazo de realimentación resultante de adicionar la característica integral del capacitor, el cual se indica en el diagrama en bloques de la Figura 3.8b, conduce a un sistema con una respuesta dinámica de primer orden. La velocidad

de carga de C se ajusta para que la misma finalice previamente a la carga de los inductores.

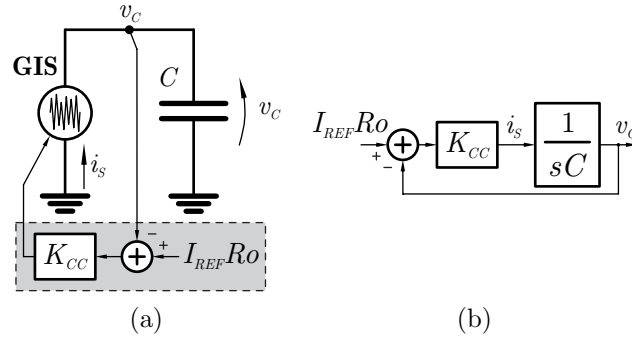


Figura 3.8: Circuito a lazo cerrado de carga de C .

Cuando las corrientes $i_P = i_O$ alcanzan el valor de referencia, I_{REF} , se inicia la etapa de flat-top.

3.2.3. Etapa de flat-top

Durante la etapa de flat-top, se desconecta la fuente de alta tensión mediante el apagado del interruptor $S1$ y se conectan los generadores GIP y GIS encendiendo $S3$ y habilitando $S4$. $S2$ permanece activo. En esta etapa, se habilitan los controles de corriente de GIP y GIS, y el sistema de regulación. En la [Figura 3.9a](#) se muestra la topología, resaltándose los componentes activos y los caminos de circulación de corriente. Las formas de ondas de las señales más relevantes se muestran en la [Figura 3.9b](#).

En las secciones [3.3](#) y [3.4](#) se explica en detalle la operación del sistema de regulación y de los controles de corriente de GIP y GIS.

Una vez finalizado el tiempo de flat-top, se continúa con la etapa de bajada de la corriente.

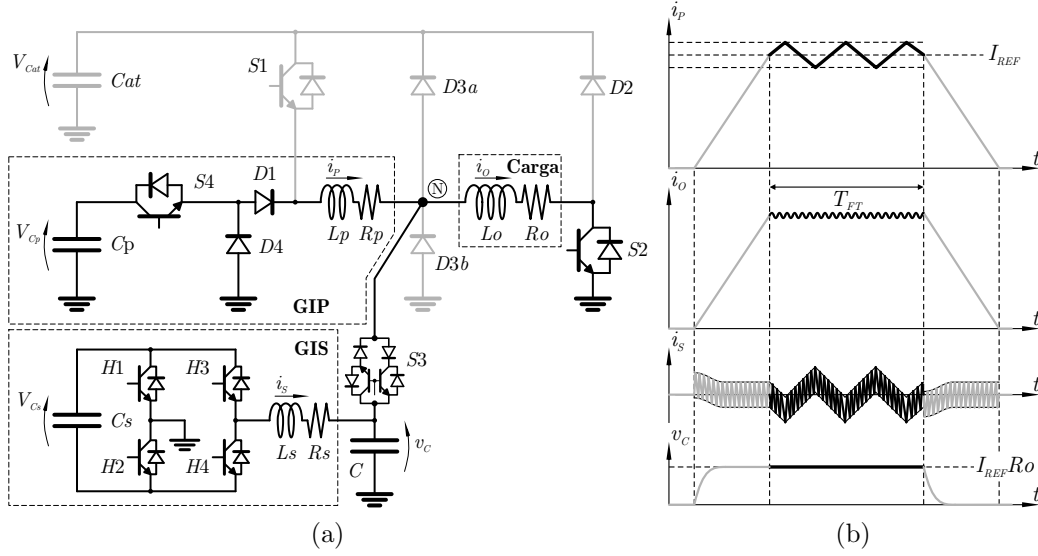


Figura 3.9: Diagrama circuital (a) y formas de onda de corriente (b) durante la etapa de flat-top.

3.2.4. Etapa de bajada

Durante esta etapa, se abren los interruptores $S1$, $S2$, $S3$ y $S4$ de forma tal que la corriente disminuya con la aplicación sobre la carga de una tensión negativa de amplitud V_{Cat} . Al momento de abrir el interruptor $S3$ para desconectar GIS del nodo $\textcircled{N}$, se produce un transitorio de desconexión debido a las diferencias de corriente entre la corriente i_p y la corriente en la carga. La corriente residual circula por el diodo $D3a$ o por el diodo $D3b$ dependiendo de su sentido de circulación. Dado que la magnitud de esta corriente es muy inferior a I_{REF} , la duración de este transitorio resulta también muy inferior al tiempo de bajada de la corriente.

Una vez finalizado el transitorio de desconexión, el circuito compuesto por GIS y C quedan completamente separado del nodo $\textcircled{N}$. Como consecuencia, la topología se divide en un circuito de descarga de L_o y L_p y un circuito de descarga de C , los cuales se destacan en la Figura 3.10a. La descarga del capacitor C es requerida en caso de que sea necesario generar pulsos con diferentes valores de

corriente de flat top.

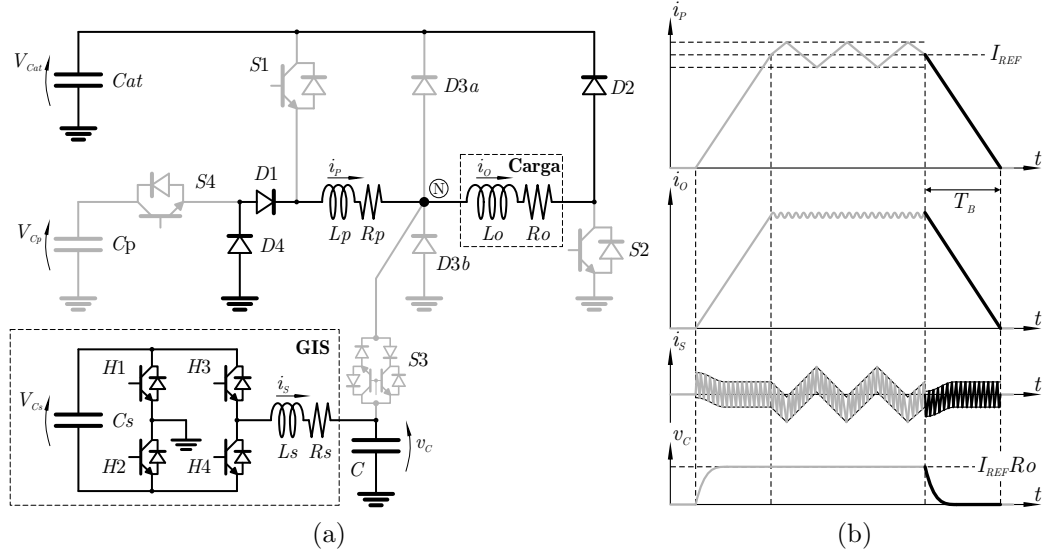


Figura 3.10: Diagrama circuital (a) y formas de onda de corriente (b) durante la etapa de bajada.

El circuito de descarga de L_p y L_o se muestra en forma simplificada en la Figura 3.11

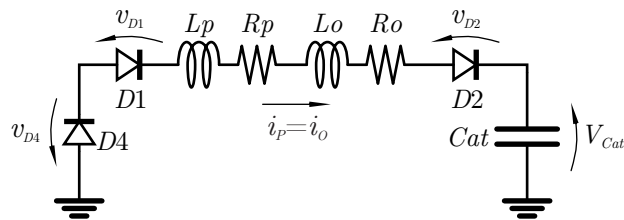


Figura 3.11: Circuito equivalente de descarga de L_p y L_o durante la etapa de bajada.

De igual forma que en la etapa de subida, la forma de onda de corriente es cercana a una rampa con un tiempo de bajada, T_B , el cual queda determinado de forma aproximada por la Ec. (3.3).

$$T_B \approx \frac{(L_p + L_o)I_{REF}}{V_{Cat}} \quad (3.3)$$

En la [Figura 3.12a](#) se muestra un esquema del circuito asociado a la descarga de C . En dicho esquema, GIS entrega una corriente proporcional al error entre la

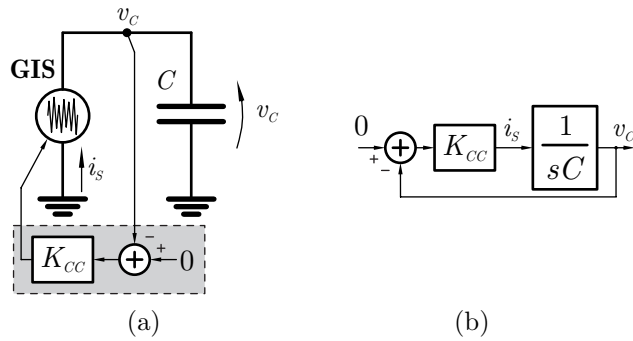


Figura 3.12: Circuito a lazo cerrado de descarga de C .

tensión en C y su valor final, el cual es nulo. El lazo de realimentación resultante de adicionar la característica integral del capacitor, el cual se indica en el diagrama en bloques de la [Figura 3.12b](#), conduce a un sistema con una respuesta dinámica de primer orden. Considerando que la descarga de los inductores se realiza a lazo abierto y que la correspondiente a C se realiza en forma controlada, la dinámica de esta última se debe ajustar para que finalice en primer lugar.

Una vez que se extinguen todas las corrientes, el control secuencial retorna a su estado inactivo.

3.3. Regulación

Las tensiones y corrientes instantáneas de las diferentes estructuras no siempre son las adecuadas durante las interconexiones ($i_P = i_O \neq I_{REF}$ o $v_C \neq I_{REF} \cdot R_O$). En la práctica, las condiciones apropiadas para evitar la existencia de transitorios en las señales son muy difíciles de obtener, debido principalmente a los posibles retardos en la operación de los interruptores. Pequeños errores en estos valores se traducen en la generación de transitorios, los cuales dependen de la magnitud del

error, de las características del circuito y del sistema de regulación implementado. Una transición crítica se da al arribar al flat-top, ya que un transitorio puede causar la necesidad de extender la duración del flat-top, de forma de permitir un tiempo de amortiguamiento de las oscilaciones en la corriente de carga. Dado que, una extensión en la duración del flat-top implica un aumento en el valor RMS de la corriente de carga, es de fundamental importancia minimizar el tiempo de establecimiento. Por lo tanto, el análisis del sistema de regulación estará enfocado en determinar el transitorio al comienzo del flat-top.

En la [Figura 3.13](#) se muestra un circuito equivalente del sistema durante el flat-top en el cual se destacan el modelo de la planta ([Sección 3.3.1](#)) y los bloques de regulación. La estrategia de regulación se basa en dos lazos de realimentación de estados ([Sección 3.3.2](#)), un lazo de control externo tipo integrador ([Sección 3.3.3](#)) y un lazo de cancelación tipo feed-forward ([Sección 3.3.4](#)).

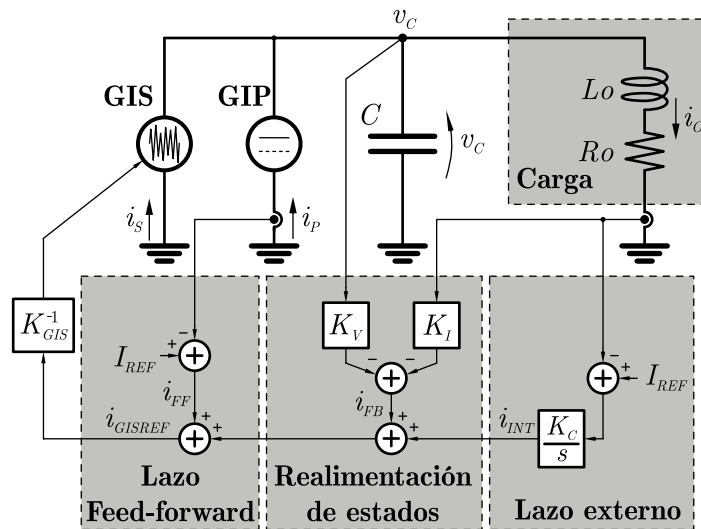


Figura 3.13: Circuito equivalente durante el flat-top.

3.3.1. Modelo dinámico de la planta ($CLoRo$)

Si se considera que GIP y GIS operan como generadores de corriente, lo que resulta en una aproximación válida debido a la utilización de lazos de realimentación locales, la planta queda acotada a un arreglo entre el capacitor C y la carga. Se puede ver en la [Figura 3.13](#) que dichos componentes conforman un circuito resonante paralelo, el cual responde al modelo de estados de la [Ec. \(3.4\)](#).

$$\begin{bmatrix} sv_C \\ si_O \end{bmatrix} = \begin{bmatrix} 0 & -1/C \\ 1/L_o & -R_o/L_o \end{bmatrix} \begin{bmatrix} v_C \\ i_O \end{bmatrix} + \begin{bmatrix} 1/C \\ 0 \end{bmatrix} (i_P + i_S) \quad (3.4)$$

A partir del modelo de la [Ec. \(3.4\)](#) se puede determinar la ecuación característica que determina la naturaleza del comportamiento del sistema. En los casos donde la resistencia de carga sea baja en comparación a su valor de inductancia, lo cual suele ser una condición de diseño, la ecuación de transferencia contiene dos polos complejos conjugados. Esta función puede ser re-escrita en forma genérica como se muestra en la [Ec. \(3.5\)](#).

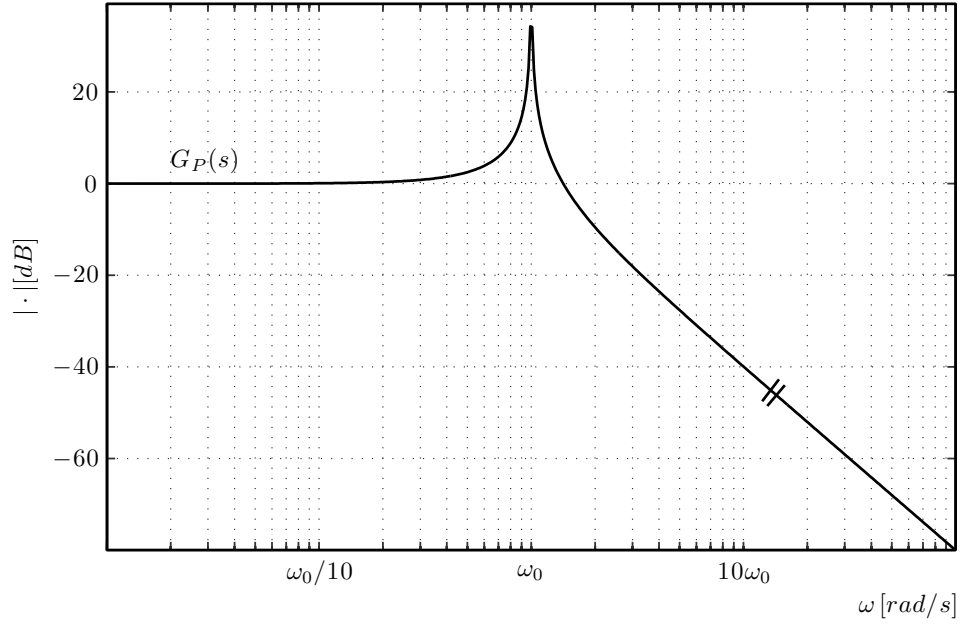
$$LoCs^2 + RoCs + 1 = \frac{s^2}{\omega_0^2} + \frac{2\xi_0}{\omega_0}s + 1 \quad (3.5)$$

donde $\omega_0^2 = \frac{1}{LoC}$ es la frecuencia de resonancia del sistema y ξ_0 es el factor de amortiguamiento.

La función de transferencia que relaciona a la corriente de carga con la suma de las corrientes de los generadores GIP y el GIS, $G_P(s)$, está dada por la [Ec. \(3.6\)](#).

$$G_P(s) = \frac{I_O(s)}{I_P(s) + I_S(s)} = \frac{1}{LoCs^2 + RoCs + 1} = \frac{1}{\frac{s^2}{\omega_0^2} + \frac{2\xi_0}{\omega_0}s + 1} \quad (3.6)$$

La [Figura 3.14](#) muestra el diagrama de Bode de $G_P(s)$, donde se puede ver el pico de resonancia en ω_0 cuya amplitud depende del valor de ξ_0 .

Figura 3.14: Diagrama de Bode de $G_P(s)$.

En este análisis, la función de transferencia GIS, G_{GIS} , es considerada constante debido a que se asume que su ancho de banda es mucho mayor que la dinámica de los lazos de regulación ($G_{GIS}(s) = K_{GIS}$). El generador GIS será estudiado con mas detalle en la [Sección 3.4](#). Además, si se compensa matemáticamente la ganancia del GIS directamente sobre su entrada, la trasferencia de este generador puede ser considerada unitaria durante el diseño del sistema de control. Esta consideración permite reducir la complejidad del desarrollo matemático sin modificar ni restar generalidad al alcance del análisis. Finalmente, la corriente de GIS puede ser calculada como la suma de las corrientes del lazo de cancelación i_{FF} , de los lazos de realimentación de estados i_{FB} y del lazo externo i_{INT} (Ec. (3.7)).

$$i_{GIS} = i_{GISREF} = i_{FF} + i_{FB} + i_{INT} \quad (3.7)$$

3.3.2. Realimentación de estados

El sistema de control debe ser capaz de manejar la respuesta transitoria del circuito LC con mínimo tiempo y amplitud. Para lograr este requisito, se utiliza un control por realimentación de estados, mediante el cual se reubican los polos de lazo cerrado del circuito de segundo orden, de forma de obtener una respuesta con amortiguamiento crítico. Esta realimentación de estados se implementa por medio de las ganancias K_V y K_I . En la [Figura 3.15](#) se muestra un diagrama en bloques equivalente del sistema de regulación. Durante esta sección y la siguiente, donde se describe el lazo de realimentación externo, se considera que la corriente del generador GIP, i_P , y la señal correspondiente al lazo de realimentación feed-forward, i_{FF} , resultante de restar a esta última la corriente de referencia, se encuentran fuera de los lazos de realimentación. Por lo tanto, serán tratadas como perturbaciones y no intervienen en el análisis dinámico. Esto es posible debido a que la realimentación local de GIP reduce notablemente la impedancia de salida de dicho generador, con lo cual no resulta influido significativamente por el resto del sistema.

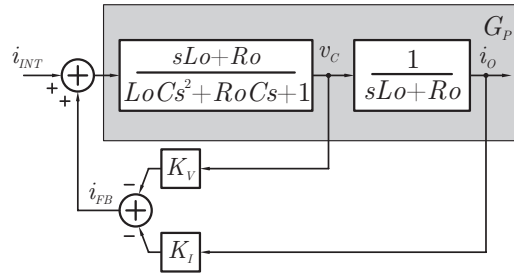


Figura 3.15: Diagrama en bloques de los lazos de realimentación de estados.

El modelo de estados del sistema resultante luego de la aplicación de las realimentaciones K_V y K_I se muestra en la Ec. (3.8).

$$\begin{bmatrix} sv_C \\ si_O \end{bmatrix} = \begin{bmatrix} -K_V/C & -(K_I + 1)/C \\ 1/L_O & -R_O/L_O \end{bmatrix} \begin{bmatrix} v_C \\ i_O \end{bmatrix} + \begin{bmatrix} 1/C \\ 0 \end{bmatrix} i_{INT} \quad (3.8)$$

A partir de dicho modelo se puede obtener la ecuación característica del sistema realimentado, la cual es comparada con la ecuación genérica de 2do orden con frecuencia de resonancia ω_P y factor de amortiguamiento ξ_P en la Ec. (3.9).

$$\frac{LoC}{1 + K_V Ro + K_I} s^2 + \frac{CR_O + K_V Lo}{1 + K_V Ro + K_I} s + 1 = \frac{s^2}{\omega_P^2} + \frac{2\xi_P}{\omega_P} s + 1 \quad (3.9)$$

Se puede observar en la Ec. (3.9) que la ubicación de los polos y el amortiguamiento pueden ser ajustados por medio de K_V y K_I . Las ecuaciones (3.10) y (3.11) para el cálculo de K_V y K_I surgen de ajustar esta ecuación de forma de obtener un factor de amortiguamiento unitario ($\xi_P = 1$).

$$K_V = \frac{2LoC\omega_P - RoC}{Lo} \quad (3.10)$$

$$K_I = \frac{\omega_P^2}{\omega_0^2} - K_V Ro - 1 \quad (3.11)$$

La función de transferencia a lazo cerrado de la planta modificada por medio de la realimentación de estados, $G_{FB}(s)$, está dada por la Ec. (3.12).

$$G_{FB}(s) = \frac{i_S(s)}{i_{INT}(s)} = \frac{K_{FB}}{\frac{LoC}{1 + K_V Ro + K_I} s^2 + \frac{CR_O + K_V Lo}{1 + K_V Ro + K_I} s + 1} = \frac{K_{FB}}{\left(\frac{s}{\omega_P} + 1\right)^2} \quad (3.12)$$

donde $K_{FB} = \frac{1}{1 + K_V R + K_I} = \frac{\omega_0^2}{\omega_P^2}$ es la ganancia en baja frecuencia de $G_{FB}(s)$ y ω_P es la frecuencia de los polos a lazo cerrado. En la Figura 3.16 se muestra el diagrama de Bode de $G_{FB}(s)$, donde se puede ver como la ganancia en baja

frecuencia K_{FB} se modifica al reubicar los polos.

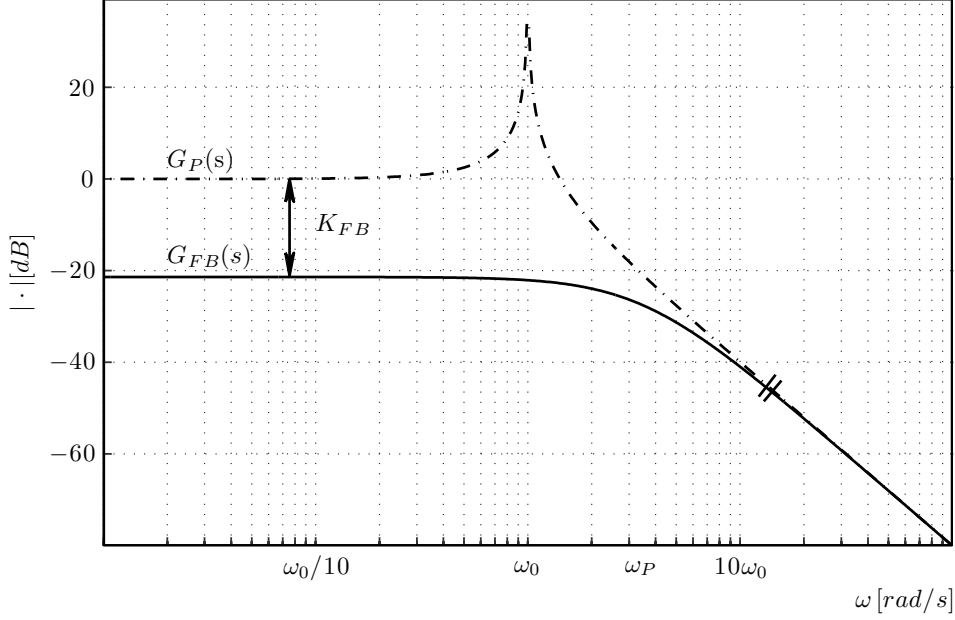


Figura 3.16: Diagrama de Bode de $G_{FB}(s)$.

Es importante destacar que, como se puede inferir de la [Figura 3.16](#), el comportamiento del sistema no realimentado ($G_P(s)$) produce una respuesta transitoria con características oscilatorias lo que puede conducir a la destrucción de los dispositivos del convertidor. A diferencia de esto, el sistema resultante de aplicar la realimentación de estados ($G_{FB}(s)$) presenta un comportamiento amortiguado. Por lo tanto, la sola aplicación de este esquema de realimentación resulta en una condición de funcionamiento seguro, con lo cual, puede ser utilizado como una etapa intermedia para el ensayo del sistema durante el proceso de puesta en marcha.

3.3.3. Lazo externo

Un lazo de realimentación externo con un controlador $G_C(s)$ es implementado de forma de regular la corriente i_O . Debido a que se requiere regular i_O con error

nulo en estado estacionario y a que el sistema resultante de aplicar los lazos de realimentación de estados es de tipo 0, resulta necesario utilizar un controlador del tipo integrador cuya función de transferencia se muestra en la Ec. (3.13) (Figura 3.17).

$$G_C(s) = \frac{K_C}{s} \quad (3.13)$$

donde K_C es la ganancia del compensador.

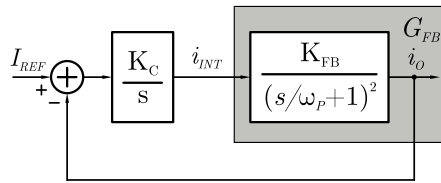


Figura 3.17: Diagrama en bloques del lazo externo de realimentación de corriente.

La ganancia a lazo abierto del sistema compensado se muestra en la Ec. (3.14).

$$G_C(s)G_{FB}(s) = \frac{K_C K_{FB}}{s \left(\frac{s}{\omega_P} + 1 \right)^2} = \frac{1}{\left(\frac{s}{\omega_C} \right) \left(\frac{s}{\omega_P} + 1 \right)^2} \quad (3.14)$$

donde ω_C es la frecuencia de corte, la cual se ajusta por medio de la ganancia K_C del compensador, como se muestra en la Ec. (3.15).

$$K_C = \frac{\omega_C}{K_{FB}} \quad (3.15)$$

Con el objeto de obtener una respuesta transitoria principalmente dependiente del ancho de banda del lazo externo, los polos de G_{FB} son ubicados por encima del mismo ($\omega_P > \omega_C$). En la Figura 3.18 se muestra un diagrama de Bode de la transferencia a lazo abierto del sistema compensado.

De la Figura 3.18 se desprende que el margen de fase del sistema compensado depende de la relación entre ω_P y ω_C , $k = \omega_P/\omega_C$. De aquí se deriva que, cuanto

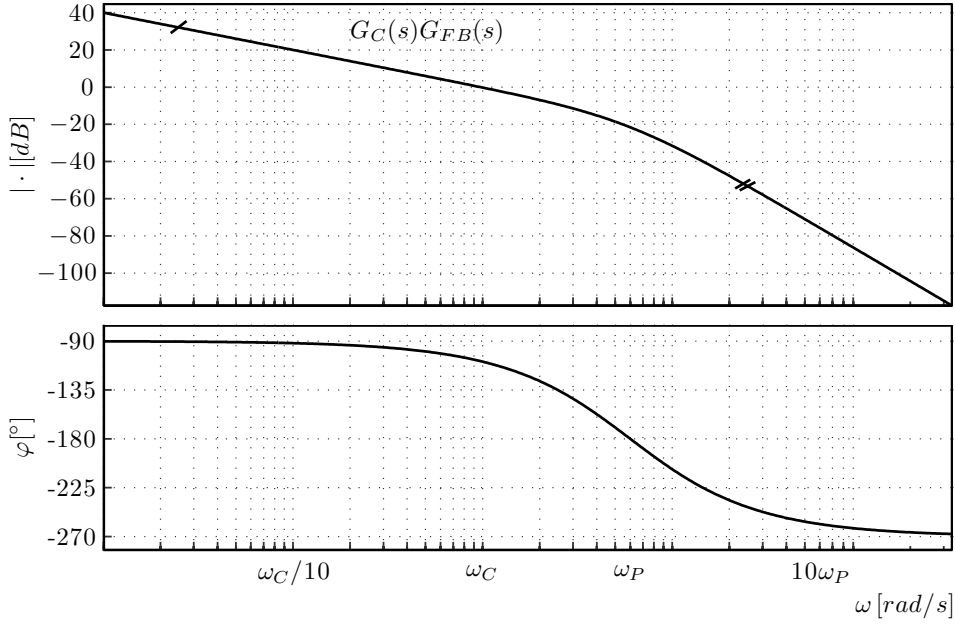
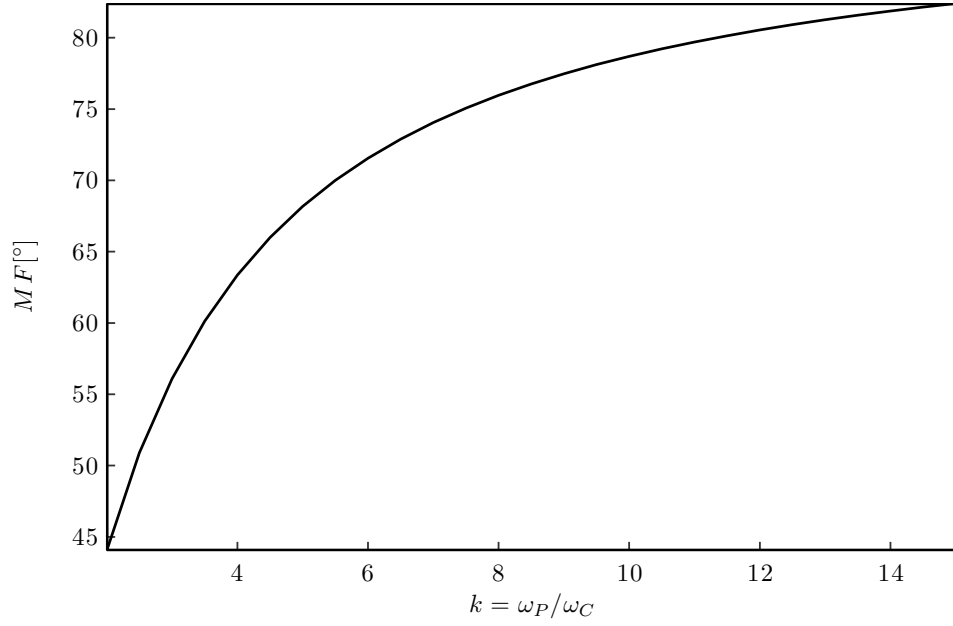


Figura 3.18: Diagrama de Bode de $G_C(s)G_{FB}(s)$.

mayor sea la relación k , mayor será el margen de fase del sistema, logrando así una mejora en el comportamiento transitorio. Esta mejora está limitada por las características de GIS, ya que para incrementar k manteniendo el ancho de banda del sistema, es necesario aumentar ω_P . Esto implica un aumento en el ancho de banda del GIS y, por lo tanto, una frecuencia de conmutación superior. En la [Figura 3.19](#) se muestra la relación entre el margen de fase y k .

3.3.4. Atenuación del sistema a los ripples de GIP y GIS

Si se asume que el sistema es capaz de controlar adecuadamente el valor medio de la corriente en la carga durante el flat top, entonces la precisión de la fuente recae en la amplitud del ripple de dicha corriente, ΔI_O , el cual proviene de las conmutaciones de los generadores GIS y GIP. En esta sección, se busca establecer las ecuaciones que determinan la magnitud de este ripple.

Figura 3.19: Margen de fase vs. k .

Por simplicidad, este análisis se divide en el estudio de la componentes del ripple de ΔI_O debidas al generador GIP, $\Delta I_O|_{GIP}$, y al generador GIS, $\Delta I_O|_{GIS}$. Además, se considera que las amplitudes de los ripples en las corrientes i_P e i_S (ΔI_{GIP} y ΔI_{GIS} , respectivamente) se ajustan por medio de los lazos de realimentación locales, con lo cual se las asume conocidas. Por lo tanto, este análisis se limita a determinar la atenuación del sistema, compuesto por la planta y los lazos de realimentación, a los ripples ΔI_{GIP} y ΔI_{GIS} (Ec. (3.16)).

$$\Delta I_O = \Delta I_O|_{GIP} + \Delta I_O|_{GIS} = \frac{\Delta I_O|_{GIP}}{\Delta I_{GIP}} \cdot \Delta I_{GIP} + \frac{\Delta I_O|_{GIS}}{\Delta I_{GIS}} \cdot \Delta I_{GIS} \quad (3.16)$$

Atenuación del ripple de GIS

Con respecto a ΔI_{GIS} , debido a que los lazos de realimentación son implementados mediante éste, no pueden atenuar su propio ripple, con lo cual, es atenuado

sólo por el circuito RLC, cuya función de transferencia está dada por la Ec. (3.17).

$$\frac{\Delta I_O|_{GIS}}{\Delta I_{GIS}} = \frac{\omega_0^2}{s^2 + 2 \cdot \xi_0 \cdot \omega_0 \cdot s + \omega_0^2} \Big|_{s=2\pi f_{GIS}} \approx \frac{\omega_0^2}{(2\pi f_{GIS})^2} \quad (3.17)$$

Atenuación del ripple de GIP

El ripple de corriente proveniente de GIP es atenuado por el sistema resultante de la aplicación de los lazos de realimentación. En la Figura 3.20 se indica el punto en el cual ingresa esta perturbación al sistema de regulación.

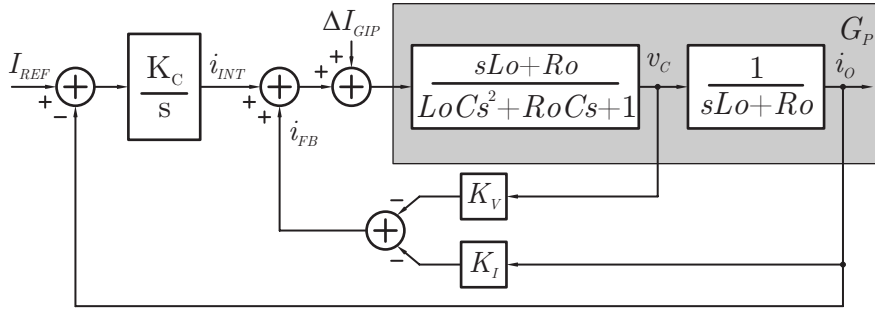


Figura 3.20: Punto de incidencia de ΔI_{GIP} en el sistema de regulación.

Como se puede ver en la Figura 3.20 los puntos de suma de i_{FB} y ΔI_{GIP} pueden ser intercambiados lo que permite remplazar a la planta y la realimentación de estados por su transferencia equivalente como se muestra en la Figura 3.21.

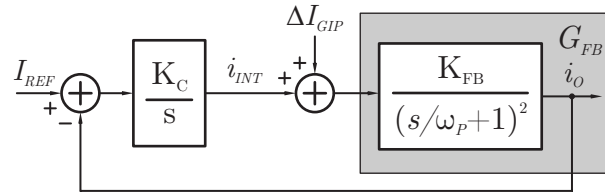


Figura 3.21: Punto de incidencia de ΔI_{GIP} en el sistema de regulación simplificado.

Luego, partiendo del diagrama en bloques de la Figura 3.21 se puede obtener la expresión correspondiente a la atenuación del sistema al ripple de GIP

(Ec. (3.18)).

$$\frac{\Delta I_O|_{GIP}}{\Delta I_{GIP}} = \frac{\frac{K_{FB}}{(s/\omega_P+1)^2}}{1 + \frac{\omega_C}{s(s/\omega_P+1)^2}} \bigg|_{s=2\pi f_{GIP}} \approx \frac{K_{FB}s/\omega_C}{(s/\omega_C + 1)(s/\omega_P + 1)} \bigg|_{s=2\pi f_{GIP}} \quad (3.18)$$

donde la aproximación aplicada en el último término es válida si $\omega_P \gg \omega_C$. Se puede asumir esta condición ya que, como se analizó en la Sección 3.3.3, de ésta depende el margen de fase del sistema. De la Ec. (3.18) se desprende que la mínima atenuación al ripple ocurre cuando $\omega_C < 2\pi f_{GIP} < \omega_P$, donde ΔI_{GIP} es atenuado como se indica en la Ec. (3.19).

$$\frac{\Delta I_O|_{GIP}}{\Delta I_{GIP}} \bigg|_{min} \approx K_{FB} = \frac{\omega_0^2}{\omega_P^2} \quad (3.19)$$

Del último término de la Ec. (3.18) se infiere además que la atenuación al ripple de GIP es constante mientras f_{GIP} se mantenga acotada entre la frecuencia de corte del sistema y la frecuencia de los polos de la planta realimentada. Esta característica habilita a la utilización de un control de corriente para GIP con frecuencia de conmutación variable, como es el caso del control por histéresis.

La Ec. (3.19) indica que, para aumentar la atenuación del ripple de GIP se requiere aumentar la frecuencia ω_P , lo que conduce a una frecuencia de conmutación de GIS superior. Para evitar incrementar la frecuencia de conmutación de GIS, la cual está fuertemente limitada por la capacidad de los dispositivos semiconductores, se propone la incorporación de un lazo de realimentación del tipo feed-forward destinado a cancelar el ripple proveniente de GIP. Esta compensación se obtiene por medio del agregado de la señal $(i_P - I_{REF})$ a la referencia del lazo interno como se muestra en el diagrama en bloques de la Figura 3.22.

En condiciones ideales, el lazo de realimentación feed-forward cancela completamente el ripple de GIP. En cambio, en el caso real, múltiples factores relativos

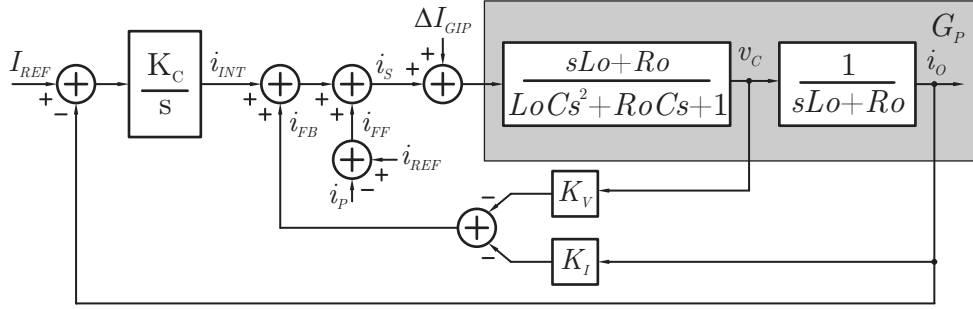


Figura 3.22: Sistema de regulación con el agregado del lazo de realimentación feed-forward.

a la implementación del sistema de control impiden que la cancelación sea completa lo que implica la existencia de un ripple residual. En este caso, ΔI_{GIP} en la Ec. (3.18) es reemplazada por el ripple residual de la compensación feed-forward cuya magnitud es inferior, lo que permite incrementar la atenuación total de esta perturbación.

3.3.5. Inicialización del integrador

Como se explicó anteriormente, para minimizar el transitorio al inicio del flat-top, todas las variables de estado del sistema deben ser lo más cercanas posibles a su valor en estado estacionario. En el caso del sistema realimentado esto abarca a las variables de estado físicas (i_O y v_C) y a las internas del sistema de regulación. Para ajustar las variables internas es necesario calcular sus valores en estado estacionario. En la estrategia de regulación propuesta existe sólo una variable de estado dada por la salida del integrador, i_{INT} .

En la Figura 3.23 se muestran los bloques del sistema de regulación indicando en cada una de las entradas, afuera de los cuadros grises, el valor que adoptan en estado estacionario. A partir de esta figura, dado que en estado estacionario $i_{GISREF} = i_{FF}$, entonces i_{INT} es igual a $-i_{FB}$. Luego, se puede despejar el valor

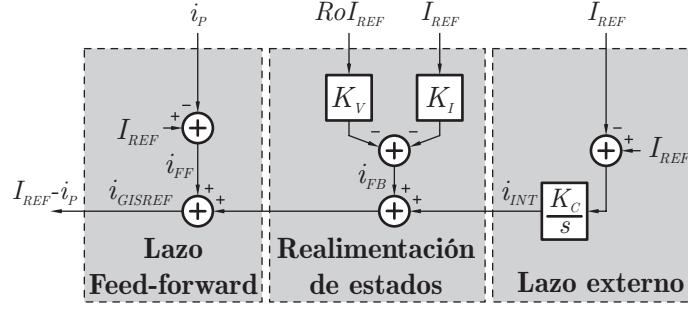


Figura 3.23: Esquema del sistema de regulación en estado estacionario.

inicial a la salida del integrador aplicando la Ec. (3.20).

$$i_{INT}|_{t_{FT}=0} = K_V v_C|_{t_{FT}=0} + K_I i_O|_{t_{FT}=0} = K_V RoI_{REF} + K_I I_{REF} \quad (3.20)$$

3.3.6. Comportamiento transitorio del sistema

En esta sección se evalúa la relación entre los parámetros de ajuste de la regulación y el comportamiento transitorio del sistema. Se debe considerar que durante el tiempo de establecimiento se producen transitorios en todas las variables de estado (i_O , v_C e i_{INT}). Sin embargo, como se mencionó previamente, es de especial interés el estudio del comportamiento de i_O .

La ecuación que modela la evolución temporal de i_O al inicio del flat-top surge de la suma de dos componentes, la componente homogénea, debida a las condiciones iniciales del sistema, y la componente particular, debida a sus entradas. El desarrollo de esta ecuación se realiza en el [Apéndice C](#) de forma genérica para cualquier condición inicial y se la evalúa para el caso específico en el cual todas las condiciones iniciales son las adecuadas, excepto por la tensión en el capacitor que es considerado descargado ($i_O = i_P = I_{REF}$, $v_C = 0$ e $i_{INT} = K_I I_{REF}$). En dicho apéndice, se obtiene la ecuación indicada en (3.21), que define el comportamiento de i_O durante el transitorio de acoplamiento como función de la amplitud

del pulso.

$$i_O(t) = I_{REF} + \mathfrak{L}^{-1} \left\{ -\frac{Ro}{Lo} \frac{s(s + 2k\omega_C)}{s^3 + 2k\omega_C s^2 + k^2\omega_C^2 s + k^2\omega_C^3} \frac{I_{REF}}{s} \right\} \quad (3.21)$$

En la [Ec. \(3.21\)](#) se observa que el transitorio de acoplamiento de i_O resulta influenciado por el ajuste de los parámetros del sistema de regulación k y ω_C , y por un factor Ro/Lo , el cual se relaciona con las características constructivas de la carga. A continuación, se analiza el efecto de modificar cada uno de estos parámetros.

La respuesta transitoria obtenida mediante la evaluación de la [Ec. \(3.21\)](#) para diferentes valores de k es mostrada en la [Figura 3.24](#). En este conjunto de curvas ω_C permanece constante.

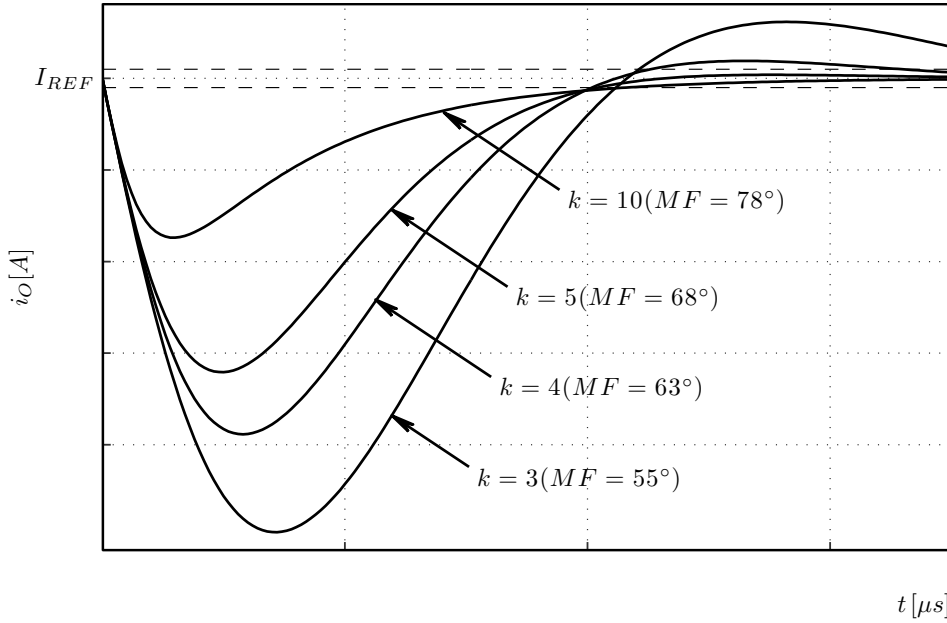


Figura 3.24: Respuesta transitoria para diferentes valores de k , considerando Ro/Lo y ω_C constantes.

En la [Figura 3.24](#) se puede observar que, cuando el margen de fase aumenta (es decir, que k se incrementa), se produce una clara disminución de la amplitud del

sobrepico mientras que la influencia no resulta significativa sobre su duración. Este comportamiento se debe a que la duración del transitorio depende principalmente del valor de ω_C , lo que se observa en la [Figura 3.25](#). En esta figura se muestra la corriente i_O para diferentes casos de ω_C , en los cuales k permanece constante.

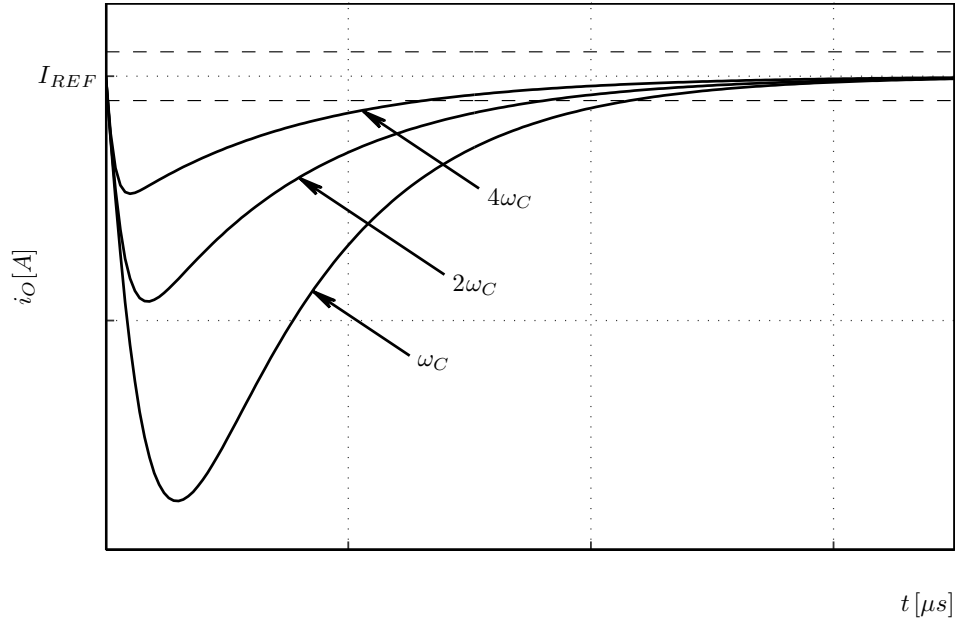


Figura 3.25: Respuesta transitoria para diferentes valores de ω_C , considerando R_o/L_o y k constantes.

En la [Figura 3.26](#) se muestran un conjunto de curvas correspondientes al transitorio de acoplamiento resultante de utilizar diferentes valores de R_o/L_o bajo las mismas condiciones de k y ω_C . Como se puede observar, cuanto mayor es el factor R_o/L_o , mayor es la amplitud del transitorio de acoplamiento mientras que la duración del mismo no presenta una variación evidente.

El análisis realizado en esta sección indica que, independientemente de la carga utilizada, si los lazos de realimentación son ajustados adecuadamente, el tiempo de establecimiento no presenta variaciones considerables, lo que evidencia la flexibilidad del convertidor.

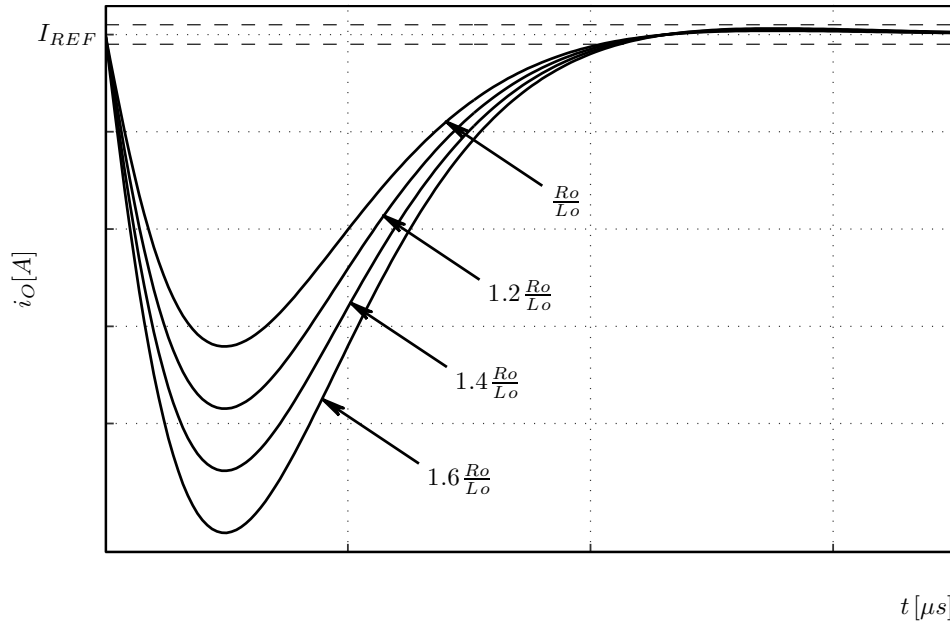


Figura 3.26: Respuesta transitoria para diferentes cargas, considerando k y ω_C constantes.

3.4. Controles de corriente locales de GIP y GIS

Los generadores GIP y GIS son controlados por medio de controles de corriente por histéresis (Figura 3.27). Se utiliza esta clase de control debido a que presenta una elevada respuesta dinámica y asegura que el error de corriente esté acotado dentro de bandas de comparación (Δi_H). Sin embargo, como desventaja, la frecuencia de conmutación resultante es variable y debe ser considerada en el resto del diseño.

Una particularidad de este control es que permite alcanzar una elevada impedancia de salida del convertidor, Z_{out} . De esta forma, dentro de la banda de frecuencias inferiores a la de conmutación, el convertidor puede ser considerado como un generador de corriente. Las características de los controles de GIP y GIS se describen a continuación, haciendo énfasis en el ajuste de las frecuencias de conmutación.

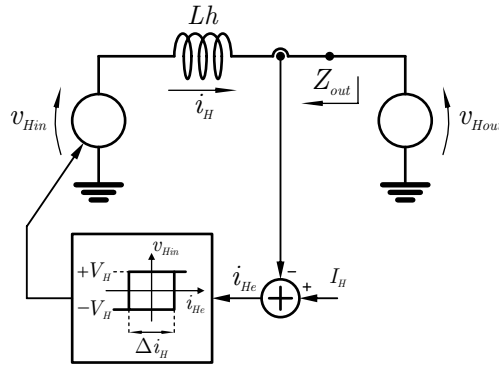


Figura 3.27: Esquema genérico de un convertidor controlado por histéresis.

3.4.1. Generador GIP

Un esquema del generador GIP se muestra en la [Figura 3.28](#), el cual debe entregar una corriente i_P con valor medio I_{REF} . Este generador se conecta al

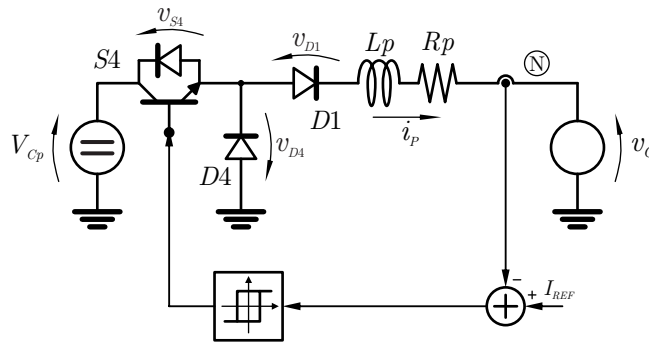


Figura 3.28: Esquema circuital del lazo de control de corriente local de GIP.

nodo $\textcircled{N}$, el cual presenta una impedancia dada principalmente por C . Por lo tanto, dicho nodo se comporta de forma transitoria como una fuente de tensión de amplitud v_C , la cual se asume constante dentro de un período de conmutación.

Las tensiones aplicadas sobre el inductor (compuesto por L_p y R_p) en los estados ON ($S4$:ON; $D4$:OFF) y OFF ($S4$:OFF; $D4$:ON) resultan dependientes de la tensión de entrada V_{Cp} , de la tensión instantánea en el nodo $\textcircled{N}$ y de las

caídas de tensión en los interruptores, como se muestra en (3.22).

$$\begin{aligned} V_{GIPon} &= V_{Cp} - v_{S4} - v_{D1} - v_C \\ V_{GIPoff} &= -v_C - v_{D1} - v_{D4} \end{aligned} \quad (3.22)$$

Si se considera que las caídas de tensión de los interruptores son despreciables en relación a V_{Cp} y v_C , y que el período de conmutación del generador es muy pequeño en relación a la constante de tiempo Lp/Rp , las formas de onda de subida y bajada de i_P se pueden aproximar por rampas, cuyas pendientes se determinan por medio de las ecuaciones (3.23) y (3.24).

$$\frac{di_{GIPon}}{dt} \approx \frac{V_{Cp} - v_C - I_{GIPoff-on}Rp}{Lp} \quad (3.23)$$

$$\frac{di_{GIPoff}}{dt} \approx -\frac{v_C + I_{GIPon-off}Rp}{Lp} \quad (3.24)$$

La frecuencia de conmutación de GIP se ajusta en cada pulso por medio de la selección del ancho de la banda de histéresis. La elección de esta frecuencia resulta restringida por los límites de operación de los dispositivos y por la capacidad del sistema de atenuar el ripple generado. La forma de onda de tensión aplicada sobre el inductor y la corriente resultante durante un ciclo de conmutación de GIP se muestran en la Figura 3.29.

La duración de los semi-ciclos de conmutación T_{GIPon} y T_{GIPoff} , indicados en las ecuaciones (3.25) y (3.26), resultan de aplicar las ecuaciones (3.23) y (3.24), considerando que las corrientes en los cambios de estado $I_{GIPoff-on}$ y $I_{GIPon-off}$

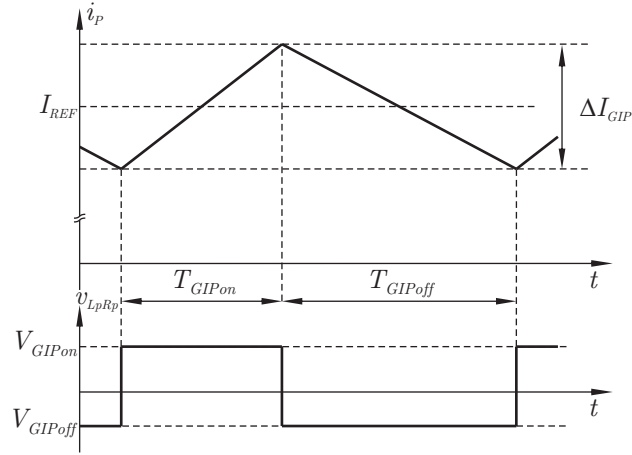


Figura 3.29: Ripple en estado estacionario del generador GIP.

quedan definidas por los límites de la banda de histéresis.

$$T_{GIPon} \approx \frac{Lp\Delta I_{GIP}}{V_{Cp} - v_C - I_{REF}Rp + \Delta I_{GIP}Rp/2} \quad (3.25)$$

$$T_{GIPoff} \approx \frac{Lp\Delta I_{GIP}}{v_C + I_{REF}Rp + \Delta I_{GIP}Rp/2} \quad (3.26)$$

Las ecuaciones (3.25) y (3.26) pueden ser simplificadas, si se considera que el ancho de la banda de histéresis ΔI_{GIP} es mucho menor que la corriente de referencia I_{REF} , resultando las ecuaciones (3.27) y (3.28).

$$T_{GIPon} \approx \frac{Lp\Delta I_{GIP}}{V_{Cp} - v_C - I_{REF}Rp} \quad (3.27)$$

$$T_{GIPoff} \approx \frac{Lp\Delta I_{GIP}}{v_C + I_{REF}Rp} \quad (3.28)$$

Finalmente, la frecuencia de conmutación f_{GIP} puede ser calculada a partir de la Ec. (3.29).

$$f_{GIP} = \frac{1}{T_{GIPon} + T_{GIPoff}} \approx \frac{(V_{Cp} - v_C - I_{REF}Rp)(v_C + I_{REF}Rp)}{Lp\Delta I_{GIP}V_{Cp}} \quad (3.29)$$

En régimen estacionario, la tensión en el capacitor adopta el valor $v_C \approx I_{REF} R_o$, con lo cual f_{GIP} puede ser obtenida por medio de la Ec. (3.30).

$$f_{GIP} = \frac{1}{T_{GIPon} + T_{GIPoff}} \approx \frac{(V_{Cp} - I_{REF}(Rp + Ro)) I_{REF}(Rp + Ro)}{Lp \Delta I_{GIP} V_{Cp}} \quad (3.30)$$

El ciclo de trabajo de GIP, D_{GIP} , puede ser obtenido realizando las mismas simplificaciones que las adoptadas para el cálculo de f_{GIP} (Ec. (3.31)).

$$D_{GIP} = \frac{T_{GIPon}}{T_{GIPon} + T_{GIPoff}} \approx \frac{I_{REF}(Rp + Ro)}{V_{Cp}} \quad (3.31)$$

3.4.2. Generador GIS

En la Figura 3.30 se muestra un esquema del generador GIS, el cual debe entregar una corriente i_s con valor medio i_{GISREF} . En este caso, al igual que para GIP, se modela al punto sobre el cual es conectado como un generador de tensión de valor v_C , el cual se asume constante dentro del período de conmutación.

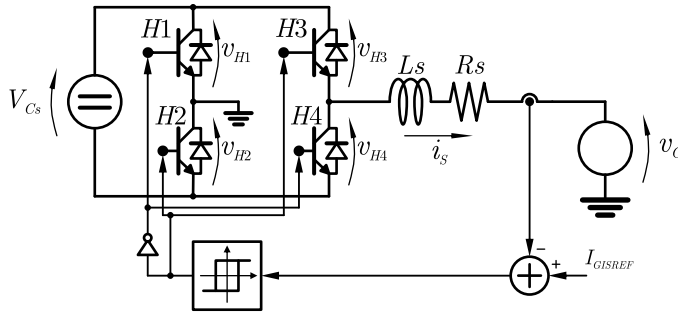


Figura 3.30: Esquema circuital del lazo de control de corriente local de GIS.

Las tensiones aplicadas sobre el inductor (compuesto por L_s y R_s) en los estados ON (H2,H3:ON; H1,H4:OFF) y OFF (H2,H3:OFF; H1,H4:ON) resultan dependientes de la tensión de entrada V_{Cs} , de la tensión en el capacitor v_C y de

las caídas de tensión en los semiconductores como se muestra en (3.32).

$$\begin{aligned} V_{GISon} &= V_{Cs} - v_{H2} - v_{H3} - v_C \\ V_{GISoff} &= -V_{Cs} - v_{H1} - v_{H4} - v_C \end{aligned} \quad (3.32)$$

Si se considera que las caídas de tensión de los interruptores son despreciables en relación a V_{Cs} y v_C , y que el período de conmutación del generador es muy pequeño en relación a la dinámica del circuito Ls/Rs , las formas de onda de subida y bajada de i_s pueden ser aproximadas a rampas, cuyas pendientes se determinan por medio de las ecuaciones (3.33) y (3.34).

$$\frac{di_{GISon}}{dt} \approx + \frac{V_{Cs} - v_C - I_{GISoff-on}Rs}{Ls} \quad (3.33)$$

$$\frac{di_{GISoff}}{dt} \approx - \frac{V_{Cs} + v_C + I_{GISoff-on}Rs}{Ls} \quad (3.34)$$

El ancho de la banda de histéresis se ajusta para cada pulso de forma de obtener una frecuencia de conmutación acorde con los límites tecnológicos de los dispositivos del convertidor. Las formas de onda de tensión aplicada sobre el inductor y la corriente resultante durante un ciclo de conmutación de GIS se muestran en la Figura 3.31. La duración de los semi-ciclos de conmutación T_{GISon} y T_{GISoff} , indicados en las ecuaciones (3.35) y (3.36), resultan de aplicar a las ecuaciones (3.33) y (3.34) la consideración de que las corrientes en los cambios de estado $I_{GISoff-on}$ y $I_{GISon-off}$ quedan definidas por los límites de la banda de histéresis.

$$T_{GISon} \approx \frac{Ls\Delta I_{GIS}}{V_{Cs} - v_C - i_{GISREF}Rs + \Delta I_{GIS}Rs/2} \quad (3.35)$$

$$T_{GISoff} \approx \frac{Ls\Delta I_{GIS}}{V_{Cs} + v_C + i_{GISREF}Rs + \Delta I_{GIS}Rs/2} \quad (3.36)$$

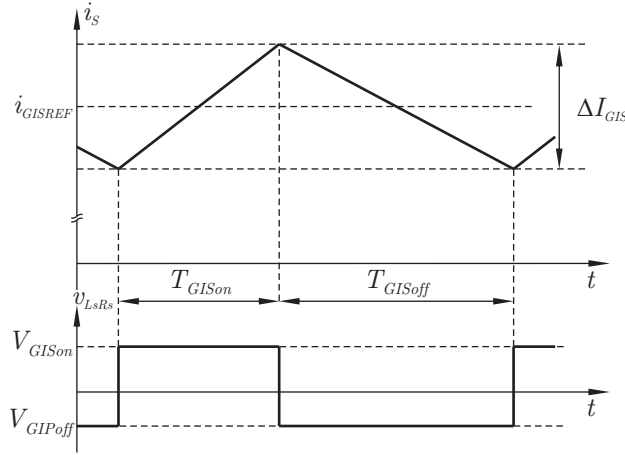


Figura 3.31: Ripple del generador GIS en estado estacionario.

Luego, la frecuencia de conmutación f_{GIS} puede ser obtenida por medio de la Ec. (3.37).

$$f_{GIS} = \frac{1}{T_{GISon} + T_{GISoff}} \approx \frac{(V_{Cs} - v_C - i_{GISREF}Rs + \Delta I_{GIS}Rs/2)(V_{Cs} + v_C + i_{GISREF}Rs + \Delta I_{GIS}Rs/2)}{Ls\Delta I_{GIS}(2 \cdot V_{Cs} + \Delta I_{GIS}Rs)} \quad (3.37)$$

En régimen estacionario, la tensión en el capacitor adopta el valor $v_C \approx I_{REF}Ro$ con lo cual f_{GIP} puede ser obtenida por medio de la Ec. (3.38).

$$f_{GIS} \approx \frac{(V_{Cs} - I_{REF}Ro - i_{GISREF}Rs + \Delta I_{GIS}Rs/2)(V_{Cs} + I_{REF}Ro + i_{GISREF}Rs + \Delta I_{GIS}Rs/2)}{Ls\Delta I_{GIS}(2 \cdot V_{Cs} + \Delta I_{GIS}Rs)} \quad (3.38)$$

La Ec. (3.38) puede ser simplificada si se considera que tanto el ancho de la banda de histéresis ΔI_{GIS} como la corriente de referencia i_{GISREF} son mucho menores que la corriente de referencia I_{REF} (Ec. (3.39)).

$$f_{GIS} \approx \frac{(V_{Cs} + I_{REF}Ro)(V_{Cs} - I_{REF}Ro)}{Ls\Delta I_{GIS}(2 \cdot V_{Cs} + \Delta I_{GIS}Rs)} \quad (3.39)$$

El ciclo de trabajo de GIS, D_{GIS} , puede ser obtenido realizando las mismas simplificaciones que las adoptadas para el cálculo de f_{GIS} (Ec. (3.40)).

$$D_{GIS} = \frac{T_{GISon}}{T_{GISon} + T_{GISoff}} \approx \frac{V_{Cs} + I_{REF}R_o}{2V_{Cs} + \Delta I_{GIS}R_s} \quad (3.40)$$

Las ecuaciones obtenidas para el cálculo de las frecuencias de conmutación de los generadores GIP y GIS ((3.30) y (3.39)) son utilizadas durante la etapa previa a la generación del pulso para determinar las bandas de histéresis ΔI_{GIP} y ΔI_{GIS} .

3.5. Conclusiones del capítulo

En este capítulo se explicó el principio de funcionamiento propuesto para la topología presentada en el Capítulo 2. Se explicó la lógica utilizada para la interconexión de las estructuras y la función de éstas en cada una de las etapas de generación del pulso.

Se describió la estructura general del sistema de control en el cual se pueden distinguir tres partes: la primera se encarga de gestionar la interconexión de las estructuras, la segunda comprende los controles locales de corriente de los generadores GIP y GIS, y la última contiene los lazos de regulación.

Se adoptó para la estructura $V_{B_T B_C A_F}$, la realización de un lazo interno de corriente, lo que permitió reducir el orden del modelo del sistema y, como consecuencia, simplificar el sistema de control.

Con el objeto de minimizar el transitorio generado por el cambio de estructura al inicio del flat-top, se propuso precargar al capacitor C de forma controlada durante la etapa de subida. Esto es posible debido a que el capacitor C y el

generador GIS permanecen conectados y aislados del resto del circuito durante dicha etapa.

La elección de una estrategia de regulación basada en realimentación de estados permitió reasignar los polos del sistema original de forma de insensibilizar al sistema de los parámetros de la carga. De esta forma se logra un comportamiento transitorio cuya duración resulta prácticamente independiente de dichos parámetros.

Los lazos de regulación propuestos aportan sólo una variable de estado al modelo del sistema y su valor de inicialización se puede obtener de forma simple. Esta característica es destacable si se tiene en cuenta que la naturaleza de la fuente involucra la necesidad de inicializar las variables de estado en la transición entre la etapa de subida y el flat-top.

Se determinó que bajo determinadas condiciones, las cuales son coherentes con la aplicación, la atenuación al ripple de GIP es independiente de su frecuencia de conmutación. Esta característica indica que, el uso de un control de corriente con frecuencia de conmutación variable no interfiere en el funcionamiento del sistema, lo que apoya el uso de un control por histéresis.

Los generadores GIP y GIS utilizan controles de corriente por histéresis. El uso de altas frecuencias de conmutación en relación a la dinámica del circuito permitió alcanzar impedancias de salida muy elevadas, con lo cual pueden ser considerados como generadores de corriente. Gracias a esto, las estructuras se comportan de forma independiente lo que facilita el diseño del sistema de regulación.

Las características del sistema de control propuesto implican la necesidad de realizar múltiples tareas en forma simultánea. En estos casos, el uso de una plataforma de programación por hardware, como el caso de una FPGA, resulta la solución más adecuada ya que permite ejecutar tareas paralelamente.

Capítulo 4

Resultados experimentales

En este capítulo se realiza la validación experimental de la topología multies-
trutura con estructura mixta propuesta en el [Capítulo 2](#).

La topología, aplicada a una fuente pulsada de corriente, se especificó en base
a los parámetros de la [Tabla \(4.1\)](#). Dichos parámetros surgen como parte del desa-
rrollo de una fuente de alimentación para aceleradores de partículas del Centro
Europeo de Investigación Nuclear (CERN) [[25](#), [26](#)]. Los resultados experimenta-
les a escala real presentados en este capítulo corresponden a dicha fuente, la cual
fue construida y ensayada en el CERN.

Tabla 4.1: Especificaciones de la fuente.

Corriente de flat-top máxima	$I_{REF} \leq 2 \text{ kA}$
Inductancia de carga	$0,5 \text{ mH} \leq L_o \leq 1 \text{ mH}$
Resistencia de carga	$10 \text{ m}\Omega \leq R_o \leq 100 \text{ m}\Omega$
Duración de flat-top máxima	$T_{FT} \leq 2 \text{ ms}$
Tiempo de subida máximo	$T_S \leq 1 \text{ ms}$
Tiempo de bajada máximo	$T_B \leq 1 \text{ ms}$
Tiempo de establecimiento máximo	$200 \mu\text{s}$
Precisión en el flat-top (500ppm@2 kA)	$\Delta I_O = 1 \text{ App}$
Período de repetición mínimo	1 s

Considerando la dificultad práctica y los riesgos asociados a ensayar diferentes condiciones de operación sobre un prototipo de esta magnitud, se construyó una versión escalada del mismo, la cual además cumple la función de operar como simulador para la plataforma de control. Es importante destacar que se respetaron un conjunto de consideraciones tendientes a obtener sobre el prototipo a escala reducida resultados trasladables y representativos del comportamiento del prototipo a escala real. Con este fin, se conservaron los valores de los componentes y de las frecuencias de operación de los generadores GIP y GIS. A pesar de que podría haberse aumentado la velocidad de conmutación de estos generadores, se mantuvieron dichas frecuencias de forma de obtener la misma dinámica en ambos prototipos. Las diferencias entre éstos radicarón únicamente en un escalamiento en las tensiones y corrientes de operación, el cual es cercano a cien veces.

En la [Sección 4.1](#) se explica el diseño de la fuente a partir de las especificaciones particulares de la aplicación, utilizando los conceptos previamente desarrollados en esta tesis. En la [Sección 4.2](#) se realiza un conjunto de ensayos sobre el prototipo a escala reducida tendientes a demostrar la robustez del convertidor y su flexibilidad relativa a cambios en la carga y en los parámetros del pulso de corriente. En la [Sección 4.3](#) se presentan las mediciones realizadas con el prototipo a escala real. Finalmente, en la [Sección 4.4](#) se resumen las principales conclusiones del capítulo.

4.1. Diseño de la fuente

En esta sección se describen en forma sintética las consideraciones asociadas al dimensionado de los componentes de la fuente. En la [Figura 4.1](#) se muestra un esquema circuital de la misma.

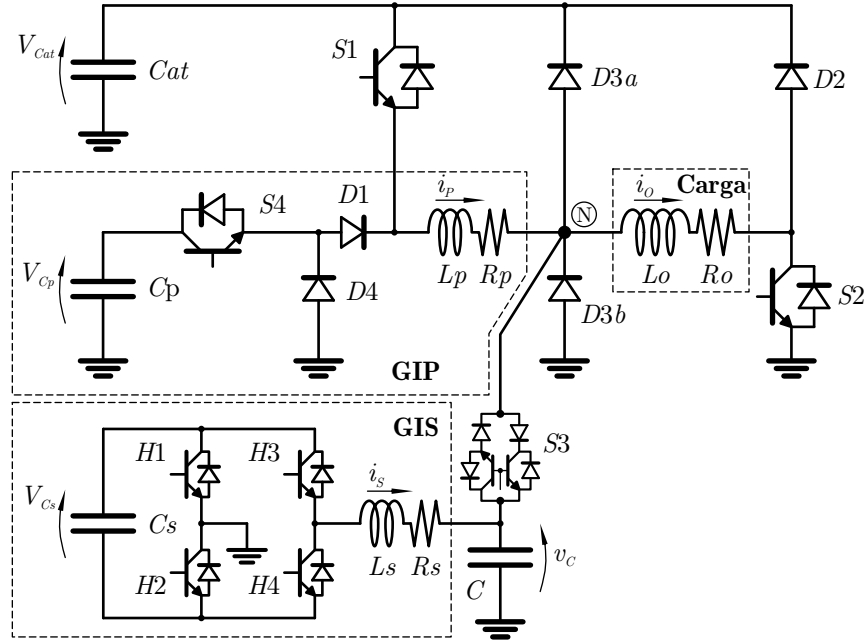


Figura 4.1: Esquema circuital de la fuente.

Para la selección de L_p , se consideró que este valor influye sobre dos factores. En primer lugar, sobre la tensión de carga de C_{at} ya que, a mayor inductancia e igual pendiente de corriente durante la etapa de subida, mayor es la tensión requerida. En segundo lugar, sobre la amplitud del ripple de GIP, Δi_p , ya que, a menor inductancia e igual frecuencia de conmutación, mayor es el ripple. Considerando la relación de compromiso existente, se adoptó como valor intermedio al 50 % del valor de inductancia de la carga lo que implicó la necesidad de un aumento del 50 % en la tensión V_{Cat} , respecto de la que se requeriría si se conectara solamente la carga. Determinado el valor de L_p , se ajustó el valor de V_{Cat} para arribar a la corriente I_{REF} en el peor caso (L_o máxima) en un tiempo T_S . Luego, resultó $L_p = 500 \mu\text{H}$ ($R_p \approx 50 \text{ m}\Omega$) y $V_{Cat} \approx I_{REF}(L_p + L_o)/T_S = 3000\text{V}$.

La tensión V_{Cp} se ajustó de forma de operar GIP en estado estacionario con un ciclo de trabajo cercano al 50 %, con lo cual $V_{Cp} \approx 2 \cdot I_{REF}(R_o + R_p) = 600\text{V}$.

Para asegurar que la dinámica (di/dt) de GIS sea en todo momento superior

a la de GIP se adoptó $V_{Cs} \approx V_{Cp}$ de forma tal que ambos generadores manejen niveles similares de tensión de entrada y salida, y se utilizó una relación de diez veces entre los valores de las inductancias ($V_{Cs} \approx V_{Cp} = 600V$, $L_s = 0,1 \cdot L_p = 50 \mu H$ y $R_s \approx 5 m\Omega$).

Para lograr un margen de fase cercano a 70° se utilizó una relación de cinco veces entre ω_P y ω_C (Figura 3.19). Evaluando la Ec. (3.21) se determinó un ancho de banda del lazo externo $\omega_C = 2\pi 2 \text{ kHz}$ que permitió arribar a un tiempo de establecimiento inferior a $200 \mu s$. Luego, resultó $\omega_C = 10 \text{ kHz}$. De forma de garantizar la estabilidad del sistema se adoptó una frecuencia de conmutación para GIS diez veces superior a ω_C , es decir $f_{GIS} = 100 \text{ kHz}$. Para permitir una cancelación adecuada del ripple de corriente de GIP por medio de GIS se adoptó una relación de diez veces entre sus frecuencias de conmutación, resultando $f_{GIP} = 10 \text{ kHz}$. En la selección de las frecuencias de conmutación de los generadores de corriente, se consideraron además los límites de operación de los dispositivos semiconductores convencionales.

A partir de los valores de V_{Cp} , R_p , R_o , I_{REF} , L_p , L_s y f_{GIP} se calcularon las amplitudes de los ripples de los generadores GIP y GIS resultando $\Delta i_P = 15 \text{ A}$ y $\Delta i_S = 30 \text{ A}$ (Ecuaciones (3.30) y (3.39)).

El nivel de atenuación de los ripples de GIP y GIS se ajustó por medio de la selección de C . La adición de las componentes de ripple provenientes de GIP y GIS, debe ser inferior al ripple máximo total aceptado en la carga. Dada la precisión especificada de 1 A , se adoptó como límite $0,75 \text{ A}$ y $0,25 \text{ A}$ para los ripples de GIP y GIS, respectivamente. Considerando que la componente de ripple proveniente de GIP surge del residuo de una cancelación imperfecta, su magnitud no puede ser evaluada analíticamente. Debido a esto, se consideró como condición extrema que el residuo de la cancelación sea el 25% del ripple de GIP. Para cumplir con esta premisa aun en el peor caso, es decir, con inductancia de carga

mínima, el valor de C requerido resultó ser $C > 2,5 \mu\text{F}$ (Ecuaciones (3.17) y (3.19)).

El valor de capacidad de C_{at} se relaciona con la deformación en la rampa de subida de la corriente y, por lo tanto, con el valor RMS del pulso. Esta se ajustó para limitar el aumento en dicho valor durante la etapa de subida a 2 % del valor correspondiente a la rampa ideal (Apéndice E). La capacidad mínima resultante fue $C_{at} = 7,4 \text{mF}$.

Los valores de capacidad de C_p y C_s (Apéndice E) se ajustaron para limitar la caída de tensión durante la etapa en que operan los respectivos generadores. Esta limitación se fijó para mantener las frecuencias de conmutación dentro de un rango máximo de variación; el cual se adoptó para cada caso dependiendo de cuan importante sea su efecto sobre la operación del convertidor. Pese a que en ambos casos resulta conveniente maximizar los valores de capacidad para reducir las variaciones de frecuencia, existe una relación de compromiso con el volumen y el costo que involucra un incremento en esta magnitud. En el caso de C_p , considerando que existe una etapa posterior de corrección dada por el generador GIS, esta variación no fue considerada crítica, por lo que se adoptó un cambio máximo de frecuencia de 20 %, el cual se genera mediante una variación en la tensión cercana a 15 %. En el caso de C_s , una variación en su tensión trae aparejado un cambio en la frecuencia de conmutación del generador GIS. Dado que éste es el encargado de ajustar la precisión de la fuente, se lo considera un aspecto crítico, por lo que se adoptó una variación máxima de frecuencia de 5 %, la cual se genera a causa de una variación en la tensión cercana a 2,5 %. Luego, conociendo las variaciones de tensión admitidas, la determinación de las capacidades quedó sujeta a la energía entregada por cada banco de capacitores. Las ecuaciones asociadas al cálculo de dichas energías se presentan en el Apéndice E. Partiendo de los valores L_p , L_o , R_p y R_o , la corriente I_{REF} y los tiempos T_S y T_{FT} , se

pudieron calcular las magnitudes de energía entregada por los respectivos bancos de capacitores, resultando éstas $\varepsilon_{Cp} = 1200 \text{ J}$ y $\varepsilon_{Cs} = 160 \text{ J}$. Respecto a Cs , como se indica en el [Apéndice E](#), GIS entrega una corriente que, en condiciones de funcionamiento normal, tiene valor medio nulo por lo que la energía entregada es únicamente la correspondiente a las pérdidas en los componentes. En cambio, de existir diferencias entre el valor medio de la corriente entregada por GIP e I_{REF} , esta diferencia debe ser entregada por GIS. En este caso, se diseña el sistema de forma que pueda tolerar una diferencia del 2 % de la corriente de referencia. Una vez calculada la energía entregada por los bancos de capacitores y definidos los niveles de variación de tensión máxima se pueden calcular las capacidades mínimas, resultando estas $Cp > 54 \text{ mF}$ y $Cs > 4,2 \text{ mF}$.

Los parámetros obtenidos para la fuente se resumen en la [Tabla \(4.2\)](#).

Tabla 4.2: Parámetros de la fuente.

V_{Cat}	3 kV	Cat	10 mF	L_P	0,5 mH	L_S	50 μH	C	4 μF
V_{Cp}	600 V	Cp	60 mF	f_{GIP}	10 kHz	f_{GIS}	100 kHz		
V_{Cs}	600 V	Cs	7 mF	ΔI_P	15 A	ΔI_S	30 A		

La selección de los componentes de la fuente se describe en el [Apéndice F](#). Este prototipo fue montado en un rack cuyas dimensiones son aproximadamente 80 cm de ancho, 1 m de profundidad y 2,2 m de alto. Dentro de éste, los componentes de mayor potencia se ubican en la parte inferior y los cargadores para los bancos de capacitores, el sistema de control y el generador GIS se encuentran en la parte superior (Figuras [4.2](#), [4.3](#) y [4.4](#)). La carga junto con su correspondiente sensado de corriente no forma parte de este rack ([Figura 4.5](#)).

En relación a los dispositivos semiconductores utilizados en el diseño de la fuente, se realizó un estudio de vida media estimada basado en un análisis térmico, el cual se describe en el [Apéndice B](#). Mediante este estudio, se determinó que el

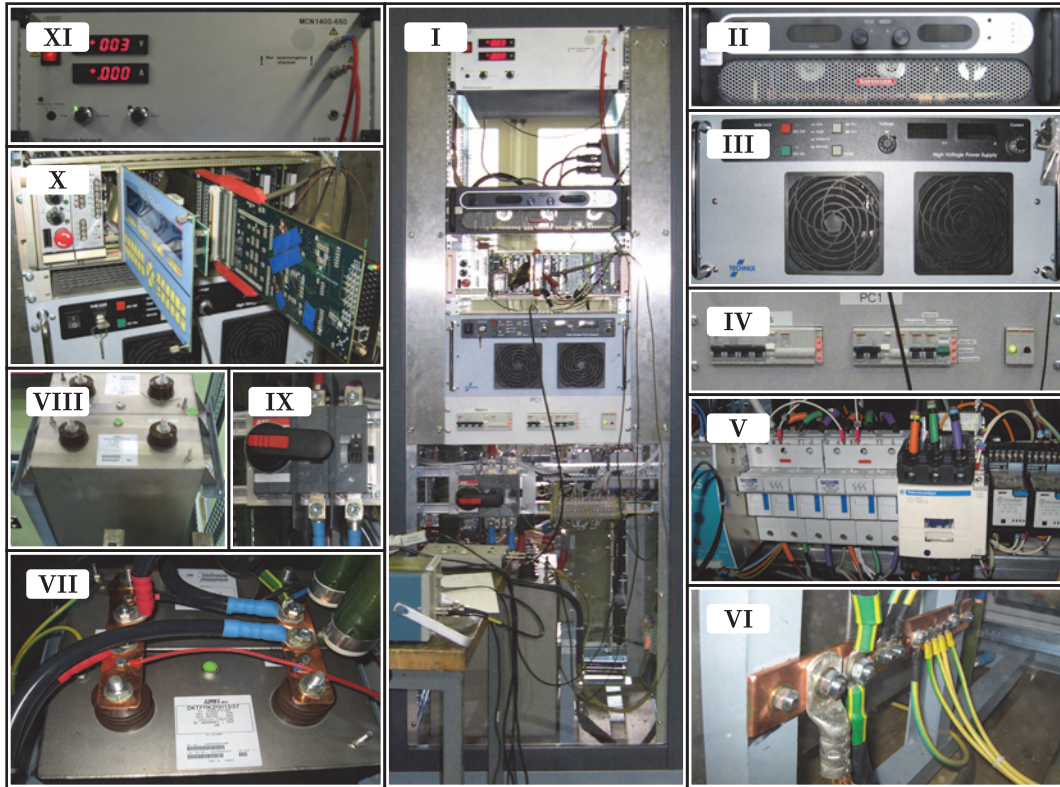


Figura 4.2: Prototipo a escala real (Vista desde adelante).

(I) Vista frontal del equipo, (II) fuente de carga del banco de capacitores C_s , (III) fuente de carga del banco de capacitores C_{at} , (IV) conjunto de interruptores térmicos para el encendido diferenciado de las diferentes partes del sistema, (V) relés para el accionamiento de los cargadores de capacitores, (VI) conexión a tierra del equipo, (VII) banco de capacitores C_{at} , (VIII) banco de capacitores C_{at} (Vista expandida), (IX) interruptor utilizado para cortocircuitar los bancos de capacitores (como medida de seguridad, debe ser accionado previo a la intervención del operario), (X) rack con las placas de control y las fuentes de alimentación asociadas (en esta imagen se observa la placa de control conectada mediante un extensor de forma de mejorar el acceso a esta durante la etapa de puesta en marcha), y (XI) fuente de carga del banco de capacitores C_p .

componente crítico es el interruptor S_4 , el cual presenta un tiempo estimado de vida, en condiciones de funcionamiento normal, cercano a los 35 años.

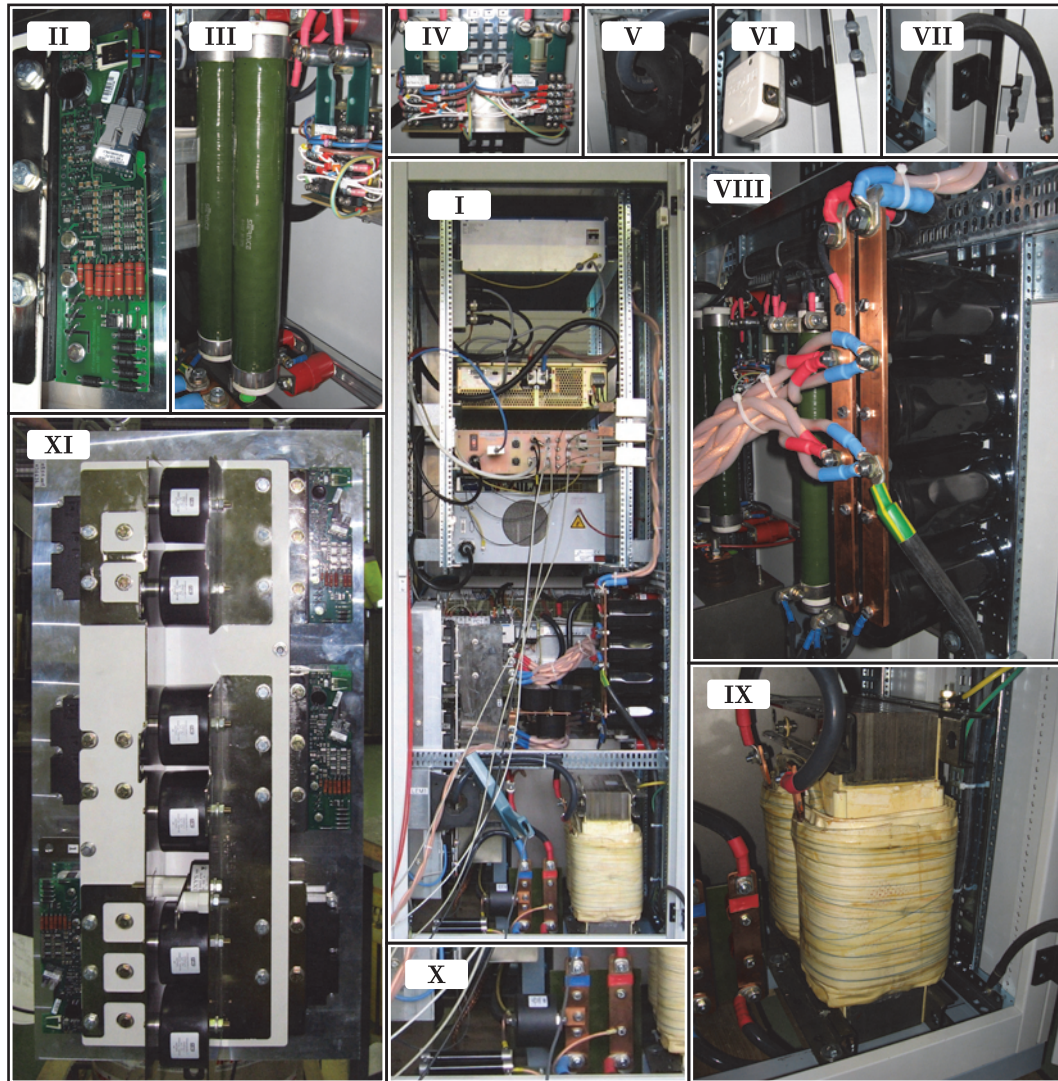


Figura 4.3: Prototipo a escala real (Vista desde atrás).

(I) Vista posterior del equipo con la puerta trasera abierta, (II) driver de IGBT con disparo óptico, (III) resistencias de disipación de energía para la descarga de los bancos de capacitores junto con los relés de conexión (éstas se utilizan para asegurar que no existan tensiones elevadas que presenten riesgos durante la intervención del operario), (IV) ampliación de los relés mostrados en (III), (V) sensor tipo LEM utilizado para la medición de la corriente i_P , (VI) dispositivo de detección de apertura de la puerta de acceso (como medida de seguridad, al detectarse una apertura se descargan los bancos de capacitores), (VII) puesta a tierra de la puerta de acceso, (VIII) banco de capacitores C_p , (IX) inductor L_p , (X) punto de conexión de la carga y circuito de amortiguamiento pasivo para evitar oscilaciones de alta frecuencia relacionadas a los componentes parásitos de la misma, y (XI) montaje de los dispositivos semiconductores junto con los capacitores de desacople y los drivers asociados.



Figura 4.4: Prototipo a escala real (Generador GIS).

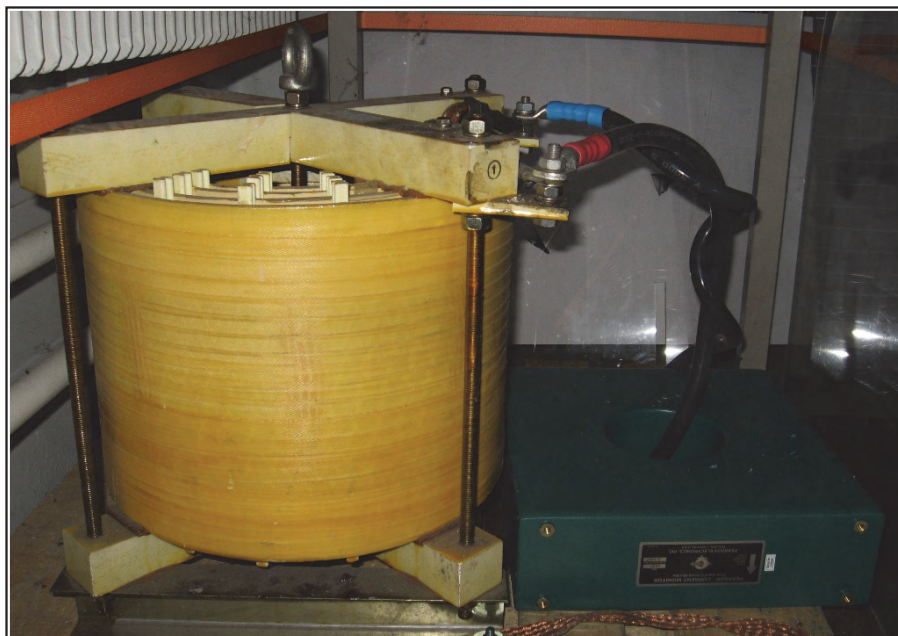


Figura 4.5: Prototipo a escala real (Carga con su sensor tipo transformador de corriente).

Como se indicó anteriormente, el prototipo a escala reducida conserva todos los parámetros del correspondiente a escala real, excepto la magnitud de las tensiones y las corrientes. Los parámetros del prototipo a escala reducida se indican en la [Tabla \(4.3\)](#), en la cual se destacan con negrita aquellos que variaron respecto al caso a escala real.

Tabla 4.3: Parámetros del prototipo a escala reducida.

$I_{REF} \leq 15 \text{ A}$				$\Delta I_O = 7,5 \text{ mA}$					
V_{Cat}	20 V	Cat	10 mF	L_P	0,5 mH	L_S	50 μ H	C	4 μ F
V_{Cp}	10 V	Cp	60 mF	f_{GIP}	10 kHz	f_{GIS}	100 kHz		
V_{Cs}	10 V	Cs	7 mF	ΔI_P	1 A	ΔI_S	1 A		

En la [Figura 4.6](#) se muestra una imagen de la implementación del prototipo a escala reducida. En el [Apéndice F](#) se describen los componentes utilizados.

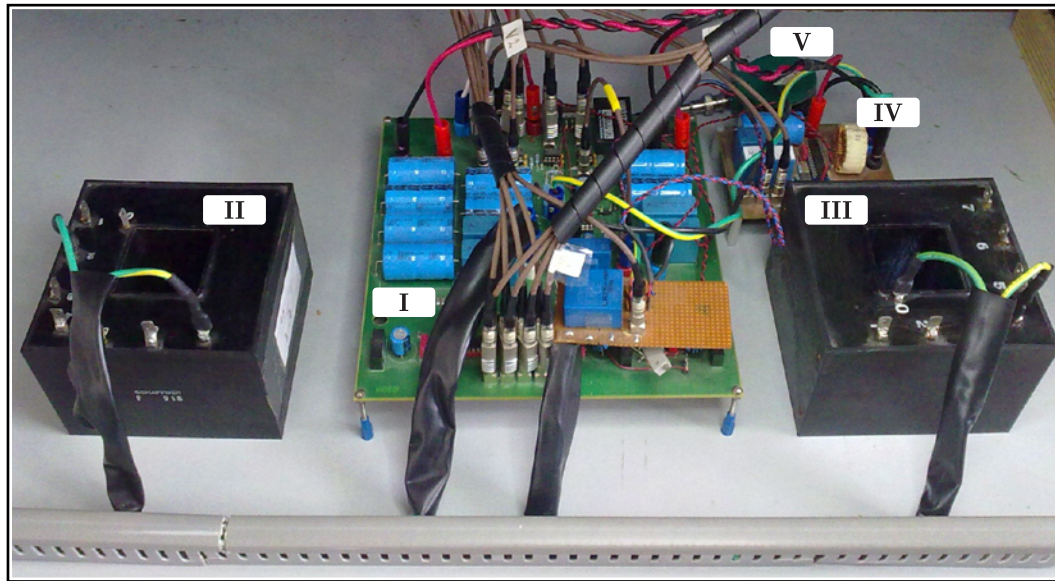


Figura 4.6: Prototipo a escala reducida.

(I) Placa principal que contiene los interruptores de interconexión de estructuras, los interruptores del generador GIP, los bancos de capacitores Cat y Cp , el capacitor C , los sensores de i_P e i_O , y la instrumentación del sensado; (II) inductor L_P ; (III) inductor L_O ; (IV) Generador GIS y (V) sensor de i_S .

4.2. Ensayos del prototipo a escala reducida

4.2.1. Ensayo 1: Verificación funcional y de precisión

En esta sección se describe el ensayo con L_O e I_{REF} máximas (1 mH y 15 A), orientado a mostrar las señales más relevantes. Se adoptaron estos parámetros debido a que presentan las mayores exigencias respecto al cumplimiento de los tiempos de subida y bajada.

En la [Figura 4.7](#) se muestran la tensión y la corriente sobre la carga y se detallan los tiempos y amplitudes más relevantes. Se puede observar la distinta magnitud de la tensión durante el flat-top y durante los flancos de subida y bajada, siendo alrededor de diez veces más grande en los flancos.

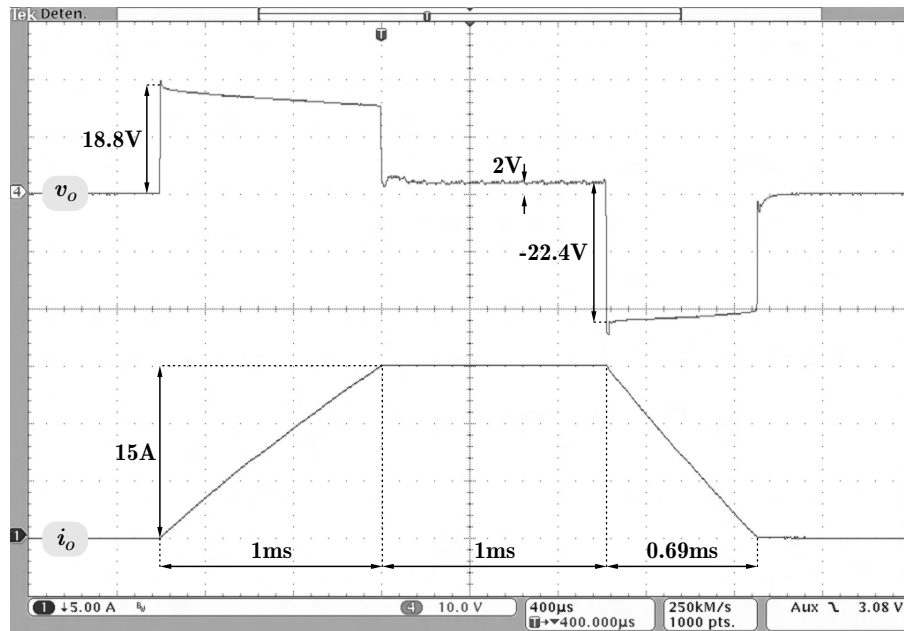


Figura 4.7: Tensión y corriente en la carga durante la generación de un pulso de 15A.

En la [Figura 4.8](#) se observan la tensión en C y la corriente en la carga durante el flat-top. Se puede notar el transitorio de la corriente al inicio de esta etapa con una amplitud de 120 mA y una duración de 190 μ s, valores que se encuentran dentro de las especificaciones. En estado estacionario, se midió un error máximo de 7,6 mA que, dividido por una amplitud de 15 A, resultó en una precisión de 500 ppm.

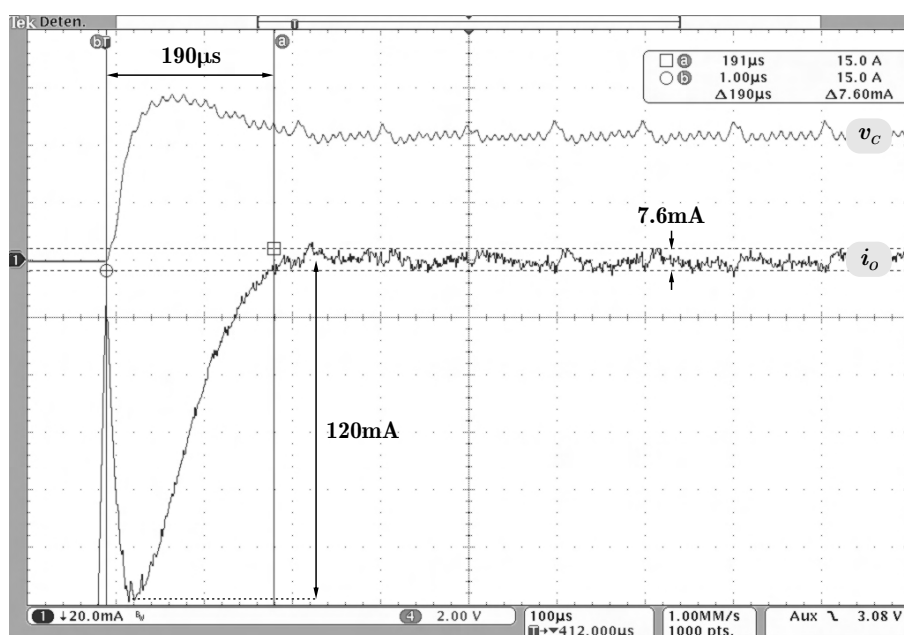


Figura 4.8: Tensión en C y corriente de carga durante la generación de un pulso de 15 A. Transitorio de acoplamiento al inicio del flat-top y estado estacionario.

Tanto en la tensión como en la corriente se distinguen las perturbaciones provenientes del ripple de los generadores GIP (período cercano a 100 μ s) y GIS (período cercano a 10 μ s). En ambos casos, la componente proveniente de GIP resultó la de mayor amplitud.

En la [Figura 4.9](#) se muestran los ripples de corriente de los generadores GIP y GIS en régimen permanente. La corriente de GIS se muestra negada y ambas corrientes se sitúan convenientemente de forma de hacer evidente el efecto de cancelación del ripple de GIP mediante GIS. Las bandas de histéresis se ajustaron

en 375 mA para GIP y 550 mA para GIS. Los períodos medidos en los ripples de corriente son $85\text{ }\mu\text{s}$ para GIP y $9\text{ }\mu\text{s}$ para GIS, con lo cual las frecuencias de conmutación resultan 11,8 kHz y 111 kHz, respectivamente.

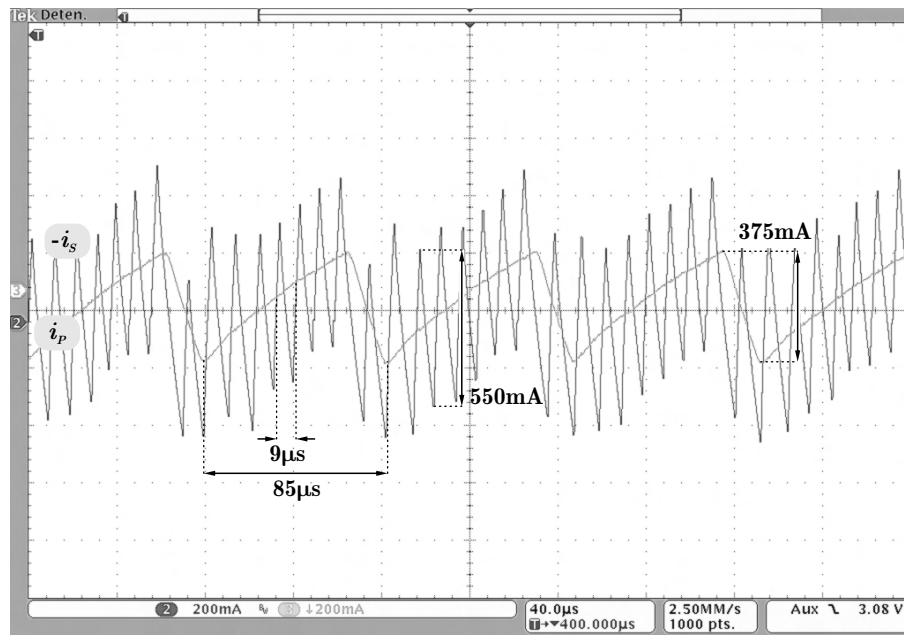


Figura 4.9: Corrientes en los generadores GIP y GIS durante la generación de un pulso de 15A. Estado estacionario.

Por último, en la [Figura 4.10](#) se muestra el estado de los interruptores $S1$, $S2$, $S3$ y $S4$ durante las diferentes etapas de la generación del pulso, y la corriente entregada por el generador GIP. En esta figura se hace evidente la operación de los interruptores a distintas frecuencias, producto de la segmentación de funciones entre las diferentes estructuras.

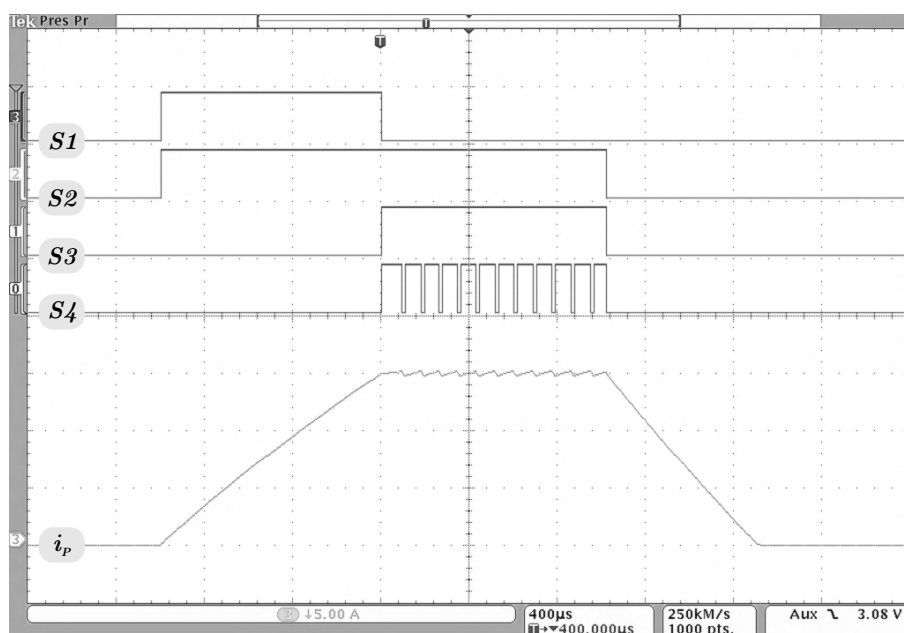


Figura 4.10: Señales de disparo de los interruptores $S1$, $S2$, $S3$ y $S4$, y corriente en el generador GIP durante la generación de un pulso de 15A.

4.2.2. Ensayo 2: Verificación de flexibilidad frente a cambios de amplitud de corriente

El objetivo de este ensayo es evaluar el funcionamiento y las características del pulso de salida para corrientes más pequeñas. En la [Figura 4.11](#) se muestran las señales más relevantes durante la generación de un pulso de 5 A. Como se observa, la duración del transitorio resulta $150\mu s$ y la precisión alcanzada en estado estacionario es cercana a 7,5 mA, que cumplen con las especificaciones de diseño.

En este ensayo, respecto al caso con I_{REF} máxima, se utilizaron los mismos valores de carga de los bancos de capacitores y se modificaron solamente los parámetros del sistema de control multiestructura. Para conservar las frecuencias de operación de los generadores GIP y GIS se ajustaron las amplitudes de las bandas de histéresis a 760 mA y 600 mA, respectivamente. Este ensayo evidenció la flexibilidad del convertidor frente a cambios de la amplitud del pulso,

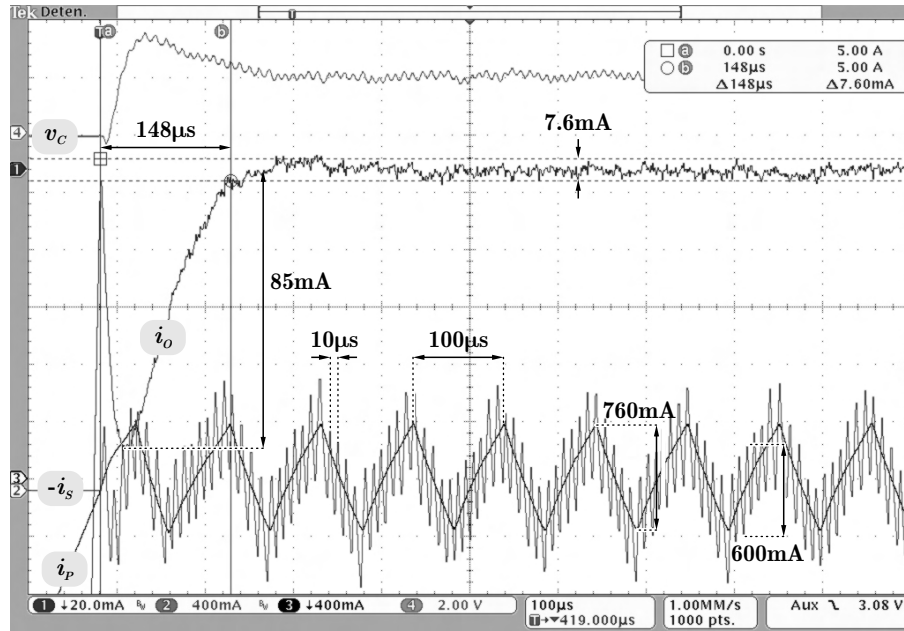


Figura 4.11: Tensión en C y corrientes en la carga y en los generadores GIP y GIS durante la generación de un pulso de 5A. Transitorio de acoplamiento al inicio del flat-top y estado estacionario.

dentro de su rango de operación, cumpliendo con las especificaciones sin necesidad de modificar las tensiones de los bancos de capacitores. Esto es importante si se considera la cantidad de energía que hubiera sido necesaria para modificar, entre pulsos, los niveles de tensión y, en consecuencia, la capacidad de corriente requerida para los sistemas de carga.

Si se analizan las corrientes i_P e i_S se verifica, al igual que en el ensayo anterior, la propiedad de cancelación de GIS sobre el ripple de GIP.

4.2.3. Ensayo 3: Verificación de magnitud de transitorio de corriente frente a cambios de carga

Este ensayo se enfocó en el comportamiento del convertidor durante la generación de pulsos de corriente para diferentes cargas. Para cada carga se reajustaron

las ganancias de los lazos de realimentación de forma de conservar el comportamiento dinámico del sistema. En la [Figura 4.12](#) se muestra el transitorio de corriente al inicio del flat-top para cada caso.

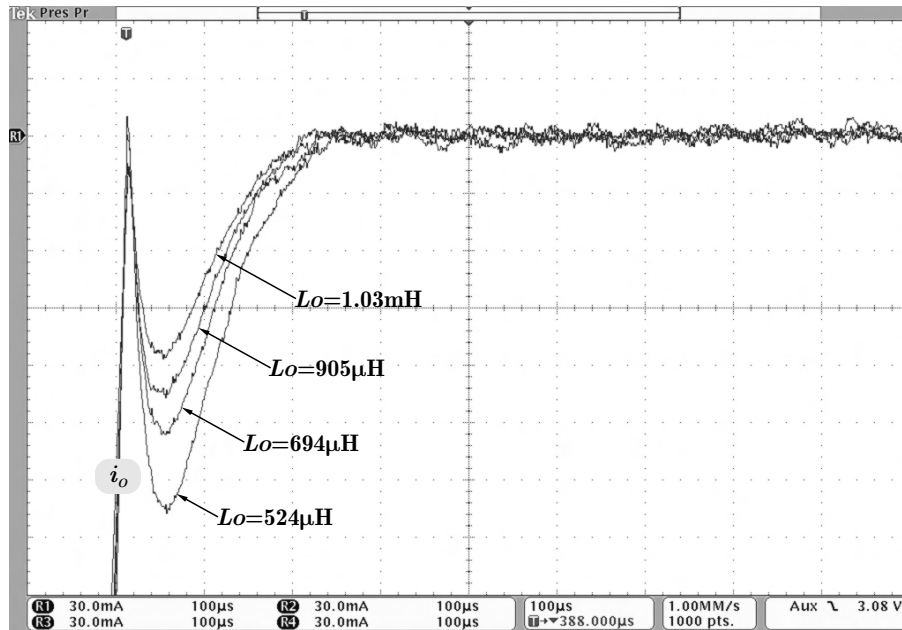


Figura 4.12: Corriente generada sobre diferentes cargas obtenida durante la generación de pulsos de 15A. Transitorio de acoplamiento al inicio del flat-top.

Se verifica que, si los lazos de regulación son ajustados adecuadamente, el tiempo de establecimiento no presenta variaciones significativas. Sin embargo, se observa que la amplitud del transitorio de corriente aumenta a medida que L_o disminuye. Como se analizó en la [Sección 3.3.3](#) (ver [Figura 3.26](#)), dicha amplitud depende de R_o/L_o . El valor R_o/L_o para las cargas ensayadas, considerando la resistencia agregada por los cables y por los interruptores conectados en serie con la carga (aproximadamente $200\text{ m}\Omega$), se indica en la [Tabla \(4.4\)](#). Si se comparan los valores obtenidos con los transitorios de establecimiento mostrados en la [Figura 4.12](#), se observa claramente que a mayor $(R_o + 200\text{ m}\Omega)/L_o$, mayor es la amplitud del transitorio, como era esperable.

Tabla 4.4: Cargas ensayadas.

Lo	Ro	$(Ro + 200 \text{ m}\Omega)/Lo$
1,03 mH	132 m Ω	322 rad/s
905 μ H	97 m Ω	328 rad/s
694 μ H	88 m Ω	415 rad/s
524 μ H	78 m Ω	530 rad/s

4.2.4. Ensayo 4: Verificación del efecto del ajuste del comportamiento dinámico del convertidor sobre la corriente de salida

El objetivo de este ensayo es verificar el efecto de la modificación de los parámetros de ajuste de la regulación (ω_C y $k=\omega_P/\omega_C$) sobre la evolución temporal de i_O .

En la [Figura 4.13](#) se muestra la respuesta transitoria de i_O para diferentes valores de k . Como se puede observar, las variaciones de k afectaron la respuesta transitoria del sistema sin afectar significativamente la duración del transitorio. Este cambio en el transitorio coincide con un cambio en el factor de amortiguamiento, el cual está asociado al margen de fase. Los resultados concuerdan con el análisis de la [Sección 3.3.3](#) (ver [Figura 3.24](#)).

En la [Figura 4.14](#) se muestra la respuesta transitoria para diferentes valores de ω_C . Como se puede observar, al reducir ω_C se produjo un aumento en la duración del transitorio. Estos resultados son consistentes con el análisis de la [Sección 3.3.3](#) (ver [Figura 3.25](#)) e indican que, mediante el ajuste de ω_C es posible fijar la duración del transitorio requerida, en la medida que no se excedan los límites de operación del generador GIS.

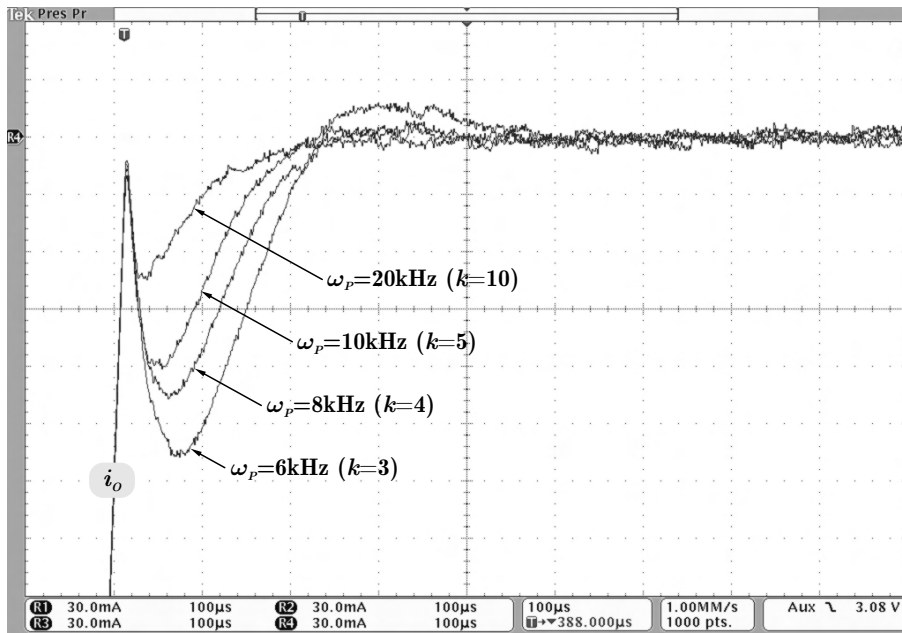


Figura 4.13: Formas de onda de corriente durante la generación de pulsos de 15A con diferentes ajustes de k (ω_C constante). Transitorio de acoplamiento al inicio del flat-top.

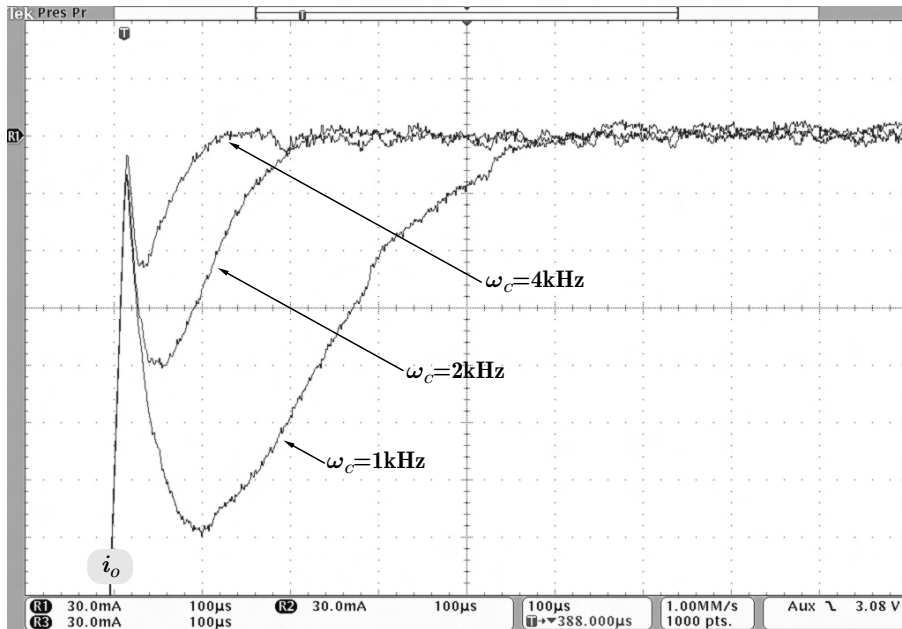


Figura 4.14: Formas de onda de corriente durante la generación de pulsos de 15A con diferentes ajustes de ω_C (ω_P constante). Transitorio de acoplamiento al inicio del flat-top.

4.2.5. Ensayo 5: Verificación del efecto de la precarga del capacitor C

En este ensayo se evalúa la ventaja de precargar el capacitor C durante la etapa de subida. Como se explicó previamente, si todas las variables de estado se inicializan adecuadamente, el transitorio puede ser eliminado. Sin embargo, existen factores asociados a la implementación que impiden ajustar estos valores con precisión, con lo cual, en la práctica, si bien se obtiene una reducción en la magnitud del transitorio, no se lo puede eliminar por completo. En la [Figura 4.15](#) se muestran las señales de interés durante la generación de un pulso de 15 A. Se observa una reducción de 35 % en la duración del transitorio y de 60 % en su amplitud, respecto al caso sin precarga ([Figura 4.8](#)).

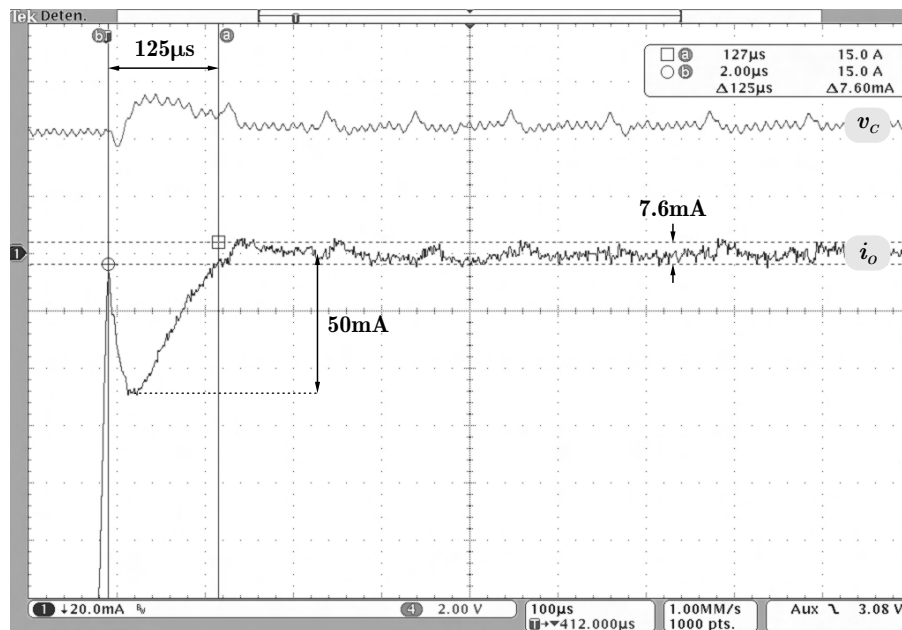


Figura 4.15: Efecto de la precarga del capacitor C sobre la forma de onda de corriente durante la generación de un pulso de 15 A. Transitorio de acoplamiento al inicio del flat-top.

4.3. Ensayo del prototipo a escala real

En esta sección se presentan los resultados del ensayo del prototipo a escala real. En la [Figura 4.16](#) se muestran la tensión y la corriente en la carga para el caso de un pulso de corriente de 1,8kA. Las mediciones corresponden al caso sin precarga del capacitor C , lo cual permite evaluar explícitamente la respuesta transitoria del sistema. Los tiempos de subida y bajada de la corriente son de 1,2ms mientras que la duración del flat-top es de 1,1 ms. Las tensiones aplicadas a la carga son de 1,5 kV durante las etapas de subida y bajada, y de 120 V durante el flat-top.

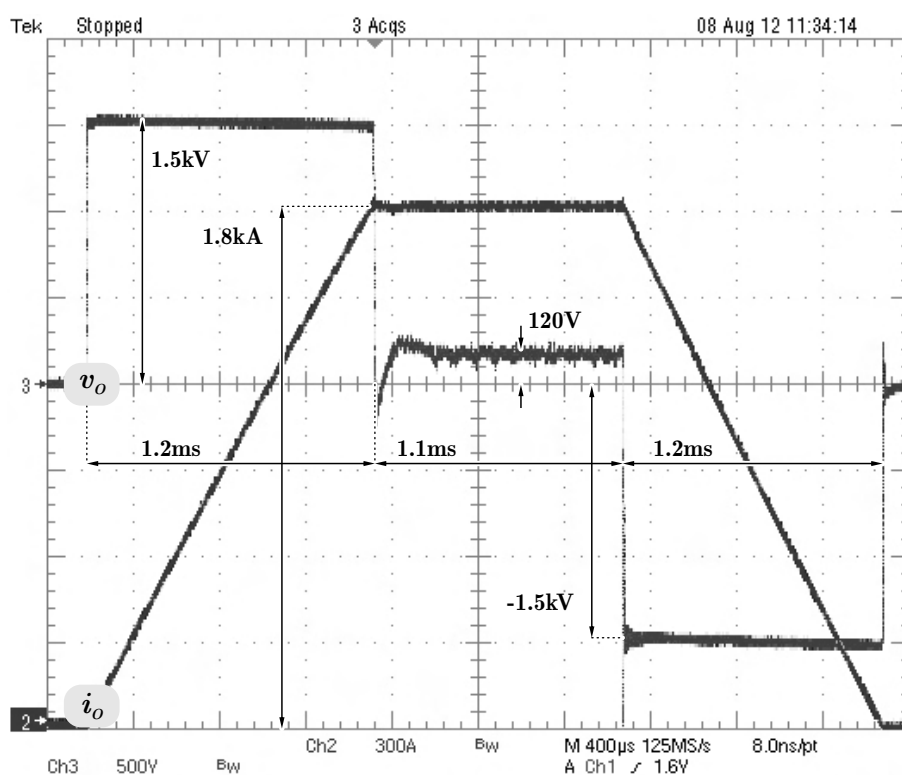


Figura 4.16: Corriente y tensión en la carga obtenidas durante la generación de un pulso de 1800A.

En la [Figura 4.17](#) se muestra una ampliación de la corriente y de la tensión de carga durante el flat-top, así como la señal de disparo del interruptor S_4 . Se observa que la duración del transitorio de acoplamiento es ligeramente superior a los $200\mu\text{s}$ y que su amplitud es de $6,6\text{ A}$. La precisión obtenida es cercana a 360 ppm , mejorando las especificaciones de diseño.

Cabe destacar que, debido a la reducida velocidad del interruptor S_1 (encargado de la conexión de la carga y del inductor L_p al banco de capacitores de alta tensión), existe un retardo entre la detección de la llegada de la corriente al valor de flat-top y la finalización efectiva de la etapa de subida. Este retardo causa un sobrepaso de la corriente al inicio del flat-top el cual conduce a extender la duración del transitorio de acoplamiento.

Se puede observar que en régimen permanente el ripple residual con mayor

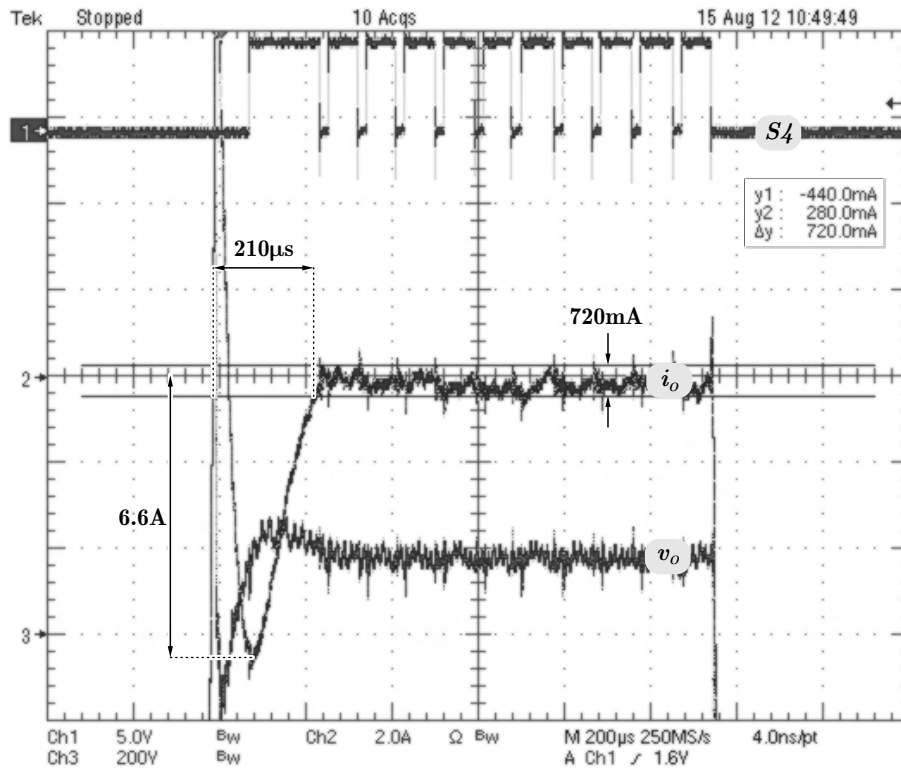


Figura 4.17: Corriente y tensión en la carga, y señal de disparo de S_4 obtenidas durante la generación de un pulso de 1800 A . Ampliación durante el flat-top.

amplitud corresponde al generador GIP, el cual se puede detectar por su sincronismo con la señal de disparo del interruptor S_4 .

En la Figura 4.18 se muestran las corrientes por los generadores GIP y GIS. Éstas se ajustaron convenientemente de forma de evidenciar el efecto de cancelación del ripple de GIP por medio de GIS. Para esto, la corriente i_s se muestra invertida. En dicha figura se observa que las bandas de histéresis se ajustaron en 14 A y 30 A y que las frecuencias de conmutación obtenidas para GIP y GIS fueron cercanas a 10 kHz y 100 kHz, respectivamente.

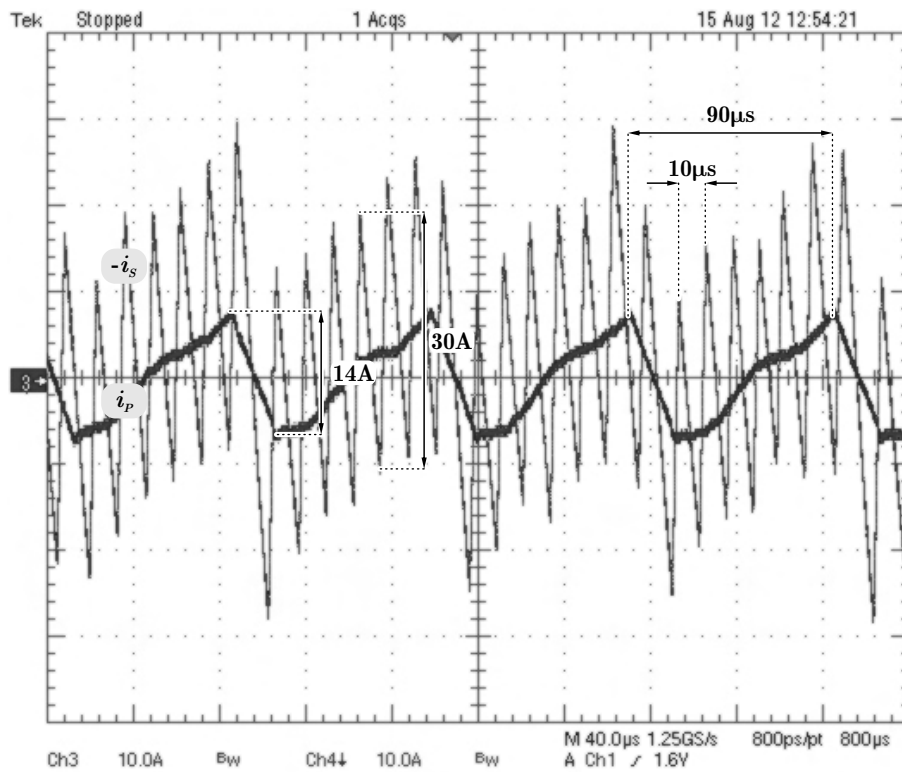


Figura 4.18: Corrientes entregadas por GIP y GIS en estado estacionario obtenidas durante la generación de un pulso de 1800A.

4.4. Conclusiones del capítulo

Al principio de este capítulo se describió el proceso de diseño de una fuente de corriente pulsada de 2000A basada en el convertidor multiestructura con estructura mixta propuesto en esta tesis. Se presentó además, un prototipo a escala reducida destinado a evaluar el funcionamiento del sistema evitando los riesgos prácticos que conlleva trabajar con un prototipo de gran potencia. De forma de obtener resultados aplicables al caso a escala real se escalaron sólo las tensiones y corrientes (~ 100 veces), conservando el comportamiento dinámico del sistema.

Haciendo uso del prototipo a escala reducida se evaluó la generación de dos pulsos de 5 A y 15 A, cumpliéndose en ambos casos con las especificaciones de diseño. Para mantener las frecuencias de conmutación de GIP y GIS, se ajustaron las respectivas bandas de histéresis.

Se evaluó la evolución temporal de la corriente de carga durante el transitorio de establecimiento para diferentes ajustes de la regulación y diferentes cargas. Los resultados obtenidos (figuras 4.12, 4.13 y 4.14) presentaron una similitud evidente con los análisis teóricos presentados en el Capítulo 3 (figuras 3.24, 3.25 y 3.26). Se observó que la amplitud del transitorio es afectada por todos los parámetros evaluados, mientras que su duración, la cual es un aspecto crítico en la operación de la fuente, presentó relación evidente sólo con el valor ω_C . Una consecuencia importante de esta condición es la independencia de la duración del transitorio respecto a la característica de la carga.

Se ensayó la implementación de la precarga de C demostrando una mejora de 35 % en la duración del transitorio de establecimiento y de 60 % en su amplitud.

Es destacable que durante todos los ensayos realizados con el prototipo a escala reducida, solamente se modificaron los parámetros del sistema de control multiestructura. Es decir, se mantuvieron fijas las tensiones de carga de los bancos

de capacitores y no fue necesario modificar el circuito. Esta característica deja en evidencia la flexibilidad del convertidor.

Se presentaron resultados experimentales obtenidos sobre un prototipo a escala real destinados a la generación de pulsos de corriente de 1800 A. Se alcanzaron tiempos de subida, bajada y flat-top cercanos a 1 ms. Quedó demostrado que la estructura topológica y el sistema de control asociado permiten realizar la transición entre estructuras en forma estable operando con elevadas magnitudes de tensión y corriente.

La similitud entre los resultados obtenidos en los ensayos de ambos prototipos demuestran la representatividad del comportamiento del prototipo a escala reducida respecto al correspondiente a escala real. Esto afirma la validez de asumir que los fenómenos evaluados para el caso a escala reducida son aplicables al caso a escala real.

Se ensayó el sistema en una condición de peor caso, es decir, con el capacitor descargado al arribar al flat-top desde la etapa de subida. Se observó un tiempo de establecimiento cercano a $200\ \mu\text{s}$ y una amplitud del ripple en estado estacionario inferior a 720 mA lo que equivale a una precisión de 360 ppm mejorando el valor establecido en las especificaciones.

Los resultados experimentales mostraron los siguientes puntos salientes:

- Mediante el cumplimiento de las especificaciones por parte del convertidor, quedó demostrada la utilidad del procedimiento metódico de síntesis de convertidores multiestructura.
- La topología basada en el concepto de estructuras mixtas mostró ser una adecuada solución para aplicaciones de alta corriente, alta precisión y bajos tiempos de subida y bajada.

- La topología demostró gran flexibilidad respecto a los cambios de carga y de amplitud del pulso, requiriéndose modificar solamente los parámetros del sistema de control.
- Se cubrieron las exigencias extremas de tiempo y precisión durante la generación de pulsos de corriente de 1,8 kA.
- La topología con estructura mixta mostró importantes ventajas respecto a las topologías multiestructura previas, a saber:
 - Los regímenes de funcionamiento de los generadores de corriente son uniformes durante su operación, por lo que no se requieren controles de corriente específicos.
 - Se redujo el consumo de potencia y las exigencias de los interruptores debido a que los mismos operan únicamente en las etapas donde son utilizados.
 - La aplicación del concepto de estructura mixta permitió reducir el transitorio en relación a las topologías multiestructura con estructuras independientes mediante la precarga de C .

Capítulo 5

Conclusiones

En esta tesis se presentó un procedimiento para diseñar convertidores multiestructura el cual permite, a partir de las especificaciones, arribar a una topología con componentes implementables mediante dispositivos convencionales. Este procedimiento permite simplificar el proceso de diseño al dividirlo en diferentes etapas y brinda las herramientas necesarias para llevar a cabo dichas etapas de forma metódica. Estas herramientas conducen de forma natural a topologías con condiciones de operación segura. Mediante la aplicación de este procedimiento se generó una nueva topología multiestructura.

Se propuso y se aplicó un nuevo concepto para el diseño de estructuras, denominado estructura mixta, que permite reducir los transitorios de corriente en las transiciones entre estructuras, aumentar la eficiencia del convertidor y simplificar el sistema de control, en relación a los convertidores multiestructura previos.

Tanto el diseño como la experimentación de la topología propuesta se aplicaron a una Fuente de Corriente Pulsada de elevada corriente, alta precisión en el flat-top y reducidos tiempos de subida y bajada. Se desarrolló además el sistema de control para dicha fuente.

La nueva topología obtenida se verificó experimentalmente en una fuente de

pulsos de corriente de 2000A con precisión de 500ppm en la parte plana. Además, se obtuvieron resultados experimentales en una topología a escala reducida, de 15 A, que respetó los tiempos de establecimiento, de subida y de bajada, y por supuesto, la precisión.

Los resultados experimentales mostraron los siguientes puntos salientes:

- La topología basada en el concepto de estructuras mixtas mostró ser una adecuada solución para aplicaciones de alta corriente, alta precisión y bajos tiempos de subida y bajada.
- La topología demostró gran flexibilidad respecto a los cambios de carga y de amplitud del pulso, requiriéndose modificar solamente los parámetros del sistema de control. Se evaluaron cambios de inductancia de carga de 50 % y de amplitud de la corriente de referencia de 66 %, y se cumplieron las especificaciones en todos los casos.
- La aplicación del concepto de estructura mixta mostró importantes ventajas respecto a las topologías multiestructura previas, a saber:
 - Los regímenes de funcionamiento de los generadores de corriente son uniformes durante su operación, por lo que no se requieren controles de corriente específicos.
 - Se redujo el consumo de potencia y las exigencias de los interruptores dado que los mismos operan únicamente en las etapas donde son utilizados.
 - Fue posible mejorar el ajuste de las condiciones de tensión y corriente al inicio del flat-top, lo que permitió una reducción de 35 % en la duración del transitorio y de 60 % en su amplitud.
- En el prototipo de 2kA se obtuvo una precisión de 360 ppm, y tiempos de subida y bajada cercanos a 1 ms, para lo que se requirió aplicar una tensión de 2,1 kV. La amplitud máxima del transitorio fue de 0.36 % de la corriente

de referencia y su duración de $210\mu s$. Este último tiempo representa un 20 % de la duración del flat-top correspondiente al caso más exigente.

- La topología se compone de 3 bancos de capacitores, 7 diodos, 8 transistores, 2 inductores y 1 capacitor, además de la carga. Las exigencias de todos los componentes pudieron ser cubiertas por dispositivos convencionales.

Los resultados obtenidos en esta aplicación han demostrado que la filosofía multiestructura, junto con la metodología de diseño propuesta, conducen a un convertidor multiestructura capaz de cumplir con especificaciones muy exigentes, extremadamente difíciles de obtener mediante métodos de conversión convencionales.

La topología propuesta fue aceptada para su utilización en dos aplicaciones en aceleradores de partículas en el CERN. Actualmente, cinco equipos que utilizan la topología propuesta están operativos en el acelerador circular AD (Antiproton Decelerator), y otro forma parte del acelerador lineal LINAC 4 (Linear Accelerator), el cual se encuentra en su etapa final de construcción y se estima que será puesto en funcionamiento durante el año 2014.

5.1. Trabajos futuros

Además del caso de las Fuentes de Corriente Pulsadas tratadas en esta tesis, existen múltiples aplicaciones que requieren de Convertidores de Potencia con requerimientos extremos y dispares distribuidos entre diferentes etapas de operación. En este sentido, se aspira a aplicar el método propuesto al diseño de Topologías Multiestructura con Estructuras Mixtas para dichas aplicaciones.

Analizando la dinámica del convertidor propuesto, se observa que presenta un comportamiento que responde a un sistema de segundo orden. Debido a esta característica, la complejidad del control aumenta y se requiere la medición de

varias señales. Con el objeto de continuar mejorando las características de los convertidores multiestructura, se vislumbra la posibilidad de utilizar estructuras cuyos modelos resulten de primer orden, de forma de reducir los requerimientos de control y minimizar la cantidad de señales medidas.

5.2. Publicaciones

Se documentaron las características más relevantes de la fuente mediante la publicación de informes técnicos y de artículos en congresos y revistas especializadas, que se detallan a continuación.

5.2.1. Informes técnicos

- *Thermal analysis of MegaDiscaP semiconductor devices*; European Organization for Nuclear Research (CERN) - sLHC Project Note 0030; CDS 1331507; February 2011. <http://cdsweb.cern.ch/record/1331507>
- *Operational Principle and Tuning of the MegaDiscaP Power Converters Control System*; European Organization for Nuclear Research (CERN) - sLHC Project Note 0020; CDS 1278173; July 2010. <http://cdsweb.cern.ch/record/1278173>.
- *Controller of a New Pulsed Source for LINAC 4 (MEGADISCAP)*; European Organization for Nuclear Research (CERN) - Technical Note TE/EPC TN2009-003; CDS 1201648; August 2009. <http://cdsweb.cern.ch/record/1201648>.

5.2.2. Artículos en revistas

- *Digital Control for a Multiple-Stage Pulsed Current Source*; IEEE Transactions on Industrial Informatics; doi:10.1109/TII.2012.2221 723; <http://ieeexplore.ieee.org/xpl/articleDetails.jsp?tp=&arnumber=6319396>; En prensa.
- *Multiple-stage converter topology for high-precision high-current pulsed sources*; IEEE Transactions on Power Electronics; vol.26, no.5, pp.1316-1321; doi: 10.1109/TPEL.2010.2064792; May 2011. <http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=5545406>

5.2.3. Artículos en congresos

- *FPGA implementation: A multiple-stage converter control for a pulsed current source*; XVI Iberchip Workshop; IBERCHIP 2010; February 23-25; Foz do Iguaçu; Brasil; 2010.
- *A new multiple stages converter topology for high power and high precision fast pulsed current sources*; 13th International European Power Electronics Conference and Applications; EPE09; 8-10 September; Barcelona; Spain; 2009. <http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=5278780>
- *New Modulator for Multi-Phase Interleaved DC/DC Converters*; 13th International European Power Electronics Conference and Applications; EPE09; 8-10 September; Barcelona; Spain; 2009. <http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=5279265>

Bibliografía

- [1] F. Voelker. Pulsed capacitor discharge power converter: an introductory overview. In *CERN Accelerator School: Power Converters for Particle Accelerators Conference*, Montreux, Switzerland, March 1990. CERN.
- [2] J.M. Cravero, G. Maire, and J.-P. Royer. High current capacitor discharge power converters for the magnetic lenses of a neutrino beam facility. In *Power Electronics and Applications, 2007 European Conference on*, pages 1–8, Sept. 2007.
- [3] Houxiu Xiao, Liang Li, Hongfa Ding, Tao Peng, and Yuan Pan. Study on a highly stabilized pulsed power supply for high magnetic fields. *Power Electronics, IEEE Transactions on*, 26(12):3817–3822, dec. 2011.
- [4] Eiji Nakamura, Masakazu Takayama, and Shin Yabukami. Fast beam injection and ejection method using a short-pulsed septum magnet for hadron accelerators. *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment*, 640(1):29–37, 2011.
- [5] A. Sanchez-Ruiz, M. Mazuela, S. Alvarez, G. Abad, and I. Baraia. Medium voltage;high power converter topologies comparison procedure, for a 6.6 kv drive application using 4.5 kv igbt modules. *Industrial Electronics, IEEE Transactions on*, 59(3):1462–1476, march 2012.
- [6] V. Smet, F. Forest, J. Huselstein, F. Richardeau, Z. Khatir, S. Lefebvre, and M. Berkani. Ageing and failure modes of igbt modules in high-temperature power cycling. *Industrial Electronics, IEEE Transactions on*, 58(10):4931–4941, oct. 2011.
- [7] F. Filsecker, R. Alvarez, and S. Bernet. Comparison of 4.5 kv press pack igbts and igcts for medium voltage converters. *Industrial Electronics, IEEE Transactions on*, PP(99):1, 2012.
- [8] N Luther-King, E. M. S. Narayanan, L. Coulbeck, A. Crane, and R. Dudley. Comparison of trench gate igbt and cigt devices for increasing the power density from high power modules. *Power Electronics, IEEE Transactions on*, (1), Jan. 2009.

- [9] R. Garcia Regegui. *Topología Convertidora para Fuente Pulsada de Altas Prestaciones*. PhD thesis, Universidad Nacional de Mar del Plata, <http://www3.fi.mdp.edu.ar>, 2009.
- [10] J.P. Royer. High current with high precision flat-top capacitor discharge power septum magnets. In *CERN/PS 95-13 EP2 Forum 95, Electrical Power Technology in European Physics Research*, 1995.
- [11] M. Watanabe, J. Kamiya, and T. Takayanagi. Design and circuit simulation of a magnetic switching system for kicker magnet power supply of 3 gev rcs in j-parc. *Applied Superconductivity, IEEE Transactions on*, 20(3):1681–1684, june 2010.
- [12] H.F. Ding, C.X. Jiang, T.H. Ding, Y. Xu, L. Li, X.Z. Duan, Y. Pan, and F. Herlach. Prototype test and manufacture of a modular 12.5 mj capacitive pulsed power supply. *Applied Superconductivity, IEEE Transactions on*, 20(3):1676–1680, june 2010.
- [13] Y. Xu, R. Yang, Y. Xiang, H. Ding, T. Ding, and L. Li. Design of a novel pulsed power system for repetitive pulsed high magnetic fields. *Applied Superconductivity, IEEE Transactions on*, PP(99):1, 2012.
- [14] Tonghai Ding, Hongfa Ding, Tao Peng, Xiaotao Han, Jianfeng Xie, and Liang Li. Design of multipulse power supply for small pulsed high magnetic field device. *Applied Superconductivity, IEEE Transactions on*, 20(3):1689–1692, june 2010.
- [15] E. Dallago, G. Venchi, S. Rossi, M. Pullia, T. Fowler, and U. Nielsen. The power supply for a medical synchrotron beam chopper system. In *Proc. 34th Annual Conf. of IEEE Industrial Electronics IECON 2008*, pages 1016–1020, 2008.
- [16] R. García Retegui, M. Benedetti, J.M. Cravero, and C. Almeida Martins. New converter topology for high performance pulsed current sources. Technical Report ABPO TN2008-05, EDMS 899334, European Organization for Nuclear Research (CERN), <https://edms.cern.ch/document/899334/1>, March 2008.
- [17] R. García Retegui, M. Benedetti, J.M. Cravero, and C. Almeida Martins. Nueva topología de convertidor para fuente de corriente pulsada de altas prestaciones. In *XXI Congreso Argentino de Control Automático (AADECA 2008)*, 2008.
- [18] Yvon Cheron. *La commutation douce dans la conversion statique de l'énergie électrique*. PhD thesis, L'institut National Polytechnique de Toulouse, France, 1988.

- [19] R.G. Retegui, M. Benedetti, M. Funes, P. Antoszczuk, and D. Carrica. Current control for high-dynamic high-power multiphase buck converters. *Power Electronics, IEEE Transactions on*, 27(2):614–618, feb. 2012.
- [20] J.-R. Tsai, T.-F. Wu, Y.-M. Chen, and M.-C. Lee. Interleaving control schemes for critical-mode boost pfc. In *Power Electronics Specialists Conference, 2007. PESC 2007. IEEE*, pages 2905–2911, june 2007.
- [21] R. García Retegui, M. Benedetti, R. Petrocelli, and N. Wassinger. New modulator for multi-phase interleaved DC/DC converters. In *13th International European Power Electronics Conference and Applications, EPE09*, Barcelona, Spain, September 08–12, 2009.
- [22] Po-Wa Lee, Yim-Shu Lee, D.K.W. Cheng, and Xiu-Cheng Liu. Steady-state analysis of an interleaved boost converter with coupled inductors. *Industrial Electronics, IEEE Transactions on*, 47(4):787–795, aug 2000.
- [23] M.T. Zhang, M.M. Jovanovic, and F.C.Y. Lee. Analysis and evaluation of interleaving techniques in forward converters. *Power Electronics, IEEE Transactions on*, 13(4):690–698, jul 1998.
- [24] JM Cravero, N Wassinger, R Garcia Retegui, M Benedetti, S Maestri, and W Kloster. Operational principle and tuning of the megadiscap power converters control system. Technical Report sLHC-Project-Note-0020. CERN-sLHC-Project-Note-0020, CERN, Geneva, Jul 2010.
- [25] Jean-Marc Cravero, Carlos De Almeida Martins, Rogelio Garcia Retegui, Nicolas Wassinger, and Mario Benedetti. A new multiple-stage converter topology for high power and high precision fast pulsed current sources. In *Proc. 13th European Conference on Power Electronics and Applications EPE '09*, pages 1–9, 2009.
- [26] N. Wassinger, S. Maestri, R.G. Retegui, J.M. Cravero, M. Benedetti, and D. Carrica. Multiple-stage converter topology for high-precision high-current pulsed sources. *Power Electronics, IEEE Transactions on*, 26(5):1316–1321, may 2011.
- [27] Jean-Marc Cravero, Mario Benedetti, Rogelio Garcia Retegui, Sebastian Maestri, and Nicolas Wassinger. Thermal analysis of megadiscap semiconductor devices. Technical Report CERN-sLHC-Project-Note-0030, CERN (European Organization for Nuclear Research), Geneva, February 2011.
- [28] Infineon Technology. Calculation of Major IGBT Operating Parameters. Technical report, EUPEC Infineon Technology Company technical document, August 1999.

- [29] T. Schuetze, H. Breg, and O. Schilling. The new 6.5kv igbt module: a reliable device for medium voltage applications. Technical report, EUPEC- Infineon Technology Company, 2006.
- [30] M. März and P. Nance. Thermal modeling of power-electronic systems. Technical report, EUPEC- Infineon Technology AG, Munich, April 2000.
- [31] T. Schutze. Thermal equivalent circuit models. Technical Report AN2008-03, EUPEC- Infineon Technology, June 2008.
- [32] J.M. Cravero. Price Enquiry, Technical Specification, Semiconductor for the Assemblies for Megadiscap Power Converters (AD Consolidation and Linac4 projects). Technical Note TE/EPC DO-26538/TE/EPC; EDMS 1093859, TE-EPC, European Organization for Nuclear Research (CERN), <https://edms.cern.ch>, sep 2010.
- [33] M. Bäßler¹, P.Kanschä, F.Umbach, and C. Schaeffer. 1200V IGBT4 -High Power- a new technology generation with optimized characteristics for high current modules. Technical report, EUPEC- Infineon Technology Company, 2006.
- [34] N. Wassinger, R.G. Retegui, M. Funes, and M. Benedetti. Digital control for a multiple-stage pulsed current source. *Industrial Informatics, IEEE Transactions on*, 9(2):1122 –1129, may 2013.
- [35] N. Wassinger, R. Garcia Retegui, M. Funes, and M. Benedetti. Fpga implementation: A multiple-stage converter control for a pulsed current source. In *XVI Iberchip Workshop; IBERCHIP 2010*, 2010.
- [36] N. Wassinger, R. Garcia Retegui, M. Benedetti, W. Kloster, J. M. Cravero, C. A. Martins, and J. L. Gómez Costa. Controller of a new pulsed source for linac 4 (megadiscap). Technical Note TE/EPC TN2009-003; CDS 1201648; TE-EPC, European Organization for Nuclear Research (CERN), <http://cdsweb.cern.ch/record/1201648>, August 2009.
- [37] E. Monmasson, L. Idkhajine, M.N. Cirstea, I. Bahri, A. Tisan, and M.W. Naouar. Fpgas in industrial control applications. *Industrial Informatics, IEEE Transactions on*, 7(2):224 –243, may 2011.
- [38] C. Buccella, C. Cecati, and H. Latafat. Digital control of power converters - a survey. *Industrial Informatics, IEEE Transactions on*, PP(99):1, 2012.
- [39] H. Guzmán-Miranda, L. Sterpone, M. Violante, M.A. Aguirre, and M. Gutiérrez-Rizo. Coping with the obsolescence of safety- or mission-critical embedded systems using fpgas. *Industrial Electronics, IEEE Transactions on*, 58(3):814 –821, march 2011.

- [40] A. Gomperts, A. Ukil, and F. Zurfluh. Development and implementation of parameterized fpga-based general purpose neural networks for online applications. *Industrial Informatics, IEEE Transactions on*, 7(1):78 –89, feb. 2011.
- [41] M. Aguirre, L. Calvino, and M. Valla. Multilevel current source inverter with fpga control. *Industrial Electronics, IEEE Transactions on*, PP(99):1, 2012.
- [42] M. Akiyama, T. Sakugawa, S.H.R. Hosseini, E. Shiraishi, T. Kiyan, and H. Akiyama. High-performance pulsed-power generator controlled by fpga. *Plasma Science, IEEE Transactions on*, 38(10):2588 –2592, oct. 2010.
- [43] Zeliang Shu, Yuhua Guo, and Jisan Lian. Steady-state and dynamic study of active power filter with efficient fpga-based control algorithm. *Industrial Electronics, IEEE Transactions on*, 55(4):1527 –1536, april 2008.
- [44] Xilinx. *Spartan-3 FPGA Starter Kit Board User Guide*, v1.2 edition, http://www.xilinx.com/support/documentation/boards_and_kits/ug130.pdf, June 2008.
- [45] XILINX. *Spartan-3 Generation FPGA User Guide, UG331 (v1.8)*, June 2011.
- [46] AD7621. Datasheet, Analog Devices, http://www.analog.com/static/imported-files/data_sheets/ad7621.pdf, 2005.
- [47] DAC8311. Datasheet, Texas Instruments, <http://www.ti.com/lit/ds/symmlink/dac8311.pdf>, 2005.
- [48] Katsuhiko Ogata. *Modern control engineering*. Prentice-Hall, 2001.

Apéndice A

Síntesis de convertidores estáticos

En este apéndice se realiza una breve reseña acerca de las reglas de interconexión de fuentes y de las consideraciones asociadas al diseño de Convertidores Estáticos (CE) presentadas en [18], las cuales se utilizan como referencia en el procedimiento propuesto para el diseño de convertidores multiestructura.

A.1. Convertidores Estáticos

El CE ideal permite controlar la transferencia de energía eléctrica desde el generador hacia el receptor con rendimiento unitario. Los elementos que componen al CE son fundamentalmente de dos tipos: elementos no lineales que son principalmente interruptores electrónicos (elementos semiconductores en estado de conducción o bloqueo) y elementos lineales reactivos (condensadores, inductores y transformadores). Estos últimos aseguran el almacenamiento y la transferencia de energía eléctrica además de proporcionar al CE la calidad de filtrado.

La síntesis de un CE consiste en definir un cierto tipo de conversión de energía entre una fuente de entrada y una fuente de salida, a partir de las condiciones de la carga. Para ello es necesario determinar:

- La estructura del convertidor, es decir, la cantidad y ubicación de los interruptores, y de los elementos de almacenamiento de energía, es decir, capacitores o inductores.
- Las características estáticas y las características dinámicas de los interruptores.

En esta sección, se describe una técnica formal para sintetizar CE. Para ello es necesario introducir algunos conceptos como: características estáticas y dinámicas de los interruptores, caracterización de fuentes de entrada y salida, y reglas de interconexión entre fuentes.

A.2. Características estáticas y dinámicas de los interruptores

A.2.1. Característica estática

En régimen estático, el comportamiento del interruptor se puede modelar de forma aproximada por una resistencia no lineal, muy baja en el estado de conducción y muy alta en el estado de bloqueo. Considerando la convención de signos de tensión y corriente como la de un dipolo receptor ([Figura A.1a](#)), la característica estática $i_k(v_k)$ que representa al conjunto de puntos de funcionamiento del interruptor, está compuesta por dos ramas situadas íntegramente en los dos cuadrantes en los cuales $v_k \cdot i_k > 0$, una más próxima al eje de i_k (estado de conducción) y la otra más próxima al eje de v_k (estado de bloqueo) ([Figura A.1b](#)). Cada una de estas ramas podrían ser unidireccionales.

Si se considera un interruptor ideal, su característica estática se superpone a los ejes más próximos. En esta representación, todo interruptor que funcione como

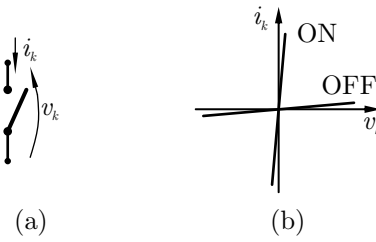


Figura A.1: Características estáticas de un interruptor.

tal poseerá una característica compuesta por al menos dos segmentos ortogonales; Uno para el estado ON o de conducción y otro para el estado OFF o de bloqueo.

La característica estática, que es una propiedad intrínseca del interruptor, puede en los casos de los interruptores a semiconductores, poseer más de dos segmentos en el plano $i_k(v_k)$. En la [Figura A.2](#) se muestran las características estáticas de algunos dispositivos.

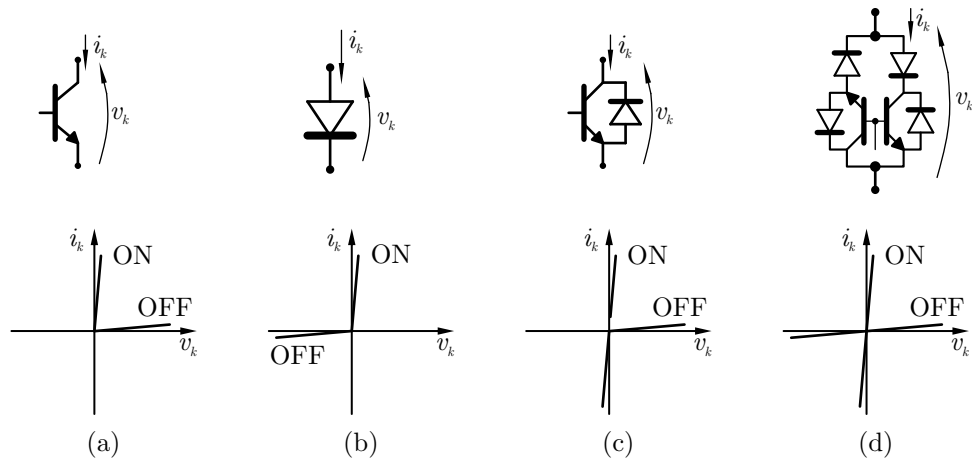


Figura A.2: Características estáticas de interruptores a semiconductores.

Se puede ver que los dispositivos indicados en (a) y (b) presentan características unidireccionales de tensión y corriente (dispositivos de dos segmentos). Estos dispositivos pueden ser clasificados también en función de: si la tensión v_k y la corriente i_k son siempre del mismo signo o si cambian su signo en función al estado del interruptor. En este sentido, si ambos segmentos se encuentran en el mismo cuadrante, como en el caso (a), se los denomina dispositivos tipo T (BJT, IGBT,

MOSFET), y si los segmentos se ubican en cuadrantes opuestos, como en el caso (b), se los denomina dispositivos tipo D (Diodo). El tercer dispositivo, indicado en (c), el cual corresponde a un arreglo de los primeros dos, presenta características bidireccionales en corriente y unidireccionales en tensión (dispositivo de tres segmentos). Por último, en (d) se muestra un arreglo más complejo que presenta características bidireccionales tanto en tensión como en corriente (dispositivo de cuatro segmentos).

A.2.2. Característica dinámica

La característica dinámica representa al comportamiento del interruptor en el cambio desde el estado de conducción al estado de bloqueo o viceversa. Este comportamiento se corresponde, en el plano $i_k(v_k)$, con la transición del punto de funcionamiento del interruptor desde un determinado semieje a otro semieje perpendicular.

La trayectoria seguida por el punto constituye la “característica dinámica de conmutación” del interruptor. Esta característica no es una propiedad intrínseca del dispositivo, contrariamente a su característica estática, sino que depende de las condiciones impuestas por el circuito exterior. Dejando de lado los fenómenos secundarios y siendo el interruptor un elemento disipativo, el trayecto del punto de funcionamiento sólo puede estar en los cuadrantes en los que $v_k \cdot i_k > 0$.

Tanto para el encendido como para el apagado, se distinguen dos modos de cambio de estado (o modos de conmutación): la conmutación natural y la conmutación forzada. En un dispositivo de conmutación natural, el elemento conmuta naturalmente cuando el punto de funcionamiento, desplazándose sobre la característica estática, pasa por cero. Los interruptores de conmutación forzada poseen, además de sus electrodos principales, un electrodo de comando sobre el cual es

posible actuar para provocar un cambio de estado de manera casi instantánea. En la [Figura A.3](#), se muestran las características dinámicas correspondientes a los dispositivos introducidos en la [Figura A.2](#). En ésta, se indican en línea de trazos aquellos segmentos a los que arriba el interruptor cuando su electrodo de comando está excitado.

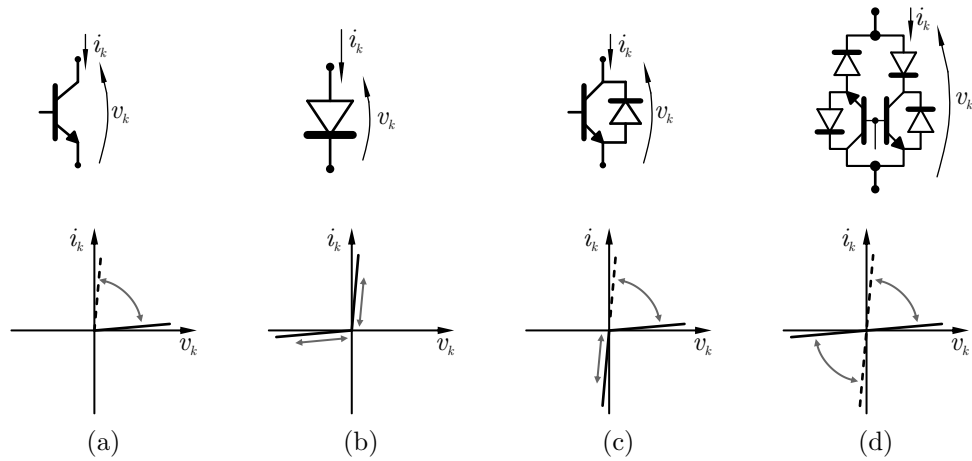


Figura A.3: Características dinámicas de interruptores a semiconductores. Conmutación natural y forzada.

En conclusión, los interruptores utilizados en los CE se pueden clasificar en función de sus características estáticas, en interruptor de dos, tres o cuatro segmentos y por la naturaleza de sus conmutaciones al encendido o al apagado, en naturales o forzadas.

A.3. Caracterización de las fuentes

A.3.1. Tipos de fuentes

En la síntesis de un convertidor, los únicos elementos conocidos son las fuentes de entrada y de salida ([Figura A.4](#)). La primera etapa consiste entonces en caracterizar estas fuentes para luego deducir la estructura del convertidor. Se pueden

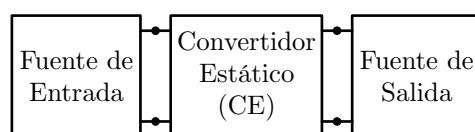


Figura A.4: Fuentes de entrada y salida.

distinguir dos tipos de fuente, de tensión y de corriente. La definición clásica de estas fuentes es la siguiente:

- Fuente de tensión: Toda aquella fuente capaz de imponer una tensión, cualquiera sea la corriente de carga. Esto implica que la impedancia serie de la fuente es despreciable frente a la impedancia de la carga.
- Fuente de corriente: Toda aquella fuente que es capaz de imponer una corriente, cualquiera sea la tensión de carga. Esto implica que la impedancia paralelo de la fuente es muy grande frente a la impedancia de carga.

Esta definición corresponde al régimen permanente. Sin embargo, en los convertidores estáticos, la utilización de interruptores provoca variaciones instantáneas de algunas magnitudes, por lo que corresponde utilizar definiciones que contemplen el régimen transitorio:

- Fuente de tensión: Se define como fuente de tensión, desde el punto de vista dinámico, cuando la tensión aplicada no presenta discontinuidades ante variaciones de la carga, condición que se cumple en el caso del capacitor.
- Fuente de corriente: Se dice que una fuente es de corriente, desde el punto de vista dinámico, cuando la corriente que la atraviesa no presenta discontinuidades ante variaciones de la carga, condición que se cumple en el caso del inductor.

En esta tesis, a aquellas estructuras que cumplen la función de actuar hacia su salida como fuentes de tensión o corriente, ya sea en estado permanente o transitorio, se las denomina simplemente como fuentes.

A.3.2. Reversibilidad de las fuentes

La determinación de la reversibilidad de las fuentes de entrada y de salida es fundamental para deducir las características estáticas de los interruptores utilizados.

Un generador o un receptor son reversibles en corriente si la corriente que lo atraviesa se puede invertir. En caso de reversibilidad del sentido de transferencia de energía (cambio de signo de potencia) los generadores y receptores pueden intercambiar sus roles de manera instantánea (reversibilidad instantánea) o de manera permanente (reversibilidad permanente).

A.4. Reglas de interconexión entre fuentes

Durante el funcionamiento, el CE conecta por medio de sus interruptores las fuentes entre las cuales controla el intercambio de energía. Para que dichas conexiones sean realizables, hay que respetar Reglas de Interconexión entre Fuentes (RIF):

- Una fuente de tensión no se debe poner en cortocircuito, aunque puede estar a circuito abierto.
- Una fuente de corriente no debe estar a circuito abierto, pero puede operar en cortocircuito.

- Dos fuentes de la misma naturaleza no se pueden conectar entre sí, es decir, la conexiones de dos fuentes de tensión en paralelo o de dos fuentes de corriente en serie representan modos de interconexión prohibidos.
- El arreglo resultante de la conexión de dos fuentes de distinta naturaleza debe ser tratado como una fuente de tensión si están en paralelo o como una fuente de corriente si están en serie.

Una excepción a los modos de interconexión prohibidos surge cuando al menos una de las fuentes lo sea de forma instantánea y no de forma permanente. En este caso, es posible conectar dos fuentes de tensión en paralelo o dos fuentes de corriente en serie, si se asegura que la conexión se realice cuando las magnitudes de ambas fuentes sean iguales.

A.5. Configuraciones base de CE

Se define como configuración base al esquema que, sin hipótesis sobre las características de los interruptores, permite todas las interconexiones posibles entre una fuente de entrada y una fuente de salida dadas.

Las configuraciones base ([Figura A.5](#)) pueden ser clasificadas como de conversión directa o indirecta, dependiendo si la transferencia de energía entre las fuentes de entrada y salida se realiza en forma directa o por medio de un elemento de almacenamiento de energía (inductor, capacitor). La configuración base de conversión directa ([Figura A.5a](#)), constituida únicamente por interruptores, permite conectar dos fuentes de naturaleza diferente (tensión-corriente o corriente-tensión) mientras que las de conversión indirecta ([figuras A.5b](#) y [A.5c](#)), que incorporan el uso de elementos de almacenamiento de energía, permiten conectar fuentes de igual naturaleza (tensión-tensión o corriente-corriente).

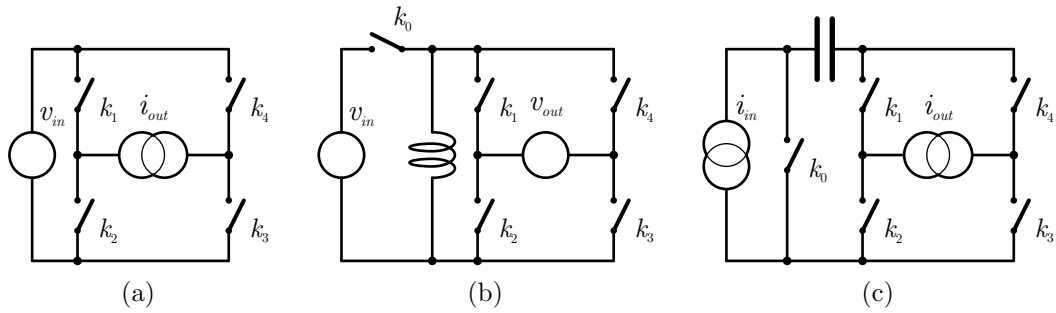


Figura A.5: Configuraciones base de convertidores estáticos.

Las restricciones debido a la naturaleza de las fuentes de entrada y salida se pueden solucionar si se modifica la naturaleza de una de las fuentes mediante el agregado de un elemento de almacenamiento de energía en serie o en paralelo a la misma, según sea necesario (Figura A.6).

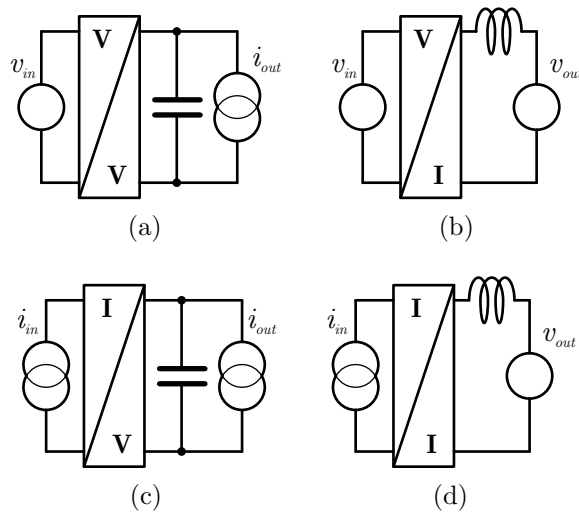


Figura A.6: Modificación de la naturaleza de las fuentes.

Los esquemas de las figuras A.5 y A.6 son reversibles respecto a las fuentes de entrada (v_{in} e i_{in}) y de salida (v_{out} e i_{out}). Es decir, éstas pueden ser intercambiadas indistintamente.

Las configuraciones base son esquemas con la mínima cantidad de componentes aptos para alcanzar la conversión de energía entre dos fuentes. Sin embargo,

dependiendo de los requerimientos específicos de cada aplicación, puede resultar necesario utilizar un arreglo de configuraciones base, agregar dispositivos adicionales (como puede ser una etapa de filtrado) o la aplicación de ambos recursos, debiéndose respetar en cualquier caso las RIF.

A.6. Descripción del método de síntesis de CE

Teniendo en cuenta las definiciones y reglas enunciadas, los pasos para la síntesis de un CE son los siguientes:

1. Determinar la naturaleza de las fuentes de entrada y de salida, y la configuración base.
2. Deducir las reversibilidades en tensión y en corriente de las fuentes de entrada y de salida a partir de las condiciones de la carga.
3. En la configuración base correspondiente, identificar las secuencias de funcionamiento necesarias para cumplir con los requerimientos de reversibilidad en tensión y en corriente y con los controles de energía deseados.
4. Para las diferentes secuencias, observar el sentido de la corriente en los interruptores en estado de conducción y el signo de la tensión en bornes de los que están bloqueados. Deducir la característica $i_k(v_k)$ de cada interruptor.
5. Deducir el encadenamiento de las diferentes secuencias de funcionamiento a partir de un estudio en profundidad de las condiciones de la carga y en particular de las formas de onda deseadas. Para cada conmutación representar el punto de funcionamiento de cada interruptor antes y después de la conmutación.

6. Conociendo la característica estática y los modos de conmutación de cada interruptor, determinar la clase de interruptor a utilizar.

A.7. Conclusiones del apéndice

En este apéndice, se realizó una breve reseña acerca de las consideraciones asociadas al diseño de convertidores estáticos. Se desarrolló la noción de fuentes de tensión y corriente y se enunciaron las reglas que regulan la interconexión entre las mismas. Se describieron además los pasos necesarios para la síntesis de CE.

Apéndice B

Análisis térmico

Este apéndice comprende un estudio térmico teórico de los dispositivos semiconductores realizado para estimar el tiempo de vida media de estos componentes [27].

La selección de los dispositivos semiconductores, a partir de un conjunto de especificaciones, se realiza evaluando características tales como:

- Máxima tensión de bloqueo.
- Máxima corriente en directa.
- Área de operación segura (SOA) [28]

Estas características son provistas por los fabricantes, los cuales a su vez establecen límites operacionales admisibles. Otra característica importante a ser considerada es la temperatura de juntura máxima $T_{j_{max}}$ y su máxima variación $\Delta T_{j_{max}}$. Estos aspectos térmicos se relacionan con la potencia disipada por el dispositivo y con las características térmicas del mismo (resistencia y capacidad térmica). El factor $\Delta T_{j_{max}}$ se evalúa mediante un estudio de ciclado térmico, el cual es de gran importancia con respecto a la confiabilidad de los dispositivos. En

aplicaciones de elevada potencia, el estrés térmico genera roturas mecánicas debido a los diferentes coeficientes de expansión térmica de los materiales utilizados en la construcción de los módulos IGBT [29, 30]. En base a la información técnica provista por el fabricante y las características de operación del convertidor es posible estimar el tiempo de vida esperado de los dispositivos semiconductores.

B.1. Modelo genérico

Para estimar el $\Delta T_{jc_{max}}$ de los dispositivos semiconductores, se utiliza un circuito térmico equivalente el cual se muestra en la Figura B.1. Este circuito se compone por elementos RC individuales, que corresponden a los coeficientes de la expansión en fracciones parciales de la ecuación térmica, y no tienen significado físico. La temperatura calculada con este modelo está referenciada a la temperatura de carcasa T_c . Las constantes de tiempo RC son provistas por los fabricantes mediante tablas. Este modelo térmico (también conocido como modelo de Foster o modelo PI) es el circuito térmico equivalente utilizado más frecuentemente, incluso pese a no tener relación con la estructura física real del dispositivo [31].

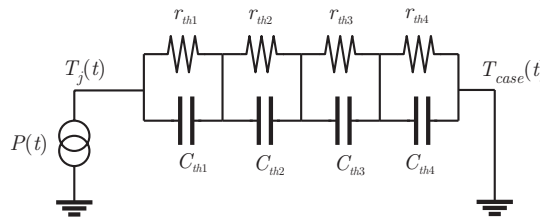


Figura B.1: Circuito térmico equivalente.

La fuente de potencia $P(t)$ representa la potencia disipada en el dispositivo incluyendo las pérdidas de conmutación, de conducción y de recuperación inversa. $P(t)$ se modela por medio de diferentes pulsos, uno para las pérdidas de conducción y otro para las pérdidas de conmutación. Los pulsos de conducción tienen

una amplitud P_c y un ancho t_c , mientras que los pulsos de conmutación tienen una amplitud $P_{swON/OFF}$ y un ancho $t_{on/off}$. Existen diferentes expresiones para el cálculo de la potencia disipada. A continuación se enumeran las siguientes:

$$\begin{aligned} \text{Potencia disipada} &= \frac{E}{\Delta t} = \frac{\int_0^{\Delta t} v(t)i(t)dt}{\Delta t} \\ \text{Potencia disipada} &= P_c + P_{swON} + P_{swOFF} \\ \text{Potencia disipada} &= \frac{1}{t_c} \int_0^{t_c} (V_0 + R_C i_C) i_C dt + \frac{E_{ON}}{t_{on}} + \frac{E_{OFF}}{t_{off}} \end{aligned}$$

donde V_0 representa la tensión en directa con corriente cero en estado ON, R_C es la resistencia en estado ON, E_{ON} es la pérdida de energía en el encendido y E_{OFF} es la pérdida de energía en el apagado.

B.2. Ciclado térmico de los dispositivos

Teniendo en cuenta los requerimientos del convertidor y las características de la carga, las condiciones de operación de los dispositivos semiconductores se muestran en la [Tabla \(B.1\)](#) [32].

Tabla B.1: Condiciones de operación de los semiconductores.

Dispositivo	Tensión	Corriente	Frecuencia de operación
S_1, S_2, D_1, D_2	$V_{Cat} = 2,1 \text{ kV}$	$I_{REF} = 2 \text{ kA}$	$f_P = 1,1 \text{ Hz}$
S_4, D_4	$V_{Cp} = 600 \text{ V}$	$I_{REF} = 2 \text{ kA}$	$f_{GIP} = 10 \text{ kHz}$

Los dispositivos considerados para el análisis térmico son los empleados en la construcción del prototipo a escala real, los cuales se indican a continuación:

- S_1, S_2 : FZ1500R33HL3
- D_1, D_2 : DD800S33K2C
- S_4 : FZ2400R12HP4_B9

- D_4 : DD800S17K3_B2

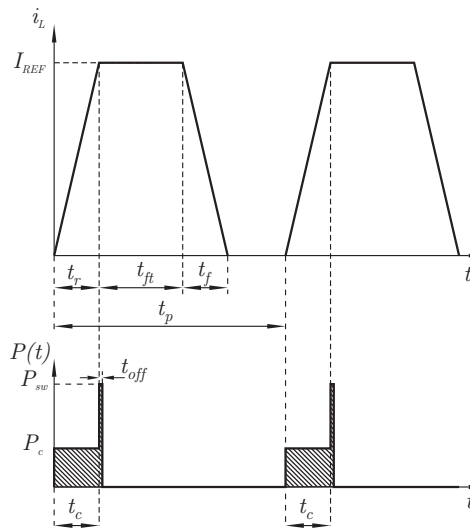
Para determinar la temperatura de juntura de cada dispositivo se debe medir su temperatura de carcasa. Para evaluar la potencia disipada, las pérdidas de conmutación y conducción deben ser estimadas en base a los parámetros de operación. Las pérdidas de conducción pueden ser calculadas fácilmente a partir de las curvas provistas en las hojas de datos de los dispositivos. En relación a las pérdidas de conmutación, su estimación resulta más difícil debido a que dependen de una variedad de parámetros diferentes.

El objetivo de este análisis es evaluar la variación de la temperatura juntura-carcasa de los semiconductores, para así poder validar el diseño y estimar el tiempo de vida medio de los dispositivos. Para esto, se realizaron algunas simplificaciones en relación a las pérdidas de conmutación, las cuales se indican a continuación.

- Las pérdidas de los diodos, son despreciadas en el encendido, mientras que para las pérdidas en el apagado, la energía recuperada se estima desde los parámetros de las hojas de datos y se la distribuye en el tiempo de recuperación del diodo $t_{off} = t_{rr}$.
- En los IGBT, las pérdidas en el encendido se evalúan a partir del valor E_{ON} provisto en las hojas de datos y escalado a las condiciones de operación de cada dispositivo. E_{ON} se distribuye sobre $t_{on} = t_r + t_{rr}$, donde t_r es el tiempo de crecimiento estimado del IGBT y t_{rr} el tiempo de recuperación estimado del diodo. Las pérdidas de apagado se evalúan a partir de la hoja de datos. Luego, se las adapta a los parámetros de operación y se las distribuye sobre el tiempo de bajada del IGBT $t_{off} = t_f$.

B.2.1. Cálculo de ΔT_{jc} para S_1

S_1 tiene un tiempo de conducción igual al tiempo de subida del pulso T_s y debe manejar la tensión y la corriente máximas de la fuente (V_{Cat} , I_{REF}). En la figura [Figura B.2a](#) se muestra el perfil de disipación de potencia relacionado a la corriente de carga. Para calcular la potencia disipada se consideran la energía de apagado y las pérdidas por conducción. La energía de encendido se considera despreciable comparada con la energía de apagado ya que se realiza con corriente nula. En la [Figura B.2b](#) se muestran los parámetros del dispositivo FZ1500R33HL3 usados para las simulaciones.



(a)

V_{CE} [kV]	2.1	r_1 [K / kW]	0.7
I_C [kA]	2	r_2 [K / kW]	5.45
$T_{j\max}$ [°C]	25	r_3 [K / kW]	1.83
E_{rec} [J]	—	r_4 [K / kW]	0.55
E_{ON} [J]	—	τ_1 [s]	0.004
E_{OFF} [J]	3.73	τ_2 [s]	0.045
R_C [mΩ]	0.926	τ_3 [s]	0.5
V_0 [V]	1.5	τ_4 [s]	1
t_{off} [μs]	0.4	t_{on} [μs]	—

(b)

Figura B.2: Análisis térmico de S_1 . (a) Perfil de disipación de potencia. (b) Parámetros de simulación.

En (B.1) se muestran las ecuaciones para el cálculo de P_c y P_{swOFF} .

$$\begin{aligned}
 P_c &= \frac{V_0 I_{REF}}{2} + \frac{R_C I_{REF}^2}{3} = 2,73 \text{ kW} \\
 P_{swOFF} &= \frac{E_{OFF}}{t_{off}} = 9,33 \text{ MW}
 \end{aligned}
 \tag{B.1}$$

En la [Figura B.3a](#) se muestra la variación en la temperatura de juntura en la condición de estado estacionario, es decir, después de varios pulsos de corriente. En la [Figura B.3b](#) se muestra una ampliación de estas temperaturas y del perfil de disipación de potencia. Se puede ver que el máximo ΔT_{jc} es cercano a $1,9^\circ\text{C}$. Dado que el dispositivo opera por debajo de su rango de operación nominal, se obtiene una variación de temperatura baja.

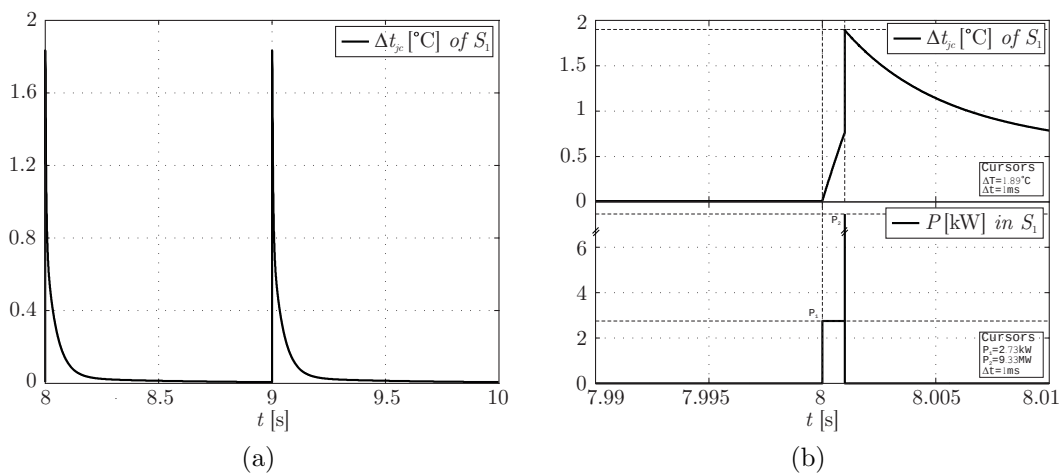


Figura B.3: Simulación térmica de S_1 . (a) Variación de temperatura. (b) Detalle de la variación de temperatura.

B.2.2. Cálculo de ΔT_{jc} para S_2

La tensión de bloqueo y la corriente en directa de S_2 resultan similares a las de S_1 . Sin embargo, a diferencia de S_1 , el tiempo de conducción resulta muy superior ya que S_2 debe conducir la corriente de carga durante el flat-top. Para un análisis más detallado, el perfil de potencia del dispositivo bajo operación de conducción se divide en dos partes, uno de amplitud P_{c1} y duración t_r , y otro de amplitud P_{c2} y duración t_{FT} . El pulso de amplitud P_{c1} incluye solamente las pérdidas de potencia por conducción durante la etapa de subida y el pulso de amplitud P_{c2} incluye las pérdidas de conducción durante el flat-top. Las pérdidas

de conmutación sólo incluyen las correspondientes al apagado, al final del flat-top, ya que el encendido se realiza con corriente nula. La amplitud de las pérdidas de conmutación P_{swOFF} se distribuyen en el tiempo t_{off} . El perfil de disipación de potencia de S_2 se muestra en la Figura B.4a y los parámetros considerados para el dispositivo FZ1500R33HL3 se muestran en la Figura B.4b.

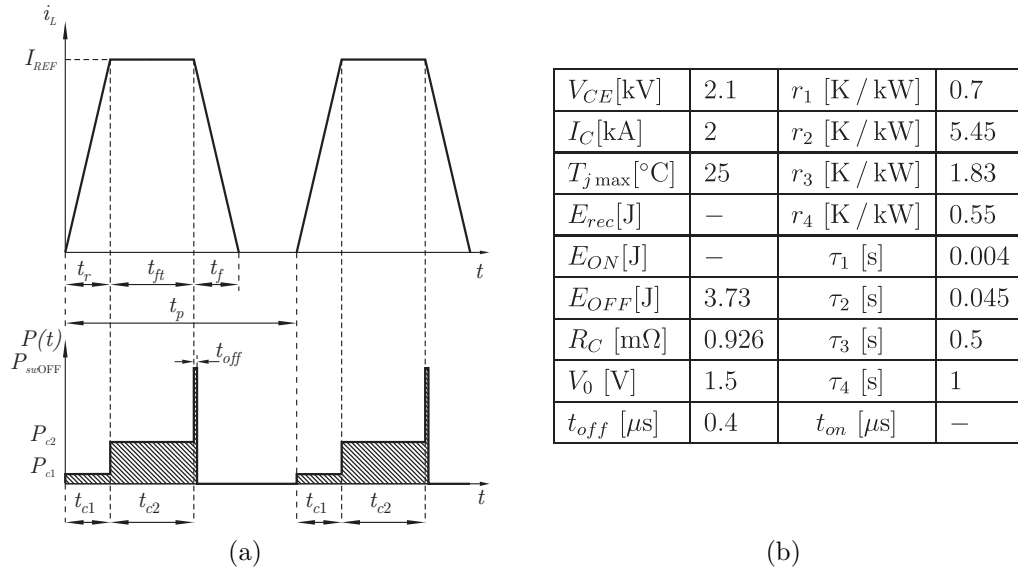


Figura B.4: Análisis térmico de S_2 . (a) Perfil de disipación de potencia. (b) Parámetros de simulación.

En (B.2) se muestran los cálculos de P_{c1} , P_{c2} y P_{swOFF} :

$$\begin{aligned}
 P_{c1} &= \frac{V_0 I_{REF}}{2} + \frac{R_C I_{REF}^2}{3} = 2,73 \text{ kW} \\
 P_{c2} &= (V_0 I_{REF} + R_C I_{REF}^2) = 6,7 \text{ kW} \\
 P_{swOFF} &= \frac{E_{OFF}}{t_{off}} = 9,33 \text{ MW}
 \end{aligned} \tag{B.2}$$

En la Figura B.5a se muestra la variación de la temperatura juntura-carcasa en la condición de estado estacionario. En la Figura B.5b se muestra una ampliación de esta temperatura junto con el perfil de disipación de potencia. El ΔT_{jc} máximo resulta cercano a 8,9 °C. El incremento en la variación de temperatura de S_2 en

relación a S_1 , se debe a que este dispositivo maneja la corriente de carga durante el flat-top.

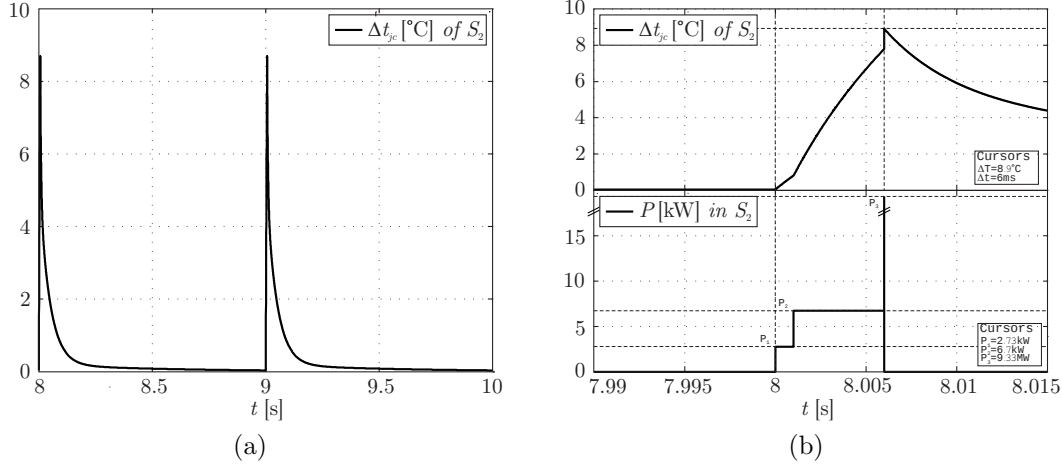


Figura B.5: Simulación térmica de S_2 . (a) Variación de temperatura. (b) Detalle de la variación de temperatura.

B.2.3. Cálculo de ΔT_{jc} para D_1

El diodo D_1 se utiliza para bloquear la elevada tensión V_{Cat} , de forma de utilizar dispositivos de baja tensión en el generador GIP. Debido a que D_1 está conectado en serie con GIP, éste debe manejar la máxima corriente de carga. Por lo tanto, es necesario que D_1 soporte la máxima tensión de bloqueo y la máxima corriente en directa. El tiempo de conducción de este dispositivo corresponde a la suma del tiempo de flat-top y del tiempo de bajada. De forma similar a lo realizado para el cálculo de S_2 , para un análisis más detallado, las pérdidas de conducción del dispositivo se dividen en dos partes, una de amplitud P_{c1} , correspondiente al flat-top, y otra de amplitud P_{c2} , correspondiente a la etapa de bajada. En relación a las pérdidas en el encendido, sería necesario evaluarlas experimentalmente ya que este valor no es provisto por el fabricante, debido a la fuerte dependencia con el circuito asociado. De todas formas, éstas pueden ser

despreciadas en relación a las pérdidas de conducción. En la [Figura B.6a](#) se muestra el perfil de disipación de potencia de D_1 y en la [Figura B.6b](#) se muestran los parámetros correspondientes al dispositivo DD800S33K2C.

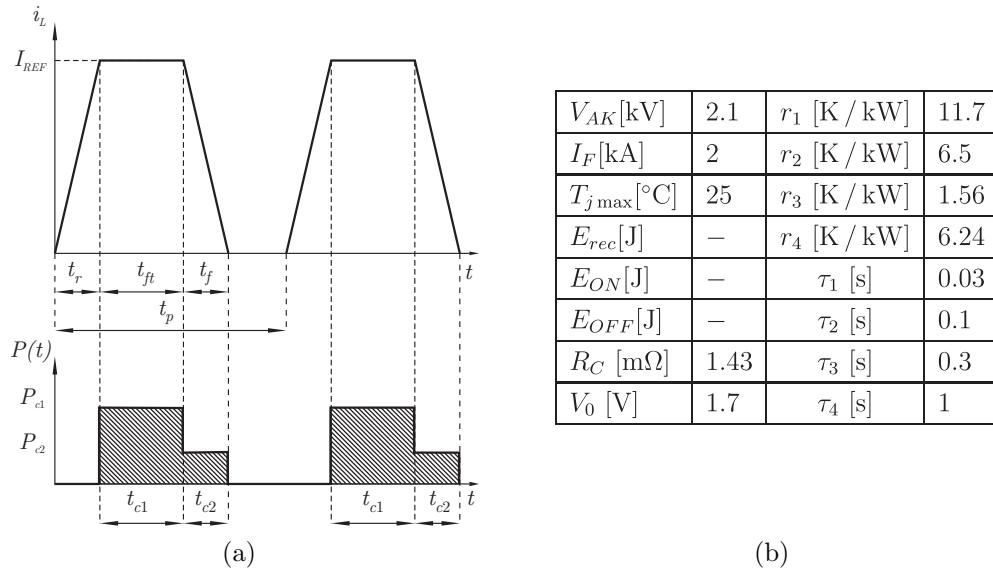


Figura B.6: Análisis térmico de D_1 . (a) Perfil de disipación de potencia. (b) Parámetros de simulación.

En (B.3) se muestran los cálculos de P_{c1} y P_{c2} :

$$\begin{aligned}
 P_{c1} &= \frac{V_0 I_{REF}}{2} + \frac{R_C I_{REF}^2}{4} = 3,13 \text{ kW} && \text{para cada diodo del módulo} \\
 P_{c2} &= \frac{V_0 I_{REF}}{4} + \frac{R_C I_{REF}^2}{12} = 1,33 \text{ kW} && \text{para cada diodo del módulo}
 \end{aligned}
 \tag{B.3}$$

En el caso de D_1 , se utilizan dos dispositivos en paralelo, los cuales son provistos en un mismo módulo. Las expresiones dadas para el cálculo de la potencia disipada consideran la potencia disipada en un solo diodo. Para calcular la potencia total, se debe tener en cuenta el aporte de los dos diodos. En la [Figura B.7a](#) se muestra la variación en la temperatura juntura-carcasa en estado estacionario y en la [Figura B.7b](#) se muestra una ampliación de esta temperatura junto con

el perfil de disipación de potencia. Se puede ver que la variación de temperatura resulta cercana a $7,3^{\circ}\text{C}$.

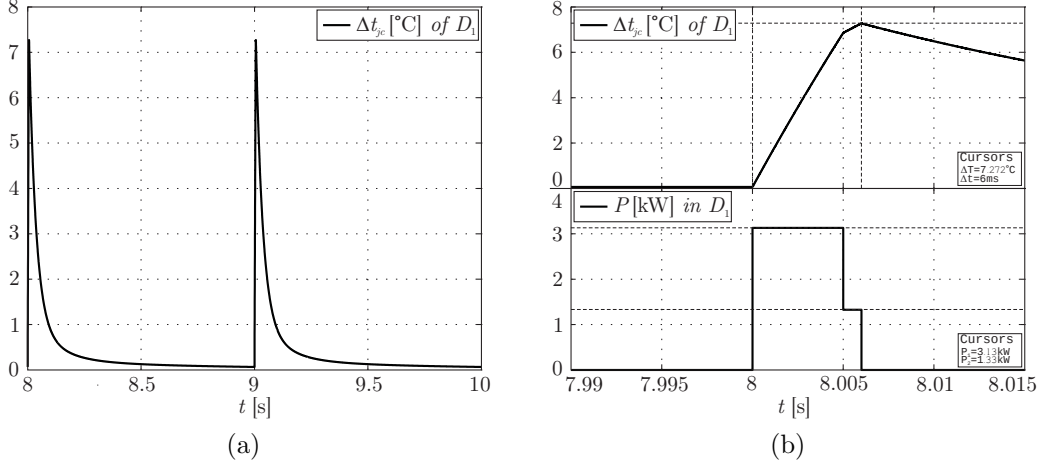


Figura B.7: Simulación térmica de D_1 . (a) Variación de temperatura. (b) Detalle de la variación de temperatura.

B.2.4. Cálculo de ΔT_{jc} para D_2

El diodo D_2 se utiliza durante la etapa de bajada para proveer un camino de conducción de corriente para la recuperación de energía de la carga. Este dispositivo debe manejar la tensión y corriente máximas de la fuente (V_{Cat} , I_{REF}). En este caso, las pérdidas de conmutación tanto en el encendido como en el apagado resultan despreciables, en relación a las pérdidas de conducción. En la [Figura B.8a](#) se muestra el perfil de potencia disipada junto con la corriente en la carga. En la [Figura B.8b](#) se muestran los parámetros del dispositivo DD800S33K2C utilizados en las simulaciones.

En (B.4) se muestra el cálculo de P_c :

$$P_c = \frac{V_0 I_{REF}}{2} + \frac{R_C I_{REF}^2}{3} = 3,6 \text{ kW} \quad (\text{B.4})$$

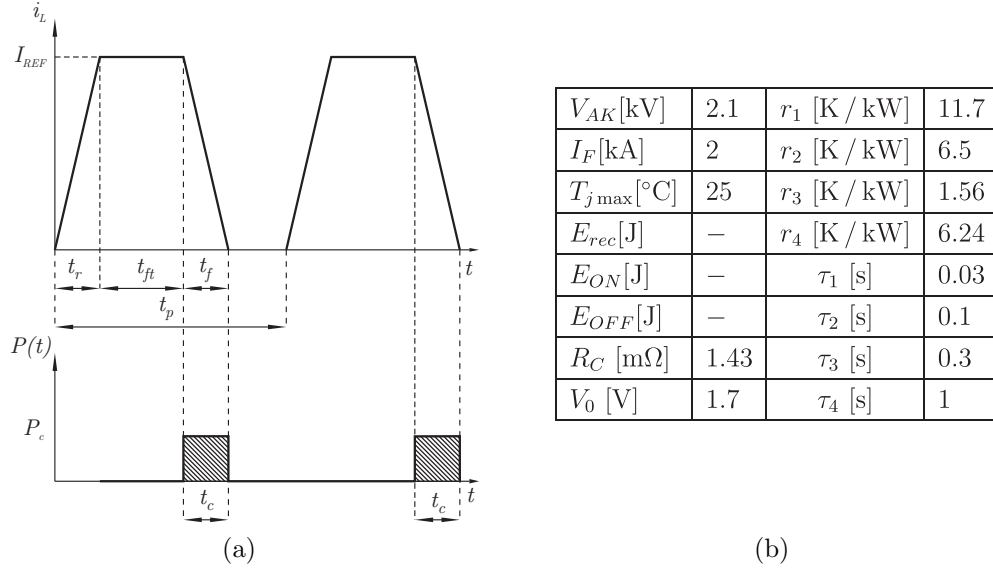


Figura B.8: Análisis térmico de D_2 . (a) Perfil de disipación de potencia. (b) Parámetros de simulación.

En la [Figura B.9a](#) se muestra la variación de la temperatura juntura-carcasa en la condición de estado estacionario. En la [Figura B.9b](#) se muestra una ampliación de esta temperatura junto con el perfil de potencia disipada. Se puede ver que la variación de temperatura máxima resulta cercana a $1,7^\circ\text{C}$. Dicha variación resulta baja a causa de que, este dispositivo opera muy por debajo de sus límites de operación nominal.

B.2.5. Cálculo de ΔT_{jc} para S_4

El interruptor S_4 opera en modo conmutado durante el flat-top con baja tensión y con la corriente de carga (V_{Cat}, I_{REF}). El perfil de potencia está formado por un conjunto de pulsos de período $T_s = 100 \mu\text{s}$, el cual representa las pérdidas de conmutación y conducción. En la [Figura B.10a](#) se muestra el correspondiente perfil de disipación de potencia y en la [Figura B.10b](#) se muestran los parámetros considerados para el interruptor FZ2400R12HP4.B9.

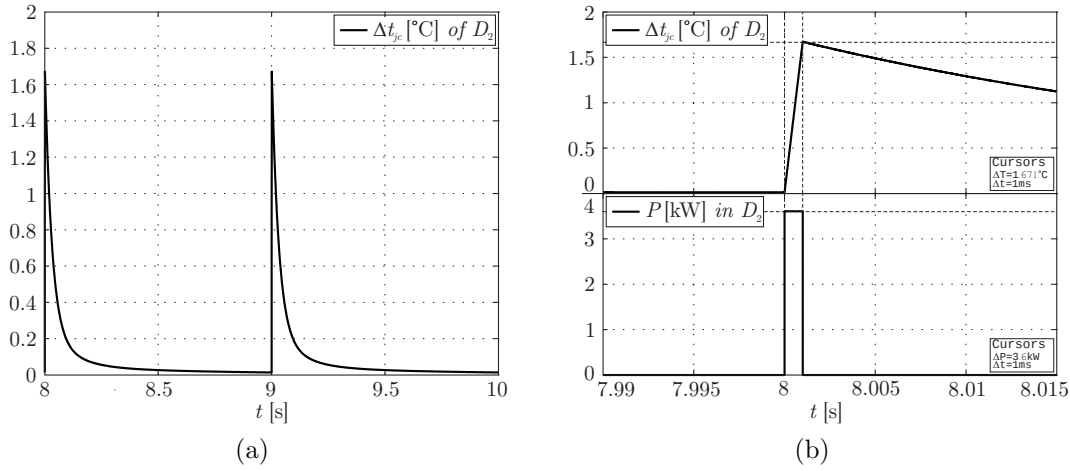
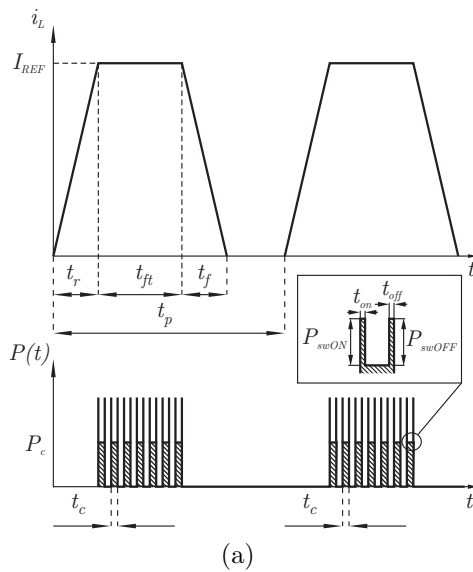


Figura B.9: Simulación térmica de D_2 . (a) Variación térmica. (b) Detalle de la variación de temperatura.

Los pulsos que representan las pérdidas por conducción tienen una amplitud P_c y un ancho igual a $D \cdot T_s$, donde se consideró un ciclo de trabajo $D = 0,5$. Las pérdidas por conmutación tienen una amplitud $P_{swON/OFF}$ y un ancho $t_{on/off}$. Las pérdidas por recuperación inversa se incluyen en P_{swON} y t_{on} se considera como la



V_{CE} [kV]	0.6	r_1 [K / kW]	0.7907
I_C [kA]	2	r_2 [K / kW]	8.3195
$T_{j\max}$ [$^{\circ}\text{C}$]	25	r_3 [K / kW]	1.1534
E_{rec} [J]	—	r_4 [K / kW]	0.3981
E_{ON} [J]	0.36	τ_1 [s]	0.001
E_{OFF} [J]	0.46	τ_2 [s]	0.0362
R_C [m Ω]	0.5	τ_3 [s]	0.1587
V_0 [V]	0.8	τ_4 [s]	3.3483
t_{off} [μs]	0.22	t_{on} [μs]	0.72

Figura B.10: Análisis térmico de S_4 . (a) Perfil de disipación de potencia. (b) Parámetros de simulación.

suma del tiempo de subida de la corriente del IGBT más el tiempo de recuperación inversa del diodo, los cuales fueron estimados a partir de los documentos provistos por Infineon. El cálculo de la amplitud de los pulsos correspondientes se muestra en (B.5).

$$\begin{aligned} P_c &= V_0 I_{REF} + R_c I_{REF}^2 = 3,6 \text{ kW} \\ P_{swON} &= E_{ON}/t_{on} = 0,5 \text{ MW} \\ P_{swOFF} &= E_{OFF}/t_{off} = 2,09 \text{ MW} \end{aligned} \quad (\text{B.5})$$

En la Figura B.11a se muestra la variación de la temperatura juntura-carcasa en la condición de estado estacionario y en la Figura B.11b se muestra una ampliación de esta temperatura junto con el perfil de disipación de potencia. La variación de temperatura máxima resulta igual a $19,2^\circ\text{C}$. Como se puede ver en (B.5), la elevada variación de temperatura está dada principalmente por las pérdidas de potencia por conmutación. En este análisis, se consideró un proceso de conmutación dura, lo que conduce al peor caso de operación.

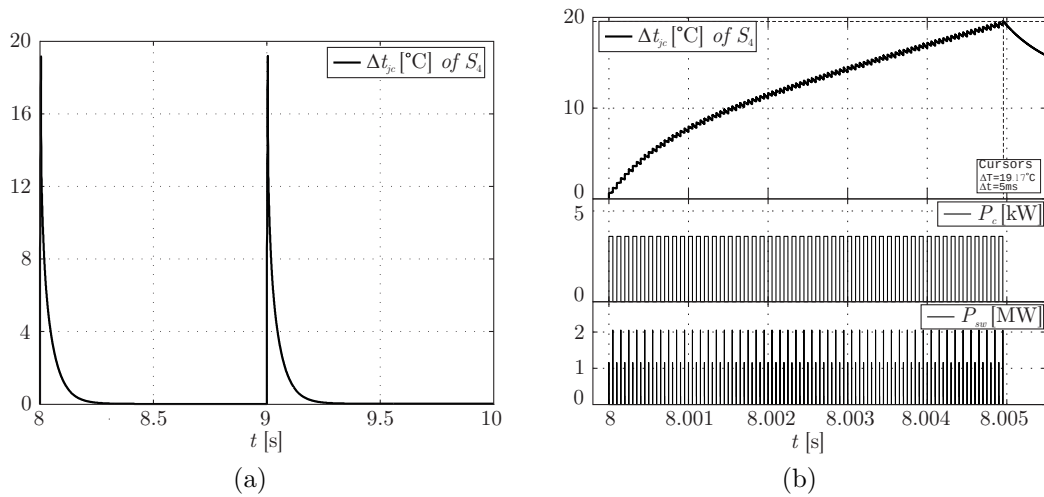


Figura B.11: Simulación térmica de S_4 . (a) Variación de temperatura. (b) Detalle de la variación de temperatura.

B.2.6. Cálculo de ΔT_{jc} para D_4

El diodo D_4 opera en modo conmutado durante el flat-top y en modo continuo durante la etapa de bajada. Éste debe manejar una baja tensión y la corriente de carga durante el flat-top (V_{Cp} , I_{REF}). El perfil de disipación de potencia durante el flat-top es un conjunto de pulsos de ancho $T_s = 100 \mu s$, el cual incluye las pérdidas por conducción y por conmutación. Durante la etapa de bajada se consideran las pérdidas por conducción. En la [Figura B.12a](#) se muestra el perfil de disipación de potencia y en la [Figura B.12b](#) se muestran los parámetros del dispositivo DD800S17K3.B2.

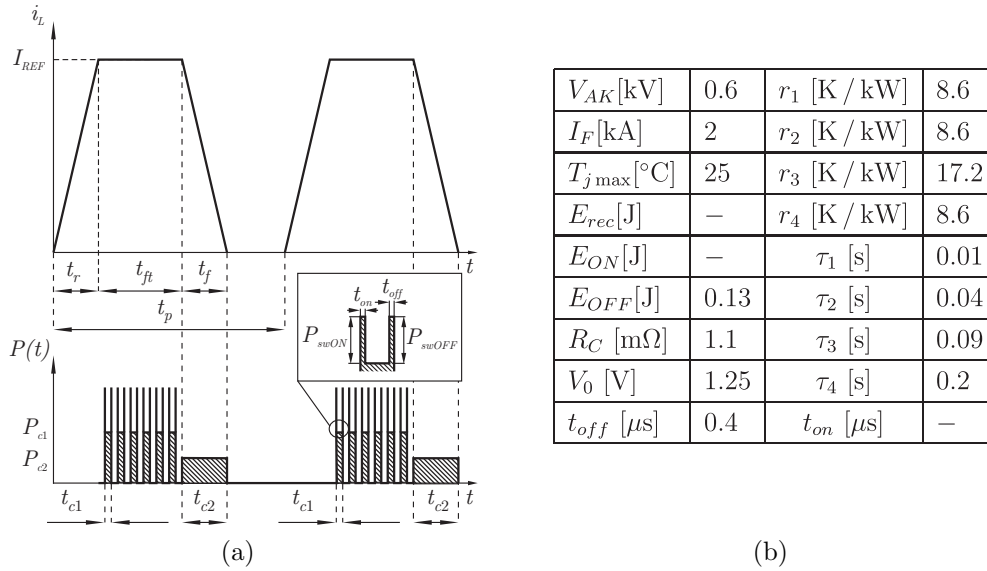


Figura B.12: Análisis térmico de D_4 . (a) Perfil de disipación de potencia. (b) Parámetros de simulación.

Los pulsos de conducción en el flat-top tienen una amplitud P_{c1} y un ancho igual a $D \cdot T_s$, donde se consideró un ciclo de trabajo $D = 0,5$. Las pérdidas por conmutación tienen una amplitud $P_{swON/OFF}$ y un ancho $t_{on/off}$. En este caso, las pérdidas por conmutación del diodo no pueden ser despreciadas. De todas formas, la parte principal de las pérdidas por conmutación están dadas por las pérdidas

en el apagado y las correspondientes al encendido pueden ser despreciadas. Para evaluar con precisión las pérdidas en el apagado, sería necesario medir la tensión y la corriente en el diodo en la peor condición de funcionamiento (di/dt , corriente y tensión de operación, inductores parásitos, etc). Como una primera aproximación, se considera la energía de recuperación dada en la hoja de datos del dispositivo y, ya que este valor es muy dependiente de la tensión de operación, se lo escala para una tensión de operación de 600 V. Los pulsos que representan las pérdidas por conducción durante la etapa de caída tienen una amplitud P_{c2} y un ancho t_f . Los cálculos correspondiente a las amplitudes de los pulsos se muestran en (B.6):

$$\begin{aligned}
 P_{c1} &= V_0 I_{REF} + R_c I_{REF}^2 = 5,38 \text{ kW} \\
 P_{swON} &= E_{ON}/t_{on} \text{ -despreciada-} \\
 P_{swOFF} &= E_{OFF}/t_{off} = 325 \text{ kW} \\
 P_{c2} &= \frac{V_0 I_{REF}}{2} + \frac{R_c I_{REF}^2}{3} = 2,21 \text{ kW}
 \end{aligned} \tag{B.6}$$

En la [Figura B.13a](#) se muestra la variación de la temperatura juntura-carcasa en la condición de estado estacionario y en la [Figura B.13b](#) se muestra una ampliación de esta temperatura junto con el perfil de disipación de potencia. La máxima variación de temperatura resulta igual a 23,4°C. Se puede ver que, incluso cuando las pérdidas por conmutación en el encendido no han sido consideradas, la desviación de temperatura es apreciable.

B.3. Cálculo de los tiempos de vida media esperados

Los tiempos de vida media esperados pueden ser estimados a partir de la amplitud del ciclado térmico, de la máxima temperatura de juntura y de las

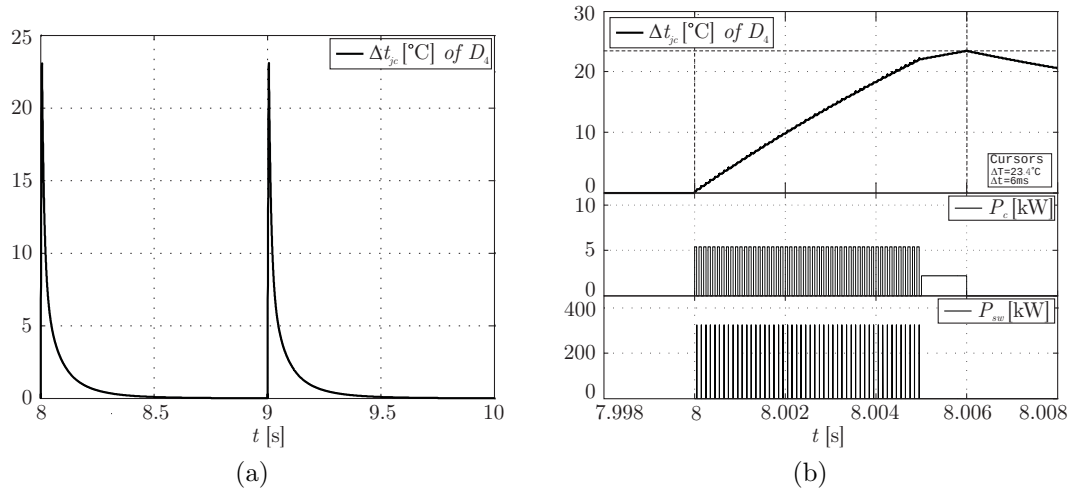


Figura B.13: Simulación térmica de D_4 . (a) Variación de temperatura. (b) Detalle de la variación de temperatura.

curvas de máxima temperatura de junta, provistas por los fabricantes. En el caso de las fuentes utilizadas en aceleradores de partículas se espera un tiempo de vida de al menos 150000 horas con una temperatura ambiente de 40°C . Si se traslada este requerimiento en términos de capacidad de ciclos de potencia, esto conduce a un número de pulsos dado por [32]:

$$150000 \text{ horas} \cdot 60 \frac{\text{min}}{\text{hora}} \cdot 60 \frac{\text{s}}{\text{min}} \cdot 1,1 \frac{\text{pulsos}}{\text{s}} = 600 \cdot 10^6 \text{ pulsos}$$

A modo de ejemplo, se realizan los cálculos correspondientes a los tiempos de vida esperados para S_2 y S_4 .

B.3.1. Cálculo del tiempo de vida esperado de S_2

El interruptor S_2 se implementa mediante un modulo FZ1500R33HL3 de Infineon. Estos módulos utilizan dispositivos IGBT3 del tipo *field-stop trench-gate* alojados en encapsulados IHM-B. En esta clase de módulos, la estimación del

número de ciclos térmicos de vida puede ser estimado a partir de la [Figura B.14](#), la cual es presentada en [\[29\]](#).

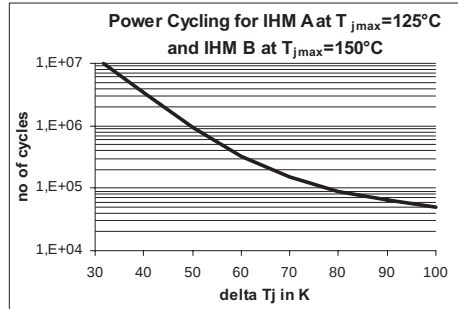


Figura B.14: Capacidad de ciclado térmico para IHM A con $T_{jmax} = 125^{\circ}\text{C}$ y IHM B a $T_{jmax} = 150^{\circ}\text{C}$.

Con una variación de temperatura $\Delta T_j = 30^{\circ}\text{C}$, el número de ciclos resulta igual a $2 \cdot 10^7$. En el caso de interés $\Delta T_{js2} = 9^{\circ}\text{C}$ el cual no se provee en la curva. Para obtener el número de ciclos por interpolación se aplica el modelo de Coffin-Manson. En la [Figura B.15](#), la cual es presentada en [\[29\]](#), se muestra la expresión para determinar la capacidad de ciclado de potencia.

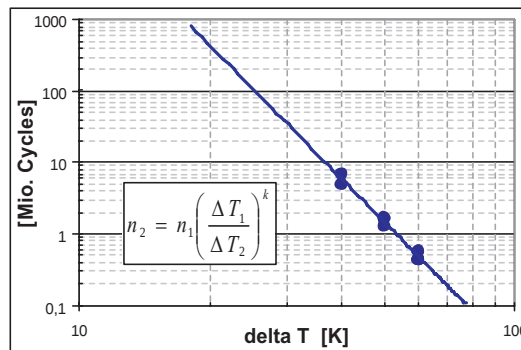


Figura B.15: Predicción de la capacidad de ciclado de potencia mediante el modelo de Coffin-Manson.

Partiendo de los datos de la [Figura B.15](#) se obtiene $k = 6$. Luego, el número de ciclos de S_2 resulta dado por:

$$n_{S2} = 2 \cdot 10^7 \cdot \left(\frac{30^\circ\text{C}}{9^\circ\text{C}} \right)^6 = 27,4 \cdot 10^9 \quad (\text{B.7})$$

Dado que n_{S2} se obtiene para una temperatura $T_{jMAX} = 150^\circ\text{C}$, resulta necesario ajustarlo para la temperatura de juntura de operación del dispositivo. Asumiendo una temperatura ambiente de 40°C y considerando una temperatura medida de carcasa de 60°C , la máxima temperatura de juntura es $T_{jMAX} = 60^\circ\text{C} + 8,9^\circ\text{C} \approx 70^\circ\text{C}$. Para realizar este ajuste se utiliza la [Figura B.16](#), la cual es presentada en [29]. Esta figura muestra el factor de aceleración como una función de la diferencia de temperatura entre la temperatura de juntura obtenida de la curva de la [Figura B.14](#) y la temperatura de juntura de operación del dispositivo. En este caso, dicha diferencia resulta igual a 80°C , lo que conduce a un factor de aceleración de 20. Luego, n_{S2} resulta dada por:

$$n_{S2} = 27,4 \cdot 10^9 \cdot 20 = 548 \cdot 10^9 \quad (\text{B.8})$$

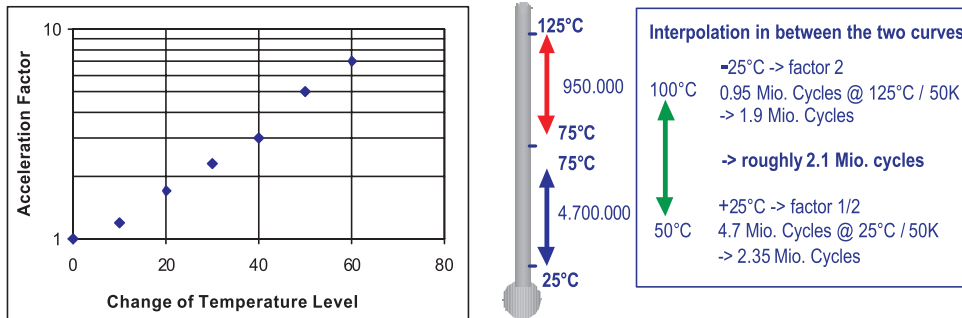


Figura B.16: Factor de aceleración para ciclado de potencia.

En la [Figura B.16](#) se puede apreciar que el número de ciclos obtenido es mil veces mayor que el requerido y, por lo tanto, el ciclado térmico de S_2 no es un

problema.

B.3.2. Cálculo del tiempo de vida esperado de S_4

El interruptor S_4 se implementa mediante un modulo FZ2400R12HP4_B9 de Infineon. Estos módulos IGBT utilizan tecnología *trench-gate IGBT4*. Para este tipo de módulos, el número de ciclos puede ser calculado a partir de la Figura B.17, la cual es presentada en [33].

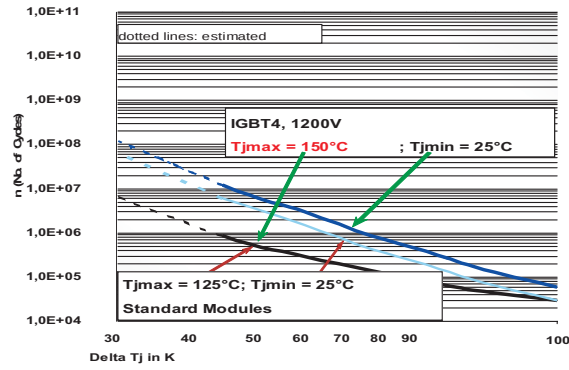


Figura B.17: Curva de ciclado de potencia: Comparativa entre un modulo IGBT4 1200 V y módulos estándar.

Con $\Delta T_j = 30^\circ\text{C}$, el número de ciclos resulta $7 \cdot 10^6$. Utilizando el modelo de Coffin-Manson para $\Delta T_{jc} = 19,17^\circ\text{C}$, se obtiene n_{S4} como:

$$n_{S4} = 7 \cdot 10^6 \cdot \left(\frac{30^\circ\text{C}}{19,17^\circ\text{C}} \right)^6 \approx 100 \cdot 10^6 \quad (\text{B.9})$$

Para obtener el factor de aceleración se utiliza $T_{j_{MAX}} = 60^\circ\text{C} + 19,17^\circ\text{C} \approx 80^\circ\text{C}$. Esta temperatura conduce a un factor de desaceleración de 10. Entonces, n_{S4} resulta dada por:

$$n_{S4} = 100 \cdot 10^6 \cdot 10 = 1000 \cdot 10^6 \quad (\text{B.10})$$

Este número de ciclos representa un tiempo de vida de aproximadamente 252000 horas, lo que supera ampliamente a las especificaciones.

B.4. Conclusiones del apéndice

En este apéndice se efectuó un análisis térmico de los dispositivos semiconductores, en particular de la variación de temperatura juntura-carcasa. Se computaron además los tiempos de vida media esperados para los dispositivos S_2 y S_4 . Los cálculos se realizaron en base a los datos provistos por los fabricantes considerando conmutación dura.

Los resultados indican que es posible clasificar a los requerimientos de temperatura sobre los semiconductores en tres niveles.

- En el primer nivel, con los requerimientos mas bajos, se encuentran S_1 y D_2 , los cuales tienen una variación de temperatura juntura-carcasa menor que 2°C . Esta baja variación se debe al hecho de que operan sólo durante las etapas de subida y bajada con una baja frecuencia de repetición (cercana a 1 Hz) y por lo tanto sus condiciones de operación están muy por debajo de sus capacidades nominales.
- En el segundo nivel, se encuentran S_2 y D_1 , cuya variación de temperatura es menor que 10°C . Estos dispositivos operan durante el flat-top y sus pérdidas de potencia se deben principalmente a las pérdidas por conducción. Sus correspondientes variaciones de temperatura juntura-carcasa están relacionadas directamente con la duración del flat-top.
- El tercer nivel incluye a S_4 y D_4 , los cuales exhiben una variación juntura-carcasa cercana a 20°C . La elevada variación de temperatura se debe fundamentalmente a que estos dispositivos operan en modo conmutado durante el

flat-top. En este caso, la disipación de potencia proviene principalmente de las pérdidas por conmutación. Teniendo en cuenta esto, resulta importante realizar un cuidadoso diseño de esta etapa y el driver del IGBT debe estar optimizado en detalle.

Se evaluó el tiempo de vida esperado para S_2 y S_4 . En el caso de S_2 , la baja variación de temperatura en la juntura excluye cualquier problema de factibilidad relacionado al ciclado térmico. En relación a S_4 , el tiempo de vida estimado resulta cercano a las 250000 horas, lo cual supera las especificaciones.

Apéndice C

Análisis de la respuesta transitoria del sistema

En este apéndice se analiza la evolución temporal de las variables del sistema luego de la transición entre estructuras al inicio del flat-top. Este transitorio en particular resulta de interés debido a que conduce a extender la duración del flat-top, lo que aumenta el valor RMS del pulso. Se analiza el peor caso, correspondiente a la inicialización sin precarga del capacitor.

C.1. Evolución temporal de las variables de estado

La evolución temporal del sistema puede ser obtenida como la suma de dos componentes, la homogénea debida a las condiciones iniciales del sistema y la particular debida a sus entradas. Para simplificar el estudio simultáneo de ambas componentes, resulta conveniente el modelado de las condiciones iniciales por medio de fuentes de valor constante, asociadas a los elementos que las generan.

De esta forma, las variables de estado están formadas por la suma de una componente asociada a su condición inicial (fuentes de valor constante), identificada con el subíndice 0, y otra asociada a su comportamiento dinámico (componentes con condiciones iniciales nulas), identificada con el subíndice d (Figura C.1). El sistema estudiado es de tercer orden, por lo que se lo representa por medio de tres variables de estado, dos físicas asociadas a v_C e i_O , y una interna a la regulación asociada al controlador tipo integral, G_C .

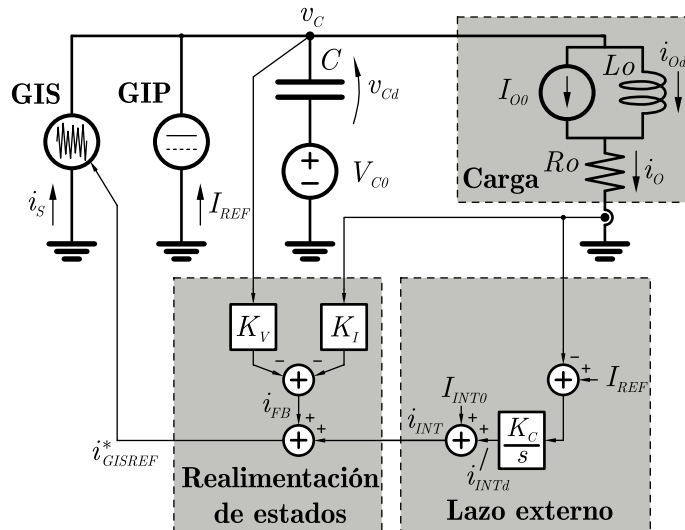


Figura C.1: Circuito equivalente durante el flat-top sin lazo de feed-forward.

Se debe notar que, en la Figura C.1 no se han incluido los ripple de GIS y GIP, ni el lazo de cancelación asociado a este último, si no que por el contrario, ambos generadores son considerados como fuentes de corriente ideales. Esta asunción es válida debido a que, la operación de los mismos es considerada independiente de la evolución del sistema, y por lo tanto, sus ripples son tratados

como perturbaciones. El modelo de estados correspondiente se muestra en (C.1).

$$\begin{aligned} \begin{bmatrix} sv_{Cd} \\ si_{Od} \\ si_{INTd} \end{bmatrix} &= \begin{bmatrix} -\frac{K_V}{C} & -\frac{K_I+1}{C} & \frac{1}{C} \\ \frac{1}{Lo} & \frac{Ro}{Lo} & 0 \\ 0 & -K_C & 0 \end{bmatrix} \begin{bmatrix} v_{Cd} \\ i_{Od} \\ i_{INTd} \end{bmatrix} + \\ &+ \begin{bmatrix} -\frac{K_V}{C} & -\frac{K_I+1}{C} & \frac{1}{C} & \frac{1}{C} \\ \frac{1}{Lo} & \frac{Ro}{Lo} & 0 & 0 \\ 0 & -K_C & 0 & K_C \end{bmatrix} \begin{bmatrix} V_{C0} \\ I_{O0} \\ I_{INT0} \\ I_{REF} \end{bmatrix} \end{aligned} \quad (C.1)$$

donde $v_C = v_{Cd} + V_{C0}$, $i_O = i_{Od} + I_{O0}$ y $i_{INT} = i_{INTd} + I_{INT0}$. Debe notarse que, debido a que las condiciones iniciales de la corriente en el inductor y la tensión en el capacitor se esquematizan como fuentes, pueden ser tratadas como entradas en el modelo de estados del sistema. La ecuación característica de este modelo se muestra en la Ec. (C.2) y en la Ec. (C.3), reescrita en este último caso como una función de ω_C y ω_P .

$$s^3 + \left(\frac{K_V}{C} + \frac{Ro}{Lo} \right) s^2 + \frac{K_V Ro + K_I + 1}{LoC} s + \frac{K_C}{LoC} = \quad (C.2)$$

$$s^3 + 2\omega_P s^2 + \omega_P^2 s + \omega_C \omega_P^2 \quad (C.3)$$

Partiendo del modelo de la Ec. (C.1) se pueden despejar las ecuaciones que permiten calcular v_{Cd} , i_{Od} y i_{INTd} . El valor inicial de i_{INT} puede ser obtenido por medio de la C.4.

$$I_{INT0} = K_V V_{C0} + K_I I_{O0} \quad (C.4)$$

C.2. Evaluación del caso sin precarga del capacitor C

Un caso particular de interés es la inicialización del sistema sin precarga del capacitor C durante el proceso de puesta en marcha. Esta condición de funcionamiento presenta una elevada exigencia, por lo que se la considera un análisis de peor caso. En esta situación, las condiciones iniciales del sistema son $I_{O0} = I_{REF}$ y $V_{C0} = 0$. Además, se asume que el integrador es inicializado correctamente, es decir con $K_V I_{REF}$. Luego, el vector de entradas del modelo de estados de la Ec. (C.1) se puede simplificar como se muestra en la Ec. (C.5).

$$\begin{bmatrix} V_{C0} \\ I_{O0} \\ I_{INT0} \\ I_{REF} \end{bmatrix} = \begin{bmatrix} 0 \\ 1 \\ K_I \\ 1 \end{bmatrix} I_{REF} \quad (C.5)$$

En estas condiciones, el modelo de la Ec. (C.1) puede ser reescrito por medio de la Ec. (C.6), donde la única entrada del sistema es I_{REF} .

$$\begin{bmatrix} sv_{Cd} \\ si_{Od} \\ si_{INTd} \end{bmatrix} = \begin{bmatrix} -\frac{K_V}{C} & -\frac{K_I+1}{C} & \frac{1}{C} \\ \frac{1}{L_o} & \frac{R_o}{L_o} & 0 \\ 0 & -K_C & 0 \end{bmatrix} \begin{bmatrix} v_{Cd} \\ i_{Od} \\ i_{INTd} \end{bmatrix} + \begin{bmatrix} 0 \\ \frac{R_o}{L_o} \\ 0 \end{bmatrix} I_{REF} \quad (C.6)$$

Partiendo del modelo de la Ec. (C.6) se pueden despejar las ecuaciones para calcular v_{Cd} , i_{Od} y i_{INTd} (ecuaciones (C.7), (C.8) y (C.9)).

$$\frac{v_{Cd}(s)}{I_{REF}(s)} = \frac{Ro((1 + K_I)s + K_C)/(LoC)}{s^3 + 2\omega_P s^2 + \omega_P^2 s + \omega_C \omega_P^2} \quad (C.7)$$

$$\frac{i_{Od}(s)}{I_{REF}} = \frac{-Ro s (Cs + K_V)/(LoC)}{s^3 + 2\omega_P s^2 + \omega_P^2 s + \omega_C \omega_P^2} \quad (C.8)$$

$$\frac{i_{INTd}(s)}{I_{REF}(s)} = \frac{K_C Ro (Cs + K_V)/(LoC)}{s^3 + 2\omega_P s^2 + \omega_P^2 s + \omega_C \omega_P^2} \quad (C.9)$$

La corriente de referencia del generador GIS, i_{GISREF}^* , (el símbolo * indica que la corriente de GIS no contiene la componente correspondiente al lazo de feed-forward) puede ser obtenida como una relación entre las ecuaciones (C.7), (C.8) y (C.9) como se muestra en la Ec. (C.10).

$$\begin{aligned} i_{GISREF}^*(s) &= i_{INT}(s) + i_{FB}(s) = \\ &= i_{INTd}(s) - K_V v_{Cd}(s) - K_I i_{Od}(s) = \\ &= \frac{K_I Ro C s^2 + (K_C Ro C + (K_I (Ro - 1) - 1) K_V) s}{(s^3 + \omega_P^2 s^2 + \omega_P^2 s + \omega_C \omega_P^2) LoC} I_{REF}(s) \end{aligned} \quad (C.10)$$

Reemplazando $I_{REF}(s) = I_{REF}/s$ en las ecuaciones (C.7), (C.8) y (C.10), y antitransformando se obtienen las ecuaciones temporales de la tensión v_C y de las corrientes i_O e i_{GISREF}^* , dadas por las ecuaciones (C.11), (C.12) y (C.13), respectivamente. Una vez obtenida la ecuación para el cálculo de i_{GISREF}^* , se agrega la componente de ripple de GIP como se muestra en la Ec. (C.14).

$$v_C(t) = \mathfrak{L}^{-1} \left\{ \frac{v_{Cd}(s)}{I_{REF}(s)} \cdot \frac{I_{REF}}{s} \right\} \quad (C.11)$$

$$i_O(t) = I_{REF} + \mathfrak{L}^{-1} \left\{ \frac{i_{Od}(s)}{I_{REF}(s)} \cdot \frac{I_{REF}}{s} \right\} \quad (C.12)$$

$$i_{GISREF}^*(t) = \mathfrak{L}^{-1} \left\{ \frac{i_{GISREF}^*(s)}{I_{REF}(s)} \cdot \frac{I_{REF}}{s} \right\} \quad (C.13)$$

$$i_{GISREF}(t) = i_{FF} + \mathfrak{L}^{-1} \left\{ \frac{i_{GISREF}^*(s)}{I_{REF}(s)} \cdot \frac{I_{REF}}{s} \right\} \quad (C.14)$$

C.2.1. Análisis de i_O

Reemplazando el valor de K_V (Ec. (3.10)) en la Ec. (C.8), correspondiente a i_{Od} , y trabajando algebraicamente se puede arribar a la Ec. (C.15).

$$\frac{i_{Od}(s)}{I_{REF}} = \frac{-Ro/Lo s (s + (2\omega_P - Ro/Lo))}{s^3 + 2\omega_P s^2 + \omega_P^2 s + \omega_C \omega_P^2} \quad (C.15)$$

Si se considera $2\omega_P \gg Ro/Lo$ y se reemplaza $\omega_P = k\omega_C$, la Ec. (C.15) puede ser simplificada resultando la Ec. (C.16).

$$\frac{i_{Od}(s)}{I_{REF}} \approx -\frac{Ro}{Lo} \frac{s (s + 2k\omega_C)}{s^3 + 2k\omega_C s^2 + k^2\omega_C^2 s + k^2\omega_C^3} \quad (C.16)$$

Finalmente, a partir de la Ec. (C.16), se deduce que el transitorio puede ser modelado completamente a partir de los parámetros Ro/Lo , k y ω_C , y de la corriente I_{REF} .

C.3. Conclusiones del apéndice

En este apéndice, se determinó la ecuación de estados genérica para el cálculo de la evolución transitoria de las variables al inicio del flat-top, mediante el estudio de las respuestas homogénea y forzada del sistema. Mediante el modelado de las condiciones iniciales por medio de fuentes de valor constante, ambas componentes fueron evaluadas simultáneamente.

Se realizó un análisis de peor caso para la condición sin precarga del capacitor, el cual es de especial interés en las Fuentes de Corriente Pulsada.

Se arribó a una ecuación para analizar cualitativamente la dependencia de la evolución temporal de i_O (duración y amplitud del transitorio) con los parámetros

R_o/L_o , k y ω_C . Dicha relación es de utilidad durante el proceso de diseño de la fuente.

Apéndice D

Implementación de la plataforma digital

En este apéndice se describe la implementación del sistema de control digital [34, 35, 36]. Dada las características particulares de la topología propuesta, surge la necesidad de una plataforma de control capaz de realizar múltiples tareas en forma simultánea, entre las cuales, las principales son:

- Realizar los controles individuales asociados a los generadores GIP y GIS.
- Gestionar la interconexión entre las estructuras mediante el comando de los interruptores S_1 , S_2 , S_3 y S_4 , la habilitación de los controles de los generadores GIP y GIS, y de habilitación de los lazos de regulación.
- Ejecutar el algoritmo de regulación, de forma de alcanzar la precisión requerida en el flat-top y la dinámica necesaria durante los transitorios de interconexión.
- Calcular los parámetros de inicialización previamente a cada pulso.
- Manejar la comunicación con los convertidores ADC y DAC.

- Llevar a cabo la comunicación con un sistema de comando y supervisión de jerarquía superior.

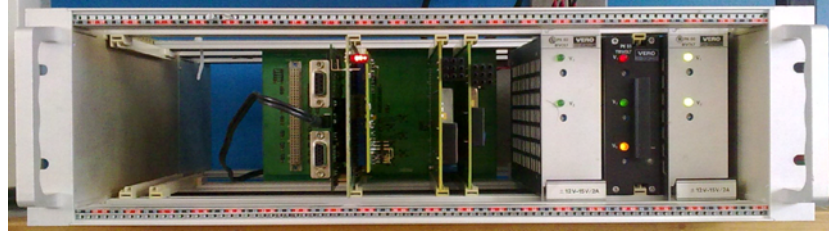
Para realizar estas tareas se utiliza una plataforma basada en FPGA. Esta elección se basa en que las FPGA combinan la flexibilidad de un procesador de señales de propósito general con la velocidad y la densidad de una implementación por hardware a medida [37, 38, 39, 40, 41, 42, 43]. Además, éstas permiten ejecutar múltiples tareas con total paralelismo.

D.1. Descripción de la plataforma digital

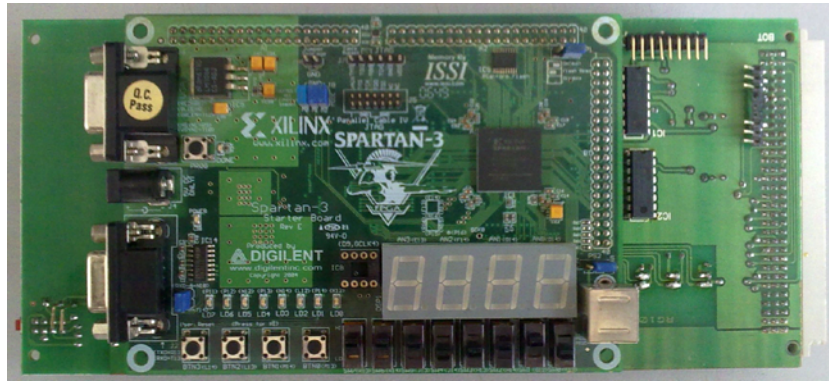
La plataforma digital de control se diseñó para ser montada en un rack del tipo 2U (Figura D.1a). Para esto se utilizaron 3 placas. La primera de éstas, es la encargada del procesamiento para lo que se usó una placa *Spartan-3 Starter Kit* desarrollada por Digilent [44, 45] (Figura D.1b), la cual contiene una FPGA Xilinx Spartan 3. La segunda placa, contiene los canales de adquisición analógicos utilizados para el sensado de la tensión y las corrientes, y cuenta además con dos canales analógicos de salida para propósitos de depuración (Figura D.1c). Por último, una tercera placa es la encargada de proveer la conectividad entre las primeras dos placas y el rack. Esta contiene además la circuitería necesaria para adaptar los niveles de las señales de comando de los interruptores.

D.1.1. Placa de adquisición y depuración

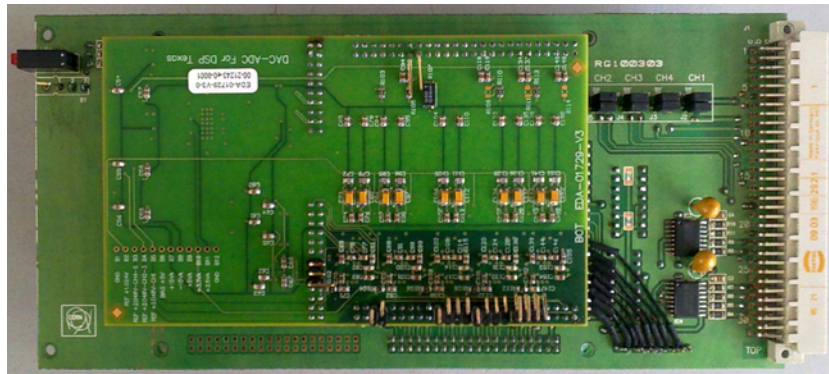
El modulo de adquisición cuenta con 4 convertidores ADC AD7621 de Analog Devices de 16 bits y 2 MSPS [46], utilizados para la conversión de las señales correspondientes a i_P , i_S , i_O y v_C . Cada uno de éstos está acompañado con una



(a) Rack del sistema de control (Placa del sistema de control y fuentes de alimentación)



(b) Placa del sistema de control - Parte delantera (Placa de desarrollo Xilinx FPGA)



(c) Placa del sistema de control - Parte trasera (placa de adquisición y depuración)

Figura D.1: Fotos del sistema de control.

etapa de filtrado y acondicionamiento de señales. Tanto las entradas de los convertidores como las etapas previas fueron diseñadas íntegramente diferenciales, de forma de minimizar el ruido de modo común. Los filtros están implementados de forma activa, y los anchos de banda están ubicados en 1 MHz en los canales correspondientes a i_P , i_O y v_C , y 2 MHz en el caso de i_S . Esta placa cuenta además con

2 convertidores DAC DAC8311 de Texas Instruments de 14 bits y 1 MSPS [47].

D.1.2. Placa de control

El sistema de control se implementó en una FPGA Spartan 3 (3S200FTG256-5). Esta contiene un total de 1920 slices y 12 multiplicadores de 18 bits dedicados. El código se implementó en lenguaje VHDL debido a la portabilidad que este ofrece. Para la edición, simulación, compilación y programación del código se utilizó la plataforma ISE provista por Xilinx. Se utilizó un reloj principal de 160 MHz generado mediante un DCM (Digital Control Manager) a partir de un reloj externo de 50 MHz.

D.2. Descripción de la implementación del sistema de control

En la [Figura D.2](#) se muestra un diagrama en bloques de la implementación del sistema de control. Las funciones realizadas por cada uno de los bloques se describen en las siguientes secciones.

D.2.1. Bloques de interfaz con los convertidores ADC y DAC

Las comunicaciones con los conversores son comandadas por la FPGA, siendo ésta la que define los instantes de conversión. Los conversores ADC utilizados son operados a 1 MSPS en las mediciones de i_P , i_O y v_C , y a 2 MSPS en el caso de i_S . La comunicación de los conversores ADC utiliza un clock de 40 MHz, y se realiza en forma serie en el caso de los conversores de 1 MSPS, y en paralelo a través del envío de dos palabras de 8 bits en el caso restante. Los datos recibidos desde los

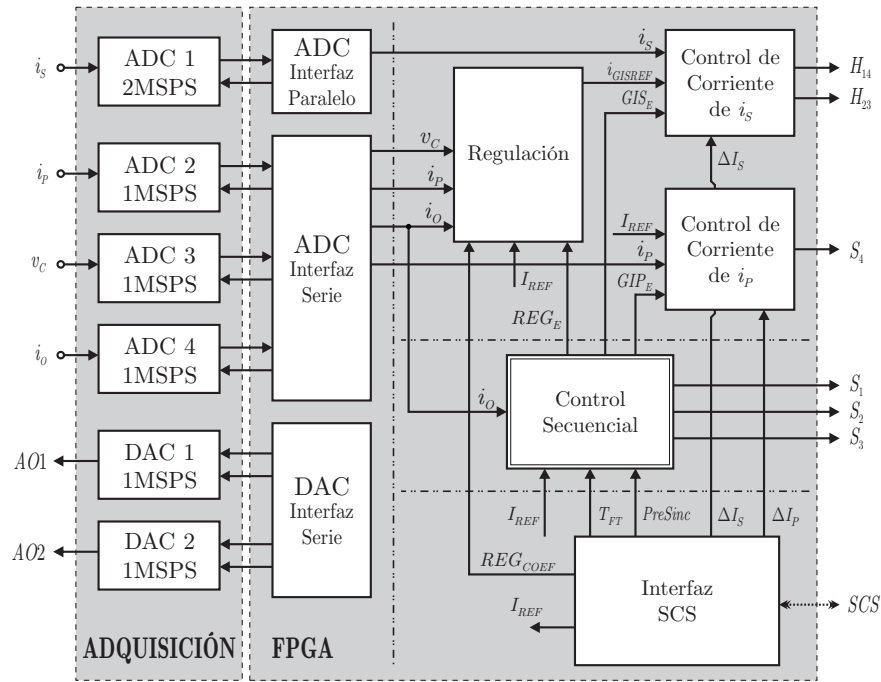


Figura D.2: Diagrama de la implementación del control digital.

ADC se ajustan de modo de entregar al resto de los bloques señales con un rango dinámico bipolar de ± 20 A en el caso de las corrientes, y ± 10 V en el caso de la tensión.

Los conversores DAC se comunican en formato serie mediante un clock de 20 MHz, de forma de operar a una velocidad de 1 MSPS. Los datos se ajustan de modo de obtener a la salida del sistema un rango dinámico bipolar de ± 10 V.

D.2.2. Interfaz serie de comunicación externa

En este bloque, se implementa la comunicación con el SCS (sistema de comando y supervisión), cuya jerarquía es superior a la de la fuente y comanda la operación de múltiples convertidores. El sistema recibe del SCS la información sobre el ancho de pulso, la referencia de corriente y el comando de inicio de pulso para sincronizar a la fuente con el resto del sistema. Además, mediante este bloque se provee al SCS información acerca del estado del convertidor.

D.2.3. Control secuencial

Este bloque gestiona la interconexión entre las diferentes estructuras mediante el control del estado de los interruptores S_1 , S_2 y S_3 , y la habilitación de los controles de corriente de los generadores GIP y GIS, y del bloque de regulación. En este bloque, se implementa además el cálculo del presincronismo. En la [Figura D.3](#) se muestra un diagrama de flujo de las tareas realizadas. Este bloque se implementó mediante una máquina de estados.

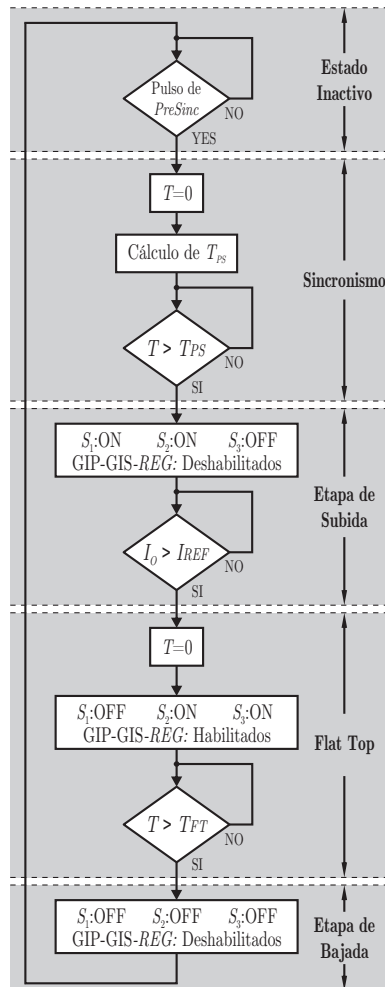


Figura D.3: Diagrama de flujo del bloque de control secuencial.

D.2.4. Bloques de control de corriente

Estos bloques realizan los controles de corriente de los generadores GIP y GIS. Ambos controles están implementados mediante moduladores por histéresis digitales, haciendo uso de máquinas de estado, comparadores y contadores. Estos controles cuentan con limitaciones en frecuencia, de modo de evitar posibles daños en los interruptores.

D.2.5. Regulación

En este bloque, se implementan los lazos de regulación previamente explicados en la sección 3.3. Los mismos se implementan de forma discreta [48] en la FPGA, la cual contiene multiplicadores embebidos. Estos operan con palabras de 18 bits como entrada, y entregan el producto en formato de 36 bits. Para aprovechar los beneficios tanto de velocidad como de ocupación de área de la FPGA, los lazos de realimentación se implementan en base al uso de la aritmética utilizada por los multiplicadores. En consecuencia, los productos se realizan en aritmética de punto fijo de 18 bits, y las sumas en aritmética de punto fijo de 36 bits.

Para seleccionar las constantes de normalización de las señales, se buscan las señales de mayor magnitud, siendo en este caso las correspondientes a los bloques G_C y K_I (Figura D.4).

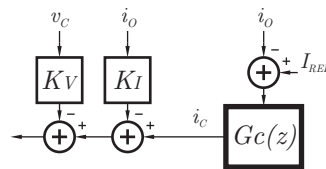


Figura D.4: Lazos de realimentación.

La salida del bloque G_C (i_C) puede ser dividida en dos componentes:

$$i_C = \overline{I_C} + \widetilde{I_C} \quad (D.1)$$

donde $\overline{I_C}$ es un término constante e igual a la suma de las realimentaciones provenientes de los bloques K_V y K_I , y $\widetilde{I_C}$ es un término variable que surge de las variaciones de i_O .

El término constante se puede expresar como:

$$\overline{I_C} = K_V \overline{V_C} + K_I \overline{I_O} = (K_V R + K_I) \cdot I_{REF} \quad (D.2)$$

Dado que este término es constante y conocido, y su magnitud es muy elevada, puede ser eliminado de los cálculos del controlador G_C y agregado como una etapa de suma en su salida. Como resultado, la salida del controlador operará magnitudes bajas. Además, si $K_V R \ll K_I$, el término $K_V R$ puede ser simplificado, dando lugar al esquema mostrado en la [Figura D.5](#).

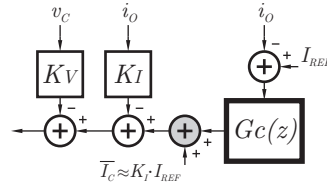


Figura D.5: Modificaciones en el lazo de realimentación.

De todas formas, aún existen problemas asociados a la pérdida de resolución en la normalización, debido al hecho de que los términos $K_I i_O$ y $K_I I_{REF}$ son mucho más grandes que la salida del controlador o $K_V v_C$. Este problema, se puede superar mediante la modificación del orden en que se realizan las operaciones, como se muestra en la [Figura D.6](#). Se puede ver que, como i_O resulta cercana a I_{REF} , los términos $K_V v_C$ y $K_I \cdot (i_O - I_{REF})$, y el resultado de la salida del bloque G_C , resultan del mismo orden.

Finalmente, las ganancias de los lazos de realimentación son normalizados por un factor 2^8 , el cual es considerado antes del lazo de feed-forward. En la

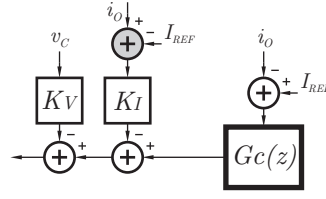


Figura D.6: Lazos de realimentación resultantes.

Figura D.7, se muestra un esquema detallado de los lazos de realimentación implementados en este bloque.

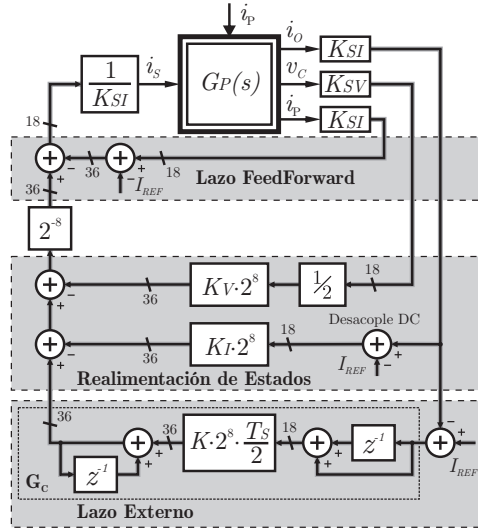


Figura D.7: Detalle de la implementación de los lazos de regulación.

Los bloques de ganancia K_{SI} y K_{SV} corresponden a la etapa de sensado y conversión. Estas ganancias, se obtienen como $K_{SI} = 2^{17}/20 \text{ A}$ y $K_{SV} = 2^{17}/10 \text{ V}$. Las salidas de los datos provenientes de los ADC son convertidas del formato de 16 bits al de 18 bits, para corresponderse con el formato numérico adoptado.

El factor $1/2$, antes del bloque K_V , se utiliza para ajustar la diferencia de ganancia existente entre K_{SV} y K_{SI} . El generador GIS está representado con la ganancia $1/K_{SI}$, cuyo valor es $20 \text{ A} / 2^{17}$.

D.3. Conclusiones del apéndice

En este apéndice se describió la implementación del sistema de control en una plataforma basada en FPGA. La multiplicidad de tareas ejecutas paralelamente por dicha plataforma, dejó en evidencia su capacidad para cubrir las exigencias de los sistemas de control de convertidores multiestructura.

Se presentó una estrategia para desacoplar fracciones de gran magnitud constantes y conocidas de las señales en los lazos de regulación, la cual permitió extender los rangos dinámicos de las operaciones sin necesidad de incrementar la longitud de palabra de la aritmética utilizada.

La utilización de recursos en la FPGA resultó cercana al 39% además de 3 de los 12 multiplicadores disponibles.

Apéndice E

Almacenamiento de energía en los bancos de capacitores

Este apéndice tiene por finalidad cumplir con dos objetivos: determinar las magnitudes de energía que deberán suministrar los equipos destinados a la carga de los bancos de capacitores, y fijar las ecuaciones para la selección de las capacidades de los mismos.

En la [Sección E.1](#) se determinan la magnitud de energía transferida desde los bancos de capacitores hacia el convertidor, la cual será utilizada en el cálculo de las capacidades, y la suministrada por los equipos de carga asociados a los mismos. La diferencia entre estas dos magnitudes está dada por la energía recuperada desde la carga hacia los bancos de capacitores, la cual es una característica destacable de la topología propuesta. En la [Sección E.2](#), se fijan criterios para la selección de la capacidad de los bancos de capacitores. Por último, en la [Sección E.3](#), se indican las principales conclusiones de este apéndice.

E.1. Transferencia de energía en los bancos de capacitores

En las fuentes de corriente pulsada tratadas en este trabajo, el consumo de energía está concentrado en una ventana de tiempo muy pequeña en relación al período de repetitividad de los pulsos. Esta característica, permite almacenar la energía necesaria para la generación de los pulsos sobre los bancos de capacitores de entrada, en forma lenta durante el tiempo inactivo del sistema, para luego utilizar esta energía en la generación del pulso. Gracias a esto, es posible utilizar equipos para la carga de los capacitores con especificaciones menos exigentes. Estos cargadores, funcionan como fuentes de corriente, por lo que el tiempo de carga T_{CCx} depende de la corriente que pueda suministrar el cargador I_{CCx} , la capacidad del banco de capacitores Cx y el cambio de tensión que se desee realizar sobre los mismos ΔV_{CCx} (Ec. (E.1)). La magnitud de este cambio será la tensión completa de carga, cuando se encienda el equipo, o la diferencia de tensión que quede luego de la recuperación de energía, en la generación de cada pulso.

$$T_{CCx} = \frac{\Delta V_{CCx} Cx}{I_{CCx}} \quad (\text{E.1})$$

E.1.1. Energía suministrada por Cat

La energía transferida por Cat está dada por $\varepsilon_{Cat} = \varepsilon_{LpLo} + \varepsilon_{RpRo-ES}$, donde ε_{LpLo} es la energía necesaria para la carga de los inductores y $\varepsilon_{RpRo-ES}$ corresponde a las pérdidas de energía en las resistencias durante la etapa de subida, las

cuales están dadas, en forma aproximada, por las ecuaciones (E.2) y (E.3).

$$\varepsilon_{LpLo} = \frac{(Lp + Lo)I_{REF}^2}{2} \quad (E.2)$$

$$\varepsilon_{RpRo-ES} = I_{REF}^2(Rp + Ro)\frac{T_S}{3} \quad (E.3)$$

E.1.2. Energía suministrada por Cp

La energía almacenada en el capacitor Cp , es utilizada para compensar las pérdidas sobre las resistencias serie de los inductores durante el flat-top (Ec. (E.4)).

$$\varepsilon_{Cp} = I_{REF}^2(Rp + Ro)T_{FT} \quad (E.4)$$

E.1.3. Energía suministrada por Cs

En condiciones de funcionamiento normal, GIS entrega una corriente con valor medio nulo, por lo que la energía entregada por Cs es la correspondiente a las pérdidas en los componentes. En cambio, si existiese diferencia entre el valor medio de la corriente entregada por GIP e I_{REF} , la cual puede ser positiva o negativa, esta diferencia debería ser provista por GIS. En función a esto, se diseña el sistema para una condición de peor caso y se adopta una diferencia de $K_{\Delta iCs}$ veces la corriente de referencia con sentido tendiente a descargar Cs . Teniendo en cuenta las magnitudes de las energías en juego, las pérdidas en los componentes resultan despreciables frente a la energía entregada a la carga. Luego, la pérdida de energía de Cs se modela por medio de la Ec. (E.5).

$$\varepsilon_{Cs} = Ro(K_{\Delta iCs}I_{REF})^2 \quad (E.5)$$

Se puede observar que en el caso de que GIP entregue una corriente superior

a la de referencia, GIS deberá extraer corriente de la fuente. En este caso, puede suceder que exista una transferencia de energía neta desde la fuente hacia GIS. Si esto ocurre, se debe utilizar un cargador para C_s con capacidad bidireccional de energía, o en su defecto, un freno dinámico que mitigue la deriva de tensión.

E.1.4. Recuperación de energía

La energía recuperada hacia Cat puede ser calculada como $\varepsilon_{RCat} = \varepsilon_{LpLo} - \varepsilon_{RpRo-EB}$, donde ε_{LpLo} es la energía almacenada en los inductores al comienzo de la etapa de bajada, y $\varepsilon_{RpRo-EB}$ es la energía de pérdida en las resistencias Rp y Ro durante la misma (ecuaciones (E.2) y (E.6)).

$$\varepsilon_{RpRo-EB} = I_{REF}^2 (Rp + Ro) \frac{T_B}{3} \quad (E.6)$$

Luego, la energía que debe aportar el cargador de Cat entre pulsos ε_{CCat} , resulta dada por la energía entregada por Cat durante la etapa de subida ε_{Cat} , menos la energía recuperada durante la etapa de bajada ε_{RCat} (Ec. (E.7)).

$$\varepsilon_{CCat} = \varepsilon_{Cat} - \varepsilon_{RCat} = I_{REF}^2 (Rp + Ro) \frac{T_S + T_B}{3} \quad (E.7)$$

E.2. Selección de las capacidades

En el caso de Cat , dicha selección se realiza de forma de limitar el incremento en el valor RMS debido a la deformación de la rampa de subida. La selección de Cp y Cs , por otra parte, se efectúa en función a la variación máxima de la frecuencia de conmutación de los respectivos generadores.

E.2.1. Selección de Cat

El circuito simplificado de carga de Lp y Lo se indica en la [Figura E.1](#)

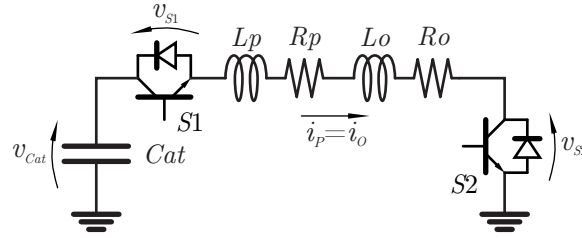


Figura E.1: Circuito equivalente de carga de Lp y Lo durante la etapa de subida.

La forma de onda de corriente puede ser determinada mediante la [Ec. \(E.8\)](#).

$$i_O(t) = I_{MAX} e^{-\alpha t} \sin(\omega t) \quad (E.8)$$

donde

$$\alpha = \frac{Rp + Ro}{2(Lp + Lo)} \quad (E.9)$$

$$\omega = \sqrt{\frac{1}{(Lp + Lo)Cat} - \alpha^2} \quad (E.10)$$

La constante I_{MAX} se ajusta para arribar a la corriente de flat-top, I_{REF} , en el tiempo de subida, T_S . Reemplazando el valor de I_{MAX} en la [Ec. \(E.8\)](#), resulta la [Ec. \(E.11\)](#).

$$i_O(t) = I_{REF} \frac{e^{-\alpha t} \sin(\omega t)}{e^{-\alpha T_S} \sin(\omega T_S)} \quad (E.11)$$

El aporte RMS durante la etapa de subida puede ser computado por medio de la [Ec. \(E.12\)](#).

$$i_{ORMS} = \sqrt{\langle i_O^2(t) \rangle} \quad (E.12)$$

Luego, reemplazando la Ec. (E.11) en la Ec. (E.12) y elevando al cuadrado, se obtiene la Ec. (E.13). Este último paso se realiza para simplificar el manejo de ecuaciones y será corregido al final del análisis.

$$\langle i_O^2(t) \rangle = \frac{I_{REF}^2}{e^{-2\alpha T_S} \sin^2(\omega T_S) T_S} \int_0^{T_S} e^{-2\alpha t} \sin^2(\omega t) dt \quad (E.13)$$

Resolviendo la Ec. (E.13) y trabajando algebraicamente se obtiene la Ec. (E.14), la cual permite obtener el valor RMS de corriente aportado durante la etapa de subida en el caso real.

$$\frac{\langle i_O^2(t) \rangle}{I_{REF}^2} = \frac{\frac{(\omega T_S)^2}{(\alpha T_S)} (1 - e^{-2\alpha T_S}) - 2e^{-2\alpha T_S} \sin(\omega T_S) (\alpha T_S \sin(\omega T_S) + \omega T_S \cos(\omega T_S))}{4((\alpha T_S)^2 + (\omega T_S)^2) e^{-2\alpha T_S} \sin^2(\omega T_S)} \quad (E.14)$$

En el caso ideal, el cual presenta el mínimo valor RMS, la corriente sube en forma de rampa y dicho valor puede ser calculado por medio de la Ec. (E.15).

$$i_{ORMS}^2(t)(rampa) = \langle i_O^2(t) \rangle(rampa) = \frac{I_{REF}^2}{3} \quad (E.15)$$

El objetivo de la Ec. (E.14) es determinar el valor de Cat , el cual depende de ω , para limitar el valor RMS máximo durante la etapa de subida. Sin embargo, debido a que se trata de una ecuación trascendente, no puede ser resuelta algebraicamente. Como solución a esta limitación, se propone el uso de un gráfico paramétrico, mostrado en la Figura E.2, el cual utiliza como parámetro a αT_S y relaciona a ωT_S con ΔI_{ORMS} , donde este último término relaciona a las componentes RMS del caso real y de la rampa (Ec. (E.16)).

$$\Delta I_{ORMS} = \frac{I_{ORMS} - I_{ORMS}(rampa)}{I_{ORMS}(rampa)} = \sqrt{\frac{\langle i_O^2(t) \rangle}{I_{REF}^2/3}} - 1 \quad (E.16)$$

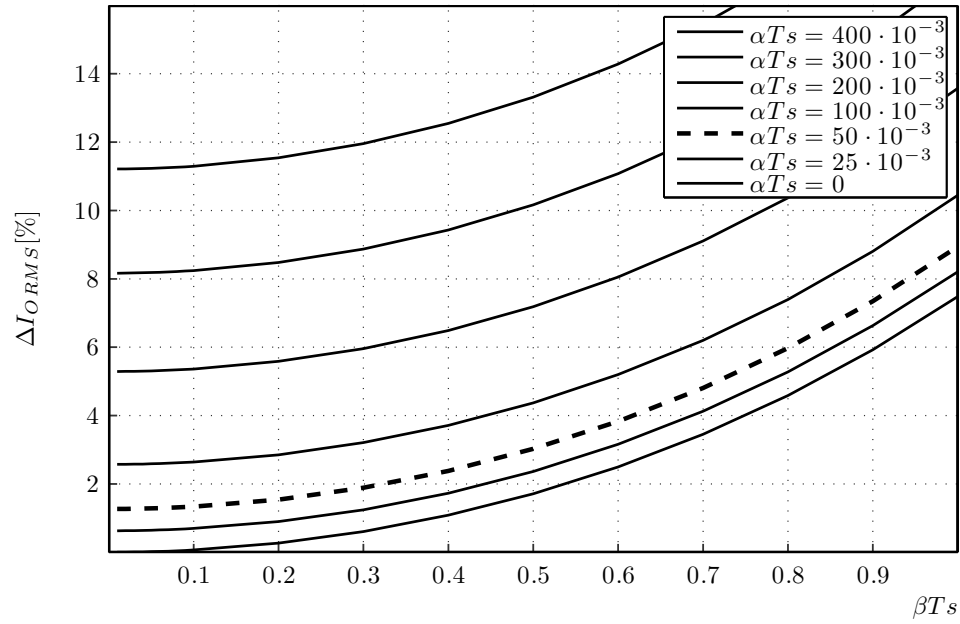


Figura E.2: Gráfico paramétrico para el cálculo de Cat a partir del valor RMS.

El proceso de selección, consiste entonces en calcular αT_s mediante la Ec. (E.9), de forma de situarse en una curva de la Figura E.2 y luego, a partir de ésta, obtener ωT_s asociado al valor RMS límite, ΔI_{ORMS} . Finalmente, Cat puede ser determinado aplicando la Ec. (E.10).

E.2.2. Selección de C_p y C_s

La capacidad requerida para los bancos C_p y C_s depende de la energía que deban suministrar, ε_{Cx} , y de la variación admitida en su tensión.

Se debe recordar que C_p y C_s proveen la energía a GIP y GIS, por lo que variaciones de tensión en los capacitores conducen a variaciones en la frecuencia de operación de dichos generadores. La tolerancia respecto a la variación admitida en la frecuencia es distinta dependiendo de la función que cumple cada generador. Una vez determinado el rango de variación de frecuencia admitido, el cambio de tensión asociado a éste, $K_{\Delta v Cx}$, se puede calcular por medio de las ecuaciones

(3.30) y (3.39) indicadas en el [Capítulo 3](#). Luego, la capacidad mínima puede ser determinada por medio de la [Ec. \(E.17\)](#)

$$Cx > \frac{2\varepsilon_{Cx}}{(K_{\Delta v Cx}^2 - 1)V_{Cx}^2} \quad (\text{E.17})$$

Se puede observar que, cuanto menor sea la variación de tensión tolerada mayor será la capacidad requerida, y cuanto mayor sea la capacidad requerida, a igual capacidad de corriente del cargador, mayor será el tiempo de carga inicial del capacitor. En consecuencia, existe una relación de compromiso entre variación de tensión admitida y tiempo de carga inicial del capacitor o corriente máxima del cargador.

E.3. Conclusiones del apéndice

En este apéndice, se evaluaron las magnitudes de energía suministradas al convertidor por cada uno de los bancos de capacitores. Luego, considerando la energía recuperada hacia los mismos durante la generación del pulso, se determinó la energía que deben entregar los equipos de carga de los bancos de capacitores.

La capacidad de recuperación de energía hacia el banco de capacitores de alta tensión permite disminuir los requerimientos de corriente del cargador asociado. Esto resulta ventajoso ya que este cargador debe manejar grandes tensiones, lo que conduce a un equipo de gran dimensión y con un costo relativo elevado.

Se determinó que la transferencia de energía por pulso desde el generador GIS hacia el resto del convertidor puede resultar tanto positiva como negativa, lo que deriva a la necesidad de un sistema de carga para el banco de capacitores C_s

con capacidad bidireccional en corriente, o en su defecto, un freno dinámico que permita descargar C_s entre pulsos.

Se fijaron los criterios para la selección de las capacidades de los bancos de capacitores. En el caso de C_{at} , su capacidad se ajusta para limitar el exceso de corriente RMS, debido a la deformación de la rampa de corriente durante la etapa de subida. Dada la presencia de ecuaciones trascendentes, C_{at} se ajusta mediante el uso de un gráfico paramétrico. En relación a C_p y C_s , la capacidad se fija de forma de acotar la variación en la frecuencia de conmutación de los respectivos generadores.

Apéndice F

Selección de los componentes para los prototipos a escala real y reducida

F.1. Prototipo a escala real

En la [Tabla \(F.1\)](#), se indican los parámetros más relevantes utilizados en el diseño del convertidor a escala real. La fuente fue diseñada para cubrir los requerimientos de un conjunto de aplicaciones con diferentes exigencias. En la aplicación asociada al prototipo construido, las exigencias de tiempos de subida y bajada son ligeramente inferiores a las indicadas en el diseño ([Capítulo 4](#)), con lo cual la tensión máxima de V_{Cat} resulta de 2,1 kV.

Tabla F.1: Parámetros de diseño del prototipo a escala real.

$I_{REF} \leq 2000 \text{ A}$				$\Delta I_O = 1 \text{ A}$			
V_{Cat}	2,1 kV	C_{at}	10 mF	L_P	0,5 mH	L_S	50 μ H
V_{Cp}	600 V	C_p	60 mF	f_{GIP}	10 kHz	f_{GIS}	100 kHz
V_{Cs}	600 V	C_s	7 mF	ΔI_P	15 A	ΔI_S	30 A
				C 4 μ F			

Para la etapa de alta potencia, los semiconductores y los circuitos de disparo se han especificado teniendo en cuenta un equilibrio entre las capacidades de tensión, corriente y frecuencia de conmutación.

Los interruptores $S1$ y $S2$ y los diodos $D1$ y $D2$ operan con elevada tensión y elevada corriente pulsada. En el caso de los interruptores $S1$ y $S2$, se utilizaron módulos IGBT de 3,3 kV, los cuales resultaron ser la mejor opción para operar con tensiones continuas de 2,1 kV y especificaciones de corriente pulsada de 2 kA. $D1$ ha sido seleccionado con el fin de soportar la alta tensión V_{Cat} , de forma de poder utilizar dispositivos de baja tensión en $S4$ y $D4$. $D1$ es además un dispositivo con baja frecuencia de conmutación, que tiene que soportar la corriente pulsada durante el flat-top.

$S4$ y $D4$ son de baja tensión, alta corriente y frecuencia de conmutación media. Éstos deben suministrar la corriente nominal de 2 kA durante el flat-top. Se consideró que $S4$ y $D4$ deben ser seleccionados para funcionar en conjunto, teniendo en cuenta los tiempos de conmutación y la energía de recuperación inversa. Para estos dispositivos, se utilizaron módulos IGBT de 1,2 kV y 2400 A en conjunto con drivers que permiten una frecuencia de operación de 10 KHz.

Los dispositivos semiconductores de potencia ($S1$, $D1$, $S2$, $D2$, $S4$ y $D4$) se montaron sobre un disipador, y se utilizaron conexiones tipo busbar para minimizar las inductancias parásitas. Se instalaron además capacitores de desacople para minimizar el efecto de dichas inductancias. Se puede destacar que, para los capacitores de desacople del bus de alta tensión se utilizaron capacitores de DC con bajas inductancias parásitas (en lugar de los capacitores de tipo snubber para GTO/IGBT), debido a que su corriente es muy baja como consecuencia del modo de operación pulsado. En la [Tabla \(F.2\)](#) se listan los dispositivos semiconductores y los circuitos de disparo utilizados, indicándose en cada caso sus características, su fabricante y su nombre comercial.

Tabla F.2: Listado de dispositivos semiconductores. Prototipo a escala real.

Dispositivo	Características	Fabricante	Código
$S1$	3300V/1500A	EUPEC	FZ1500R33HL3
$D1$	2x 1700V/800A	EUPEC	DD800S17K3-B2
$S2$	3300V/1500A	EUPEC	FZ1500R33HL3
$D2$	3300V/800A	EUPEC	DD800S33K2C
$S3$	3300V/400A	EUPEC	FZ400R33KL2C_B5
$D3$	3200V/22.9A	IXYS	UGE0421AY4
$S4$	1200V/2400A	EUPEC	FZ2400R12KE3
$D4$	3300V/800A	EUPEC	DD800S3K2C
disparo $S1, S2, S4$		CONCEPT	1SD536F2-FZ1500R33HL3
disparo $S3$		CONCEPT	2SC0650P

En el [Apéndice B](#) se realiza un estudio térmico teórico de los dispositivos semiconductores, con el objeto de estimar el tiempo de vida media de estos componentes. De este estudio, surge que el dispositivo con mayores exigencias es $S4$, debido al ripple térmico en la juntura que éste presenta como consecuencia de las elevadas pérdidas de potencia por conmutación. El tiempo de vida estimado para este dispositivo es de 35 años.

En el diseño de los bancos de capacitores Cat y Cp , se utilizaron dos tecnologías diferentes. En el caso del banco de capacitores de alta tensión, se instalaron capacitores de potencia de film de 1500 μ F y 3,5 kV. En el caso de los capacitores de baja tensión se utilizaron capacitores electrolíticos, ya que ofrecen la mejor relación energía/tamaño. En la [Tabla \(F.3\)](#) se indican los capacitores utilizados.

Para la carga de los bancos de capacitores, se utilizaron cargadores convencionales basados en topologías resonantes. En la [Tabla \(F.4\)](#) se listan los equipos de carga utilizados.

Tabla F.3: Listado de capacitores. Prototipo a escala real.

Dispositivo	Características	Fabricante	Código
C	4uF/3500V	AVX	FPX86X0205J
Cat	8x 1530uF/3500V	AVX	DKTFMK2MH1537
Cp	4x 15mF/1460V	FELSIC-CAPAX	A761897_BD
Cs	6x 1200uF/1800V	AVX	FFLI6B1207K-JE

Tabla F.4: Listado de cargadores de capacitores. Prototipo a escala real.

Dispositivo	Características	Fabricante	Código
cargador Cat	3.5KV/1.43A	TECHNIX	CCR-3.5-P2500
cargador Cp	600V/25A	SORENSEN	SGA-600X25D-OAAA
cargador Cs	650V/2A	FUG	MCN1400-650

Para el sensado de la corriente I_P , se utilizó un transductor de corriente de efecto Hall, en tanto que para el sensado de las corrientes I_O e I_S se utilizaron transformadores de corriente. En la [Tabla \(F.5\)](#) se listan los sensores utilizados.

Tabla F.5: Listado de sensores de corriente. Prototipo a escala real.

Dispositivo	Características	Fabricante	Código
sensor I_P	0.2mA/A	LEM	LF2005-S/SP1
sensor I_O	0.2mV/A	PEARSON	8539
sensor I_S	0.1V/A	PEARSON	110

F.2. Prototipo a escala reducida

En la [Tabla \(F.6\)](#) se indican los parámetros más relevantes utilizados en el diseño del convertidor a escala reducida.

Tabla F.6: Parámetros de diseño del prototipo a escala reducida.

$I_{REF} \leq 15 \text{ A}$					$\Delta I_O = 750 \text{ mA}$			
V_{Cat}	20 V	C_{at}	10 mF	L_P	0,5 mH	L_S	50 μH	C 4 μF
V_{Cp}	10 V	C_p	60 mF	f_{GIP}	10 kHz	f_{GIS}	100 kHz	
V_{Cs}	10 V	C_s	7 mF	ΔI_P	1 A	ΔI_S	1 A	

La selección de los componentes del prototipo a escala reducida se realizó aplicando consideraciones similares a las utilizadas en el prototipo a escala real. A continuación, se listan los dispositivos empleados. En la [Tabla \(F.7\)](#) se muestran los dispositivos semiconductores, en la [Tabla \(F.8\)](#) se muestran los capacitores y, por último, en la [tabla \(F.9\)](#) se muestran los sensores de corriente.

Tabla F.7: Listado de dispositivos semiconductores. Prototipo a escala reducida.

Dispositivo	Características	Fabricante	Código
$S1, D1, S2, D2, S4, D4$	600V/114A	VISHAY	50MT060WHTAPbF
$S3, D3$	800V/15A	IXYS	IXFH15N80
$H1 - 4$	52V/5.6A	ST	L6206
disparo $S1 - 4$		AVAGO	HCPL3120
disparo $H1 - 4$		AVAGO	HCPL2531

Tabla F.8: Listado de capacitores. Prototipo a escala reducida.

Dispositivo	Características	Fabricante	Código
C	4x 1uF/3500V	EPCOS	B1037796686
C_{at}	5x 2.2mF/63V	VISHAY	BC0834
C_p	9x 10mF/16V	VISHAY	BC0817
C_s	1x 10mF/16V	VISHAY	BC0817

Tabla F.9: Listado de sensores de corriente. Prototipo a escala reducida.

Dispositivo	Características	Fabricante	Código
sensor I_P	25A	LEM	LAH 25-NP
sensor I_O	25A	LEM	LA 25-NP
sensor I_S	50A	PEARSON	411