

CONVERTER TOPOLOGIES FOR HIGH PERFORMANCE CURRENT PULSED SOURCES

Eng. Rogelio Garcia Retegui

This Thesis work was submitted to the Electronic Department, School of
Engineering, Universidad Nacional de Mar del Plata on November 12th, 2009,
as partial requirement for the diploma of

PhD in Electronic Engineering

Thesis supervisors:

Eng. Mario Benedetti and PhD. Daniel Carrica



Summary

The characteristics of pulsed current sources discussed in this thesis are:

1. To generate high current pulses during short periods of time,
2. To provide very short rise and fall times; therefore, high di/dt ,
3. To handle inductive loads,
4. To provide high precision in the flat-top current

In order to meet such requirements, the following technology resources are needed:

- To apply high voltages to obtain high di/dt on inductive loads.
- To use high speed power semiconductor devices (high current and voltage) to obtain a low ripple in the flat-top.

However, due to technological limitations, devices capable of handling high power are not fast enough to meet these requirements. For this reason, pulsed sources with extreme demands on voltage, current and accuracy are difficult to be performed by topologies and / or conventional methods of control. The objective of this thesis is the development of new topological structures that allow, from existing technologies, to increase the switching speed in the flat-top in high power

applications. These structures are based on the sequential interconnection of different substructures, following the load needs. The implementation of these new topologies should allow the modification of the controller according to changes in the system structure. Currently, these requirements can be fulfilled due to the great evolution of digital systems such as the Digital Signal Processors (DSP) and Field Programmable Gate Arrays (FPGA), which have great calculation capacity and high processing speed.

TOPOLOGÍA CONVERTIDORA PARA FUENTE PULSADA DE ALTAS PRESTACIONES

Ing. Rogelio Garcia Retegui

Este Trabajo de Tesis fue presentado al Departamento de Electrónica
de la Facultad de Ingeniería de la Universidad Nacional de Mar del Plata
el 12 de Noviembre de 2009, como requisito parcial para la obtención del título
de

Doctor en Ingeniería. Mención Electrónica

Director: Ing. Mario Benedetti

Co-Director: Dr. Daniel Carrica

A mi esposa Carolina y mi hija Julia

A mis Padres

A mis Hermanos

Índice general

Agradecimientos	XIII
Resumen	xv
Nomenclatura	xvii
1. Introducción	1
1.1. Introducción general	1
1.2. Análisis con convertidores actuales	5
1.3. Síntesis de la tesis	16
1.4. Organización de la tesis	17
2. Topología Propuesta	19
2.1. Introducción	19
2.2. Topología Propuesta	23
2.3. Principio de funcionamiento	28
2.3.1. Condición inicial	29
2.3.2. Inicio del pulso (tiempo de ascenso)	29
2.3.3. Flat-top	30
2.3.4. Tiempo de descenso	32

3. Convertidor Polifásico	34
3.1. Introducción	34
3.2. Control de Modo Corriente Pico	38
3.2.1. Principio de funcionamiento	38
3.2.2. Aspectos de implementación	40
3.2.3. Modelo dinámico del convertidor polifásico con PCMP . .	43
3.2.4. Respuesta transitoria	46
3.3. Control de corriente propuesto	50
3.3.1. Análisis de pequeño error	51
3.3.2. Análisis de gran error	53
3.3.3. Modelo dinámico del modulador propuesto	55
3.3.4. Respuesta transitoria	56
3.3.5. Análisis de errores de medición	59
3.4. Conclusiones del capítulo	62
4. Controlador Multiestructura	64
4.1. Introducción	64
4.2. Funcionamiento y control de las etapas de generación del pulso . .	65
4.2.1. Ascenso	65
4.2.2. Transitorio de acoplamiento	67
4.2.3. Flat-top	71
4.2.4. Descenso	79
4.2.5. Fin de pulso	84
4.3. Conclusiones	85
5. Resultados experimentales	86
5.1. Introducción	86
5.2. Implementación del convertidor polifásico	87

5.2.1. Esquema del modulador implementado	87
5.2.2. Resultados experimentales	89
5.3. Implementación de la topología propuesta	95
5.4. Prototipo a escala real	101
5.5. Conclusiones	102
6. Conclusiones	105
6.1. Resumen de conclusiones	105
6.2. Trabajos futuros	108
6.3. Publicaciones	109
Bibliografía	111
A. Síntesis de convertidores estáticos	117
A.1. Introducción	117
A.2. Características estáticas y dinámicas de los interruptores	118
A.2.1. Característica estática	118
A.2.2. Característica dinámica	120
A.3. Caracterización de las fuentes	121
A.3.1. Tipos de fuentes	121
A.3.2. Reversibilidad de las fuentes	122
A.4. Reglas de interconexión de fuentes	123
A.5. Descripción del método de síntesis	123
A.6. Ejemplo de síntesis de un convertidor	124
A.6.1. Caracterización de la fuente de entrada salida	125
A.6.2. Secuencia de operación del convertidor	125
A.6.3. Características estáticas y dinámicas de los interruptores	127

B. Control de acoplamiento de estructuras	129
B.1. Introducción	129
B.2. Amortiguamiento pasivo	130
B.3. Control por trayectoria de estados	136
B.4. Control por realimentación de estados	140
B.5. Comparación de los métodos	143
C. Análisis del sistema en la etapa de bajada	148
C.1. Introducción	148
C.2. Respuesta homogénea	149
C.2.1. Respuesta homogénea de la tensión	150
C.2.2. Respuesta homogénea de la corriente de carga	153
C.3. Respuesta particular	155
C.3.1. Respuesta particular de la tensión	155
C.3.2. Respuesta particular de la corriente	156
C.4. Respuesta total	157
C.4.1. Respuesta total de la corriente	157
C.4.2. Respuesta total de la tensión	158
D. Publicaciones	159
D.1. Introducción	159
D.2. Nuevas topologías convertidora para fuente pulsadas	163
D.3. Controlador para fuente de corriente pulsada	164
D.4. Nuevo modulador para convertidor polifasico	165
D.5. Nuevo convertidor multi-estructura para fuente de corriente pulsada	173
D.6. Implementación en FPGA de modulador polifasico	182
D.7. Analisis de estado estacionario y transitorio de Modulador polifsico	187
D.8. Topologia convertidora para fuente de corriente pulsada	199

D.9. Modulo inteligente de potencia	206
D.10. Control de corriente de frecuencia fija	211
E. Códigos de programa	218
E.1. Código VHDL del controlador	218
E.2. Código VHDL del modulador interleaved	261

Índice de cuadros

3.1. Parámetros de la simulación.	48
5.1. Parámetros del sistema ensayado	90
5.2. Parámetros del prototipo	96
5.3. Especificaciones del lazo de control externo.	98
5.4. Parámetros del prototipo a escala real.	101
A.1. Estado de las llaves en las diferentes fases	127
B.1. Parámetros y especificaciones del sistema	143

Índice de figuras

1.1. Formas de onda de tensión y corriente en la carga.	2
1.2. Convertidor de descarga capacitiva.	3
1.3. Corriente de carga con fuente de descarga capacitiva.	4
1.4. Corriente de carga con fuente de descarga capacitiva.	5
1.5. Estructura semi-puente.	6
1.6. Control de flat-top con conmutación simultánea de $S1$ y $S2$	8
1.7. Convertidores multinivel asimétrico híbrido.	12
1.8. Distribución de tensiones a la salida del convertidor multinivel. . .	15
2.1. Tensión y corriente de una fuente pulsada con carga inductiva. . .	20
2.2. Estructura con dos convertidores.	21
2.3. Estructura con N convertidores de entrada.	23
2.4. Estructura básica de un convertidor de entrada.	24
2.5. Convertidor polifásico.	24
2.6. Corrientes de fase y corriente total.	25
2.7. Ripple de salida normalizado en función al ciclo de trabajo. . . .	26
2.8. Topología propuesta.	27
2.9. Filtro activo implementado con puente completo.	28
2.10. Operación del sistema durante el tiempo de ascenso.	30
2.11. Operación del sistema en el flat-top.	31

2.12. Operación del sistema durante el tiempo de descenso.	32
3.1. Esquema de convertidor polifásico.	35
3.2. Esquema de conexión del convertidor polifásico con la carga. . . .	36
3.3. Control de Modo Corriente Pico.	39
3.4. Condición ideal de desfasaje de ripples.	40
3.5. Análisis de estabilidad ante perturbaciones.	41
3.6. Análisis de estabilidad con rampa de compensación.	42
3.7. Esquema del sistema simulado.	45
3.8. Respuesta en frecuencia del convertidor polifásico PCMC.	46
3.9. Modulador de Interleaved con control de corriente pico.	47
3.10. Respuesta transitoria del Modulador Interleaved PCMC.	48
3.11. Condición ideal de interleaved.	50
3.12. Análisis de pequeña señal.	52
3.13. Cambio abrupto en la referencia.	54
3.14. Recuperación de sincronismo después de cambio abrupto.	55
3.15. Respuesta en frecuencia del PCMC (a) y del modulador propuesto (b).	57
3.16. Comparación respuesta transitoria.	58
3.17. Corriente total de salida del convertidor.	59
3.18. Error en la detección de cruce por cero.	60
3.19. Error transitorio en el valor medio de la corriente.	61
3.20. Offset en la medición de corriente.	62
4.1. Etapas durante la generación del pulso.	65
4.2. Operación del sistema en la etapa de ascenso.	66
4.3. Circuito equivalente en el momento de acople $t = 0-$	67
4.4. Circuito equivalente en $t = 0+$	68

4.5. Variables de estado V_C e I_L en el transitorio.	69
4.6. Esquema de compensación por realimentación de estados.	71
4.7. Diagrama en bloques del control propuesto.	72
4.8. Diagrama de Bode asintótico de $GH(\omega)$	73
4.9. Diagrama en bloques con entrada de perturbaciones.	75
4.10. Rechazo de la transferencia $G_1(\omega) \cdot G_2(\omega)$	76
4.11. Rechazo de la transferencia $G_2(\omega)$	77
4.12. Circuito durante la etapa de descenso.	79
4.13. Descarga del filtro activo durante la etapa de descenso.	80
4.14. Circuito equivalente de la etapa de descenso.	81
4.15. Circuito de la etapa de descenso con diodos de protección.	83
4.16. Descarga del capacitor al final del pulso.	84
5.1. Esquema general de control del convertidor polifásico.	87
5.2. Diagrama en bloques del control interleaved de una fase.	88
5.3. Esquema del circuito de ensayo.	89
5.4. Cancelación del ripple de salida.	91
5.5. Error en el valor medio de la corriente I_1	92
5.6. Cambio abrupto en la referencia.	93
5.7. Cambio abrupto en la tensión diferencial ΔV	94
5.8. Corrientes del convertidor polifásico.	95
5.9. Prototipo de fuente pulsada.	96
5.10. Esquema en bloques de la placa de control.	97
5.11. Imagen de la placa de control.	98
5.12. Sensores de corriente utilizados.	99
5.13. Detalle de la corriente I_L en el flat-top.	100
5.14. Tensión en el capacitor de acople.	101

5.15. Tensión y corriente en la carga.	102
5.16. Generación de pulso de corriente sin conexión de filtro activo. . .	103
A.1. Características estáticas de un interruptor	119
A.2. Características estáticas de interruptores a semiconductores	119
A.3. Conmutación forzada y natural	121
A.4. Configuraciones base de convertidores estáticos	124
A.5. Formas de onda de tensión y corriente con carga inductiva	125
A.6. Estructura básica de un convertidor directo	126
A.7. Característica estáticas y de conmutación de los interruptores . .	127
A.8. Ejemplos de características estáticas y de conmutación.	128
A.9. Estructura final del convertidor	128
B.1. Circuito equivalente del sistema al momento de acople	130
B.2. Circuito para amortiguamiento pasivo	131
B.3. Transitorio de acoplamiento	134
B.4. Transitorio de acoplamiento	136
B.5. Control por trayectoria de estados	138
B.6. Esquema de compensación por realimentación de estados	140
B.7. Transitorio de I_L con los distintos métodos de compensación. . . .	145
B.8. Corriente del filtro activo con los distintos métodos de compensación	147
C.1. Circuito del convertidor durante la etapa de bajada	148
C.2. Circuito equivalente para respuesta homogénea	150
C.3. Circuito equivalente para respuesta particular	155

Agradecimientos

Los trabajos que han dado lugar a esta Tesis Doctoral en Ingeniería comenzaron allá por el año 2004. Durante todo este tiempo, transcurrieron diferentes momentos que oscilaron entre el entusiasmo, el desgano, la fuerza y la debilidad. Sin embargo, existieron muchas personas que, mediante sus sabios consejos y su invaluable apoyo hicieron posible que este trabajo pueda concretarse.

No es posible citar a todas ellas en esta breve reseña, sin embargo, esto no significa que su ayuda no sea reconocida. A todos mi mas sincero agradecimiento.

Quiero agradecer en primer lugar todo el amor y paciencia que han sabido tener mi esposa Carolina, mi hija Julia, mis padres y hermanos. Ellos supieron comprender la importancia de esta etapa en mi carrera profesional sacrificando parte de su tiempo para que pudiera terminar este trabajo.

Deseo también agradecer profundamente el apoyo humano y profesional brindado por el director de esta tesis Ing.Mario Benedetti y el co-director Dr. Daniel Carrica. En ambos casos, su amplia experiencia y principalmente su gran compromiso hicieron posible la correcta orientación y planificación de este trabajo.

Vaya un reconocimiento también a mis colegas del Laboratorio de Instrumentación y Control, los cuales a través de sus críticas constructivas y sugerencias supieron contribuir en la consolidación de esta Tesis.

Quiero agradecer al personal del CERN por su colaboración y en particular al Sr. Jean Paul Burnet, al Sr. Jean Marc Cravero y al Sr. Carlos de Almeida

Martins por el apoyo brindado durante mi estadía.

Finalmente, quiero agradecer al proyecto HELEN (High Energy Physics Latinamerican European Network), cuyo valioso aporte permitió concretar mi estadía en el CERN para la realización de este trabajo. Sin su aporte, no hubiera sido posible.

Rogelio A. Garcia Retegui
Mar del Plata 10 de Agosto de 2009.

Resumen

Las fuentes de corriente pulsada tratadas en esta tesis se caracterizan por:

1. generar pulsos de corriente de gran amplitud durante períodos de tiempo muy cortos,
2. proveer tiempos de subida y bajada muy cortos y, por ende, elevados di/dt ,
3. alimentar cargas con componente inductiva,
4. ofrecer alta precisión en la corriente de flat-top.

Para atender los citados requerimientos es necesario disponer de los siguientes recursos tecnológicos:

- Aplicar altas tensiones, lo que permite obtener elevados di/dt sobre cargas inductivas.
- Utilizar dispositivos semiconductores de potencia (elevadas corrientes y tensión) y que además sean de alta velocidad para obtener un bajo ripple en el flat-top.

Sin embargo, debido a lógicos límites tecnológicos, los dispositivos con capacidad de manejo de altas potencias no tienen la velocidad suficiente para cumplir

con estos requerimientos. Por tal razón, las fuentes pulsadas con exigencias extremas en tensión, corriente y precisión son difíciles de realizar por topologías y/o métodos convencionales de control.

El objetivo de esta tesis es el desarrollo de nuevas estructuras topológicas que permitan, a partir de las tecnologías existentes, aumentar la velocidad de conmutación en el flat-top en aplicaciones de alta potencia.

Nomenclatura

IGBT	Insulated Gate Bipolar Transistor
IGCT	Integrated Gate Commutated Thyristor
DSP	Digital Signal Processor
FPGA	Field Programmable Gate Array
EMI	Electromagnetic Interference
PCMC	Peak Current Mode Control
VHDL	Very High Speed Integrated Circuit Hardware Description Language
PWM	Pulsed Width Modulation
ADC	Analog-to-Digital Converter
DAC	Digital-to-Analog Converter
ROC	Retenedor de Orden Cero
CE	Convertidor Estático

Capítulo 1

Introducción

1.1. Introducción general

Esta tesis trata sobre las fuentes de corriente pulsada que deben manejar pulsos de alta corriente sobre cargas LR durante períodos de tiempo muy cortos y que requieren una gran precisión de la corriente en el flat-top. Se asume que la forma de la corriente durante el ascenso y descenso no son críticas; no obstante, resulta importante minimizar su valor eficaz a fin de disminuir las pérdidas de potencia en la carga. La forma de onda de corriente ideal que cumple con estas características es el pulso rectangular. Sin embargo, la componente inductiva de la carga hace imposible la elevada velocidad en el flanco, ya que requiere la aplicación de una tensión infinita. Por lo tanto, una forma de corriente aceptable es la trapezoidal, en la cual los tiempos de ascenso y descenso quedan impuestos por el di/dt máximo. La figura 1.1 muestra la forma de onda típica de corriente y tensión requerida por estos sistemas.

Una vez que se alcanza el valor de flat-top existe un tiempo, denominado de establecimiento, necesario para que la corriente se ajuste a los límites de precisión. Este tiempo debe ser lo más reducido posible a fin de minimizar el valor eficaz

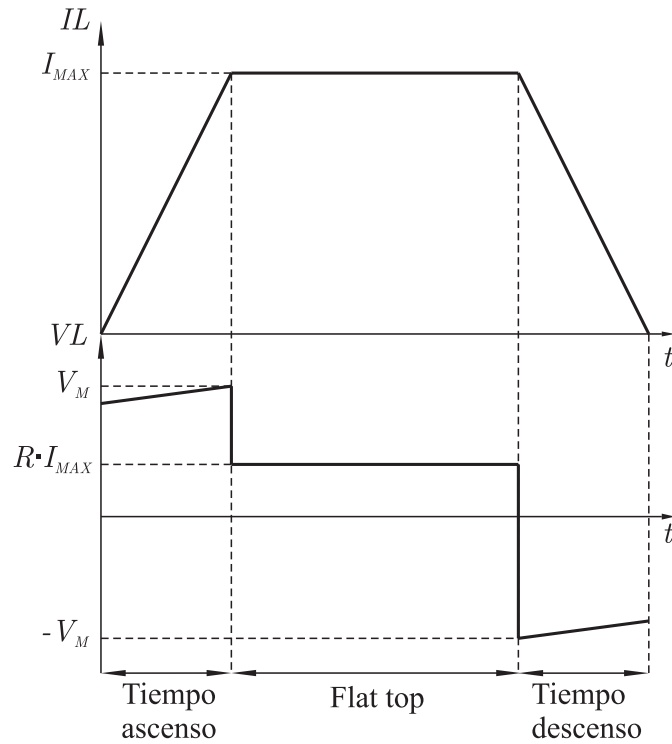


Figura 1.1: Formas de onda de tensión y corriente en la carga.

de la corriente en la carga. Este tiempo, junto con el de ascenso, contribuyen a aumentar las pérdidas de potencia en la carga.

En el flat-top, la elevada corriente debe ser controlada con alta precisión. Durante el tiempo de flat-top, la tensión que debe proporcionar el convertidor, queda determinada por la corriente de flat-top y la resistencia de carga. En general, en las cargas típicas, esta resistencia es pequeña por lo cual el valor de tensión no supera las centenas de Volts, aún para valores de corriente de flat-top del orden de los kiloamperios.

Al final del pulso, la energía almacenada en la inductancia de carga debe retornar a la fuente de entrada con el objeto de aumentar la eficiencia del convertidor y permitir una rápida recuperación de la fuente de entrada antes de la generación del próximo pulso.

La tensión máxima requerida para que la corriente alcance el valor de flat-top queda definida por:

$$V_{MAX} = L_{load} \frac{dI}{dt} + R_{load} \cdot I_{MAX} = L_{load} \frac{I_{MAX}}{t_{rise}} + R_{load} \cdot I_{MAX} \quad (1.1)$$

Dependiendo de la aplicación, los valores de corriente y tensión requeridos pueden estar en el orden de los kiloamperios y kilovoltios, respectivamente. En aplicaciones de muy alta corriente y tensión la solución actualmente utilizada se basa en el método de descarga capacitiva a través de llaves a tiristores y arreglos de circuitos sintonizados [1–3]. Estos circuitos son de primera y tercera armónica con una frecuencia central adecuada a los tiempos en juego. La figura 1.2 muestra un esquema circuital de este tipo de convertidores.

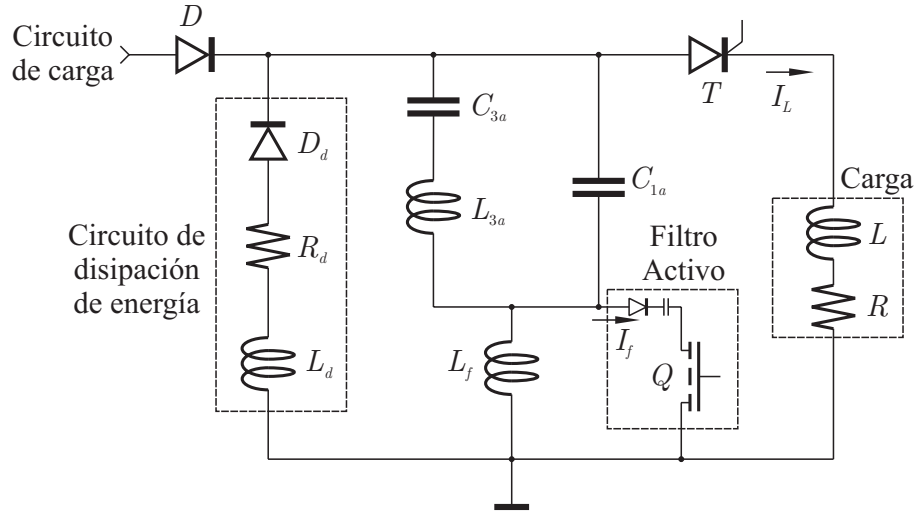


Figura 1.2: Convertidor de descarga capacitiva.

Estos sistemas presentan algunas limitaciones:

- Falta de flexibilidad en el ajuste del pulso de corriente de salida: los tiempos de ascenso y descenso de la corriente están impuestos por el circuito resonante.

- Falta de flexibilidad con la carga: los componentes del circuito de potencia de estos convertidores están estrechamente relacionados con la carga. Para convertidores que deben manejar diferentes cargas esto representaba un problema.
- Eficiencia reducida: estos convertidores disipan la energía en la carga al final del pulso, con el objeto de permitir la variación de la amplitud de la corriente de un pulso a otro.
- Elevado valor eficaz del pulso de corriente de carga durante la etapa ascenso y descenso: la forma sinusoidal en el crecimiento y decrecimiento de la corriente en la carga incrementa el valor eficaz del pulso de salida, con el consecuente incremento de potencia en la carga.

La figura 1.3 muestra la corriente de carga de una fuente de descarga capacitiva de 2 kA de corriente máxima.

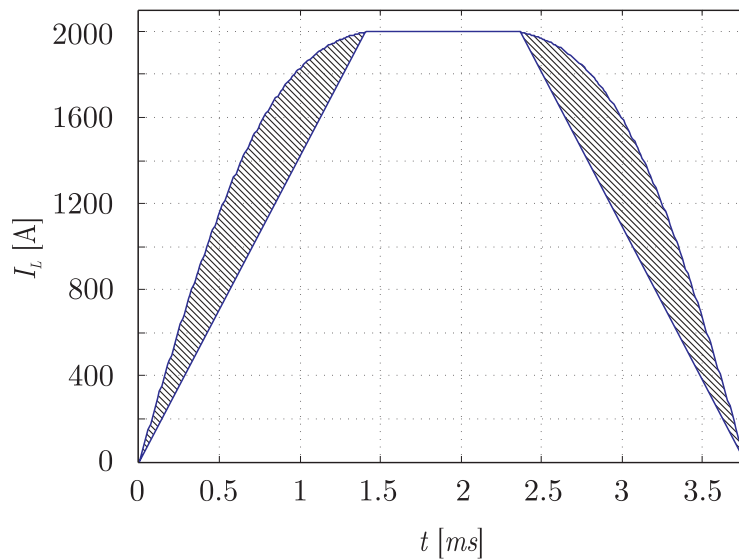


Figura 1.3: Corriente de carga con fuente de descarga capacitiva.

El area sombreada representa el exceso de corriente en la carga, respecto de una forma de onda trapezoidal. El valor eficaz de la corriente de carga de la fuente de descarga capacitiva es de 1612 A, en tanto que el valor eficaz del pulso trapezoidal es de 1403 A. Esta diferencia representa un 13 % menos de corriente eficaz en la carga, lo cual se ve reflejado en un 24 % de potencia disipada.

La figura 1.4 muestra un detalle de la corriente de carga en el flat-top con la fuente de descarga capacitiva.

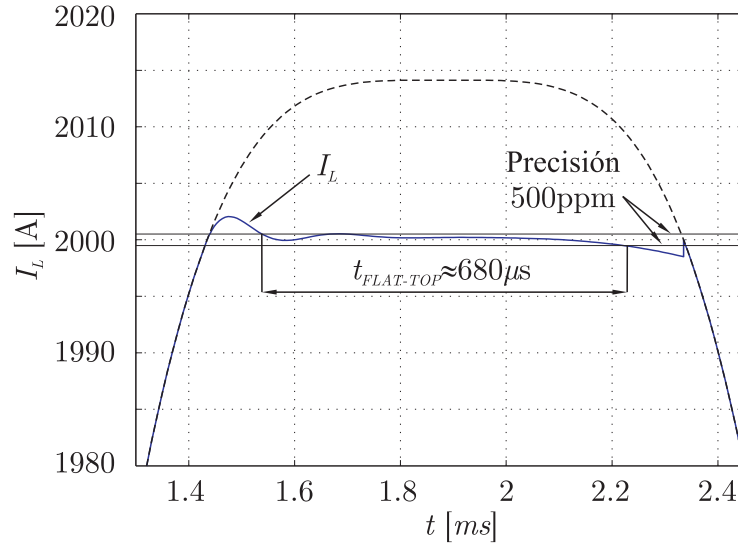


Figura 1.4: Corriente de carga con fuente de descarga capacitiva.

Se puede observar que para una banda de precisión de 500ppm la duración del flat-top es del orden de 680 μs . Esta duración no puede extenderse mucho más ya que se encuentra limitada por la capacidad de compensación del filtro activo. El tiempo máximo de flat-top obtenido con este tipo de fuente es de 1 ms.

1.2. Análisis con convertidores actuales

Tradicionalmente, el tiristor fue el dispositivo semiconductor de potencia empleado como interruptor de descarga en estos convertidores debido a su robustez

y capacidad de operación con altas tensiones y corrientes [4,5]. Sin embargo, en la actualidad, dispositivos semiconductores de potencia como los IGBTs o IGCTs, con capacidad de control al apagado y manejo de altas corrientes y tensiones, ofrecen nuevas posibilidades topológicas [6,7]. Una estructura circuital simple para estas aplicaciones es la semi-puente, figura 1.5. Esta topología surge del análisis de las formas de onda de tensión y corriente en la carga mediante la técnica de síntesis de convertidores estáticos (descrita en el Apéndice A).

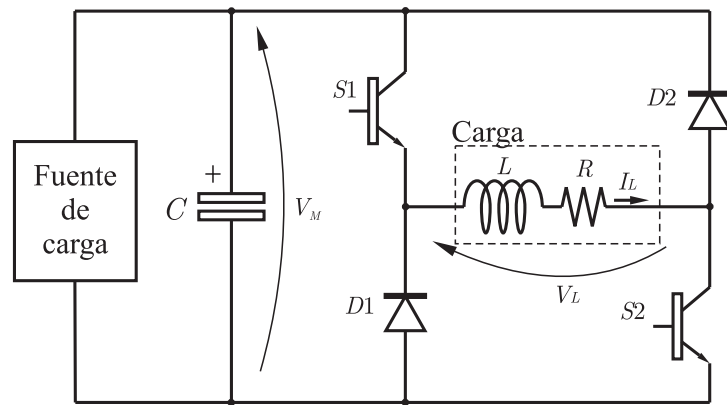


Figura 1.5: Estructura semi-puente.

Esta estructura permite, de manera simple, aumentar la corriente durante la etapa inicial, regular la corriente durante el flat-top y recuperar la energía al final del pulso. El principio de funcionamiento del convertidor se puede resumir en las siguientes etapas:

- Condición inicial: En esta etapa la corriente en la carga es cero y las llaves $S1$ y $S2$ se encuentran en OFF; por lo tanto, los diodos $D1$ y $D2$ quedan polarizados en inversa y la tensión en la carga es cero.
- Tiempo de ascenso: Durante este tiempo las llaves $S1$ y $S2$ se encuentran en estado ON y la tensión en la carga es igual a la tensión del capacitor. La descarga del capacitor genera una variación en la tensión de entrada; la

cual dependiendo del valor de capacidad, puede ser pequeña. Si éste es el caso, la corriente puede ser considerada exponencial con una constante de tiempo dada por R y L . De otra forma, la corriente responde a una porción de senoide generada por la descarga del circuito RLC.

- Flat-top: En esta etapa la corriente es controlada por la conmutación de las llaves $S1$ y $S2$. Esta conmutación se puede realizar utilizando dos estrategias. La primera es conmutar $S1$ y $S2$ simultáneamente, con lo cual la tensión aplicada sobre la carga varía entre $+V_M$ y $-V_M$. La otra opción es hacer rueda libre con $S2$ y $D1$, es decir $S2$ en ON y conmutar $S1$. De esta forma, cuando $S1$ esta en ON la tensión sobre la carga es V_M y cuando esta en OFF la tensión es cero y la corriente decae exponencialmente con la constante de tiempo de la carga.¹
- Tiempo de descenso: En este período se inicia la descarga de la corriente mediante la apertura de las llaves $S1$ y $S2$. La energía en la carga es transferida al capacitor de entrada a través de los diodos $D1$ y $D2$.

La figura 1.6 muestra las formas de onda de tensión y corriente y el estado de las llaves.

Al no existir ningún filtrado del ripple de corriente más que el proporcionado por la carga, la precisión en el flat-top es asegurada únicamente por el control de corriente². El control que más se adecúa a esta necesidad es el control por histéresis, ya que permite de una manera simple y robusta mantener acotada la corriente dentro de bandas bien definidas. En caso de realizar el control mediante

¹Cuando la constante de tiempo de la carga es mucho mayor que la duración del flat-top (R bajo) podría ser adecuado dejar que la corriente en la carga circule haciendo rueda libre entre $S1$ y $D2$ durante todo el flat-top. De esta forma se evitaría efectuar conmutaciones durante esta etapa.

²En este tipo de fuentes se evita, en lo posible, la utilización de filtros debido a que estos generan problemas de oscilación en la tensión y corriente ocasionados por el circuito resonante RLC que se forma con la carga.

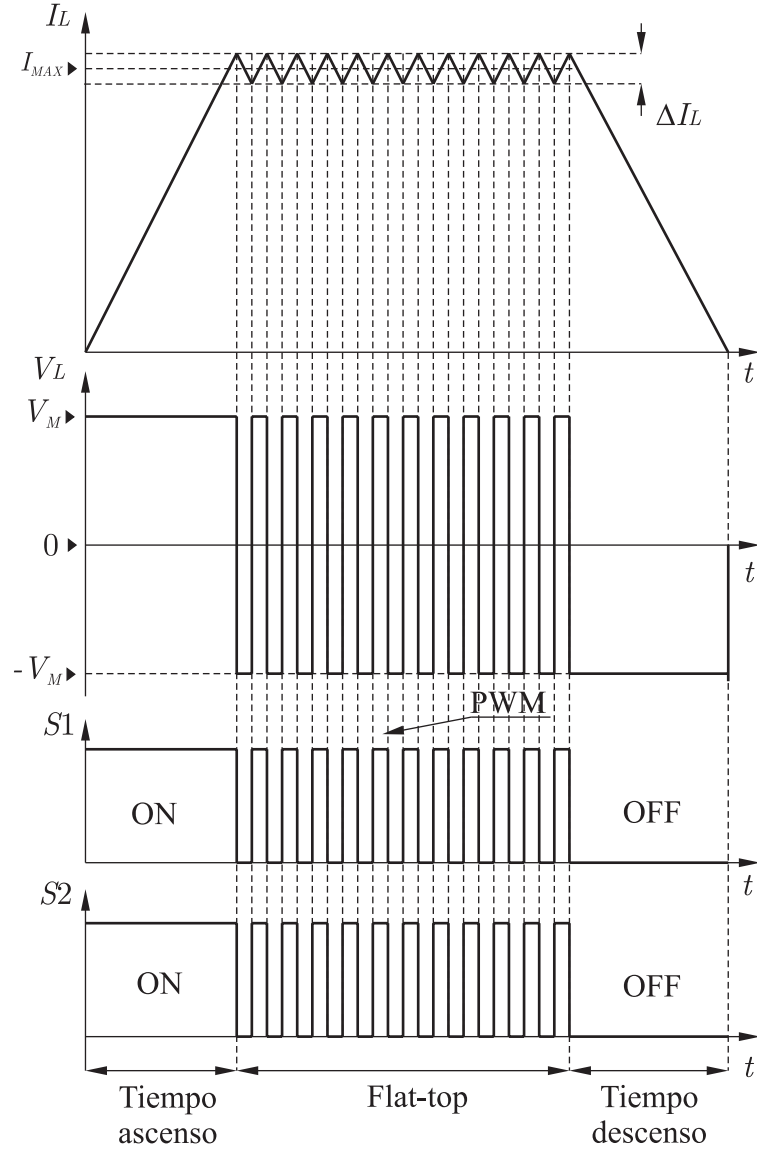


Figura 1.6: Control de flat-top con conmutación simultánea de $S1$ y $S2$.

la conmutación simultánea de $S1$ y $S2$, la frecuencia de conmutación queda dada por:

$$f_{sw1} = \frac{V_M/2}{L_{load} \cdot \Delta I_L} \quad (1.2)$$

Si en la expresión (1.1) se considera despreciable la resistencia de carga, debido a la baja influencia de este término en las cargas típicas, y se la sustituye en (1.2)

se obtiene:

$$f_{sw1} \approx \frac{I_{MAX}}{2 \cdot \Delta IL \cdot t_{rise}} \quad (1.3)$$

El término $\Delta IL/I_{MAX}$ es la precisión de la corriente en el flat-top, que se denomina p , por lo tanto:

$$f_{sw1} \approx \frac{1}{2 \cdot p \cdot t_{rise}} \quad (1.4)$$

La expresión (1.4) muestra que la frecuencia de conmutación depende de la precisión de la corriente en el flat-top y del tiempo de ascenso. Cuando el control se realiza conmutando sólo $S1$, la frecuencia de conmutación está dada por:

$$f_{sw2} \approx \frac{1}{p \cdot \tau} \quad (1.5)$$

donde $\tau = \frac{L}{R}$ es la constante de tiempo de la carga.

La expresión (1.5) indica que la frecuencia de conmutación depende de la constante de tiempo, la precisión, la caída de tensión en la resistencia y la tensión aplicada en el flat-top.

A los efectos de evaluar la frecuencia de conmutación con esta topología, para los dos modos de control de las llaves, se considera un ejemplo de un pulso de corriente de 2 kA con un tiempo de ascenso y descenso de 1 ms sobre una carga de $L = 1,5 \text{ mH}$ y $R = 0,15 \Omega$. Se requiere una precisión relativa en el flat-top de 5×10^{-4} . Con estos valores surge que la tensión que se debe aplicar es de 3 kV.

Se elige el IGBT T2400GA45E del fabricante Westcode que presenta las siguientes características:

- tensión máxima colector-emisor: 4,5 kV,
- corriente máxima de colector: 2,4 kA,

- frecuencia de conmutación máxima sugerida: 5 kHz³

La frecuencia de conmutación de los dispositivos, para el caso de conmutación simultánea, resulta:

$$f_{sw1} = \frac{1}{2 \cdot p \cdot t_{rise}} = \frac{1}{2 \cdot 5 \times 10^{-4} \cdot 1 \text{ ms}} = 1 \text{ MHz} \quad (1.6)$$

Luego, teniendo en cuenta que la constante de tiempo τ es de 10 ms se obtiene la siguiente frecuencia de conmutación para el segundo caso:

$$f_{sw2} = \left[1 - \frac{I_{MAX} \cdot R}{V_M} \right] \cdot \frac{1}{p \cdot \tau} = \left[1 - \frac{300 \text{ V}}{3 \text{ kV}} \right] \cdot \frac{1}{5 \times 10^{-4} \cdot 10 \text{ ms}} = 180 \text{ kHz} \quad (1.7)$$

En cualquiera de los casos analizados, la frecuencia de conmutación obtenida excede la velocidad de los dispositivos semiconductores requeridos en varios órdenes de magnitud. Por lo tanto, esta limitación tecnológica requiere que se evalúen nuevas soluciones.

Una solución posible consistiría en aumentar la capacidad de las llaves semiconductoras mediante la asociación serie, paralelo o serie/paralelo de dispositivos discretos [8–14]. Estas asociaciones se pueden analizar como un único dispositivo ya que todas las llaves son comandadas por una sola señal. En estas aplicaciones, debido a la elevada velocidad requerida y teniendo en cuenta que los dispositivos más veloces son de baja tensión y corriente, se tiene que, para cada dispositivo es necesaria una asociación serie/paralelo con un gran número de llaves. Además, esta solución presenta inconvenientes como el equilibrado estático y dinámico de los dispositivos en serie, el balance de la corriente en los dispositivos en paralelo,

³La frecuencia de conmutación sugerida por el fabricante esta sujeta a las limitaciones máximas de disipación de potencia del dispositivo. Sin embargo, la vida útil del mismo determina que el valor de frecuencia sea normalmente mucho menor (entre 500 Hz y 1 kHz).

el ajuste de los tiempos de transición de encendido y apagado de los diferentes dispositivos, que hacen inviable una solución confiable. Por lo tanto, para aplicaciones de elevada tensión, corriente y precisión las soluciones enfocadas a resolver la problemática por medio de arreglos serie paralelo de dispositivos no son factibles.

En otras aplicaciones, como convertidores DC/DC de alta corriente, se utilizan soluciones topológicas para reducir las exigencias sobre las llaves semiconductoras. Los convertidores polifásicos controlados por interleaved son muy utilizados en las fuentes de alimentación de los actuales CPUs. En estos convertidores, la corriente total se divide en n fases (controladas en forma independiente) de forma tal de disminuir las pérdidas de potencia en las llaves. Además, por medio de un desfase adecuado de las señales de control de cada fase se minimiza el ripple total de salida y se reducen las exigencias del capacitor de salida sin necesidad de aumentar la frecuencia de conmutación [15, 16]. En estas aplicaciones la tensión diferencial de entrada-salida del convertidor presenta variaciones lentas, lo cual permite que los moduladores empleados sean simples y de baja respuesta dinámica [17–19].

En aplicaciones de fuentes pulsadas de altas corrientes y tensiones, los convertidores interleaved polifásicos constituirían una solución muy atractiva para controlar la corriente en el flat-top. Sin embargo, la existencia de variaciones rápidas en la tensión diferencial entrada-salida representa un problema debido a la baja respuesta dinámica de los moduladores existentes. Un cambio abrupto en la tensión diferencial genera un desajuste en el desfase de los ripples que introduce un error transitorio. En el caso de los moduladores convencionales, tanto el error como la duración del transitorio resultan intolerables en aplicaciones de alta precisión. En este sentido resulta de interés el desarrollo de moduladores con alta respuesta dinámica que minimicen el error transitorio.

Para casos en los cuales sea necesario operar con elevadas tensiones de salida existen estructuras topológicas denominadas convertidores multinivel asimétricos híbridos, las cuales están constituidas por la agrupación en cascada de inversores monofásicos de diferentes tensiones de entrada [20–24]. Estos convertidores se utilizan para sintetizar tensiones alternas de elevado valor a partir de distintas tensiones continuas de entrada de valor más pequeño. La figura 1.7 muestra un esquema de una estructura multinivel asimétrica, formada por la asociación en serie dos estructuras semi-puente.

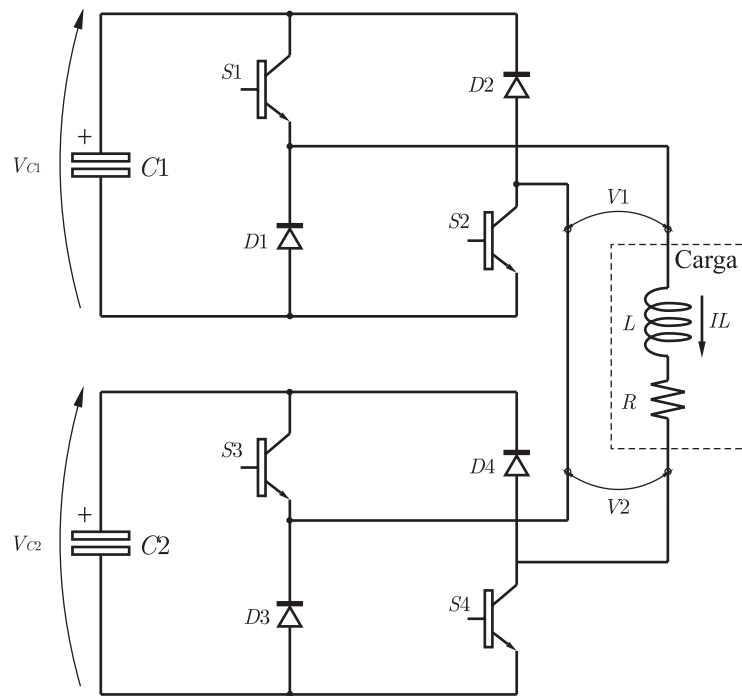


Figura 1.7: Convertidores multinivel asimétrico híbrido.

Si bien estas estructuras no han sido utilizadas para aplicaciones de fuentes pulsadas, es posible generar (mediante el control adecuado) formas de onda de corriente trapezoidal sobre cargas inductivas. El interés por la utilización de estas estructuras radica en la posibilidad de utilizar dos fuentes de tensión diferentes para controlar en forma independiente el flat-top, el ascenso y el descenso de la

corriente. Esto permitiría, por ejemplo, reducir la tensión en el flat-top y disminuir la frecuencia de conmutación. Por tal razón, se analizarán este tipo de estructuras para fuentes pulsadas de alta tensión.

En el circuito de la figura 1.7 se considera que el inversor superior es utilizado para controlar la corriente durante el ascenso y descenso y que el inversor inferior es empleado para controlar la corriente en el flat-top. La tensión V_{C1} debe ser alta a fin de reducir los tiempos de ascenso y descenso, es decir, minimizar el valor RMS de la corriente. La tensión V_{C2} , en cambio, debe ser mayor que la máxima caída de tensión sobre la resistencia de carga de forma tal de asegurar la regulación de la corriente en el flat-top.

La generación de la corriente trapezoidal por medio de esta estructura se puede resumir en los siguientes pasos:

- Condición inicial: En este estado la corriente en la carga es inicialmente cero y todas las llaves se encuentran en OFF. De esta forma, todos los diodos están polarizados en inversa y las fuentes de entrada permanecen con su carga inicial.
- Tiempo de ascenso: El control de la corriente durante el ascenso admite muchas variantes. Sin embargo, la opción más adecuada, en términos de reducción del tiempo, es que todas las llaves estén en ON. De esta forma, la tensión aplicada sobre la carga, V_L , es igual a $V_{C1} + V_{C2}$.
- Flat-top: Durante esta etapa la corriente por el inversor superior hace rueda libre a través de $S2$ y $D1$ y la tensión aplicada en la carga es cero. El inversor inferior, en cambio, se utiliza para controlar la corriente dentro de los límites de precisión requeridos. El control se realiza conmutando sólo la llave $S3$ y manteniendo $S4$ en ON. De este modo, se obtiene la menor frecuencia de conmutación y se reduce la exigencia sobre el ciclo de trabajo.

La tensión aplicada por el inversor, dependiendo del estado de $S3$, es cero o V_{C2} . La llave $S3$ se controla por histéresis debido a su simplicidad, robustez y velocidad.

- Tiempo de descenso: En esta etapa se realiza la recuperación de la energía almacenada en la carga. Dependiendo de cómo sean comandados los inversores, esta energía puede ser recuperada sobre cualquiera de las fuentes de entrada o sobre ambas. Con el objeto de reducir el tiempo de descenso, la opción mas adecuada es que todas las llaves estén en OFF. De esta forma, la tensión aplicada sobre la carga es $-V_{C1} - V_{C2}$ y la energía se recupera sobre las dos fuentes de entrada.

La figura 1.8 muestra la tensión y corriente en la carga y el estado de las llaves durante la generación del pulso trapezoidal.

Los tiempos de ascenso t_r y descenso t_s de la corriente quedan determinados por la siguiente expresión:

$$t_r = t_s = \frac{I_{MAX}}{V_{C1} + V_{C2}} L_{load} \quad (1.8)$$

Luego, por medio de la expresión (1.5), se calcula la frecuencia de conmutación requerida en el inversor inferior para, el caso del ejemplo.

$$f_{sw} = \left[1 - \frac{2 \text{ kA} \cdot 0,15 \Omega}{500 \text{ V}} \right] \cdot \frac{1}{5 \times 10^{-4} \cdot 10 \text{ ms}} = 80 \text{ kHz} \quad (1.9)$$

La frecuencia de conmutación obtenida muestra una importante mejora respecto del uso de la topología semi-puente convencional. Sin embargo, su valor sigue siendo elevado para los dispositivos semiconductores requeridos, ya que estos deben manejar la alta corriente de la carga. Las soluciones presentadas no

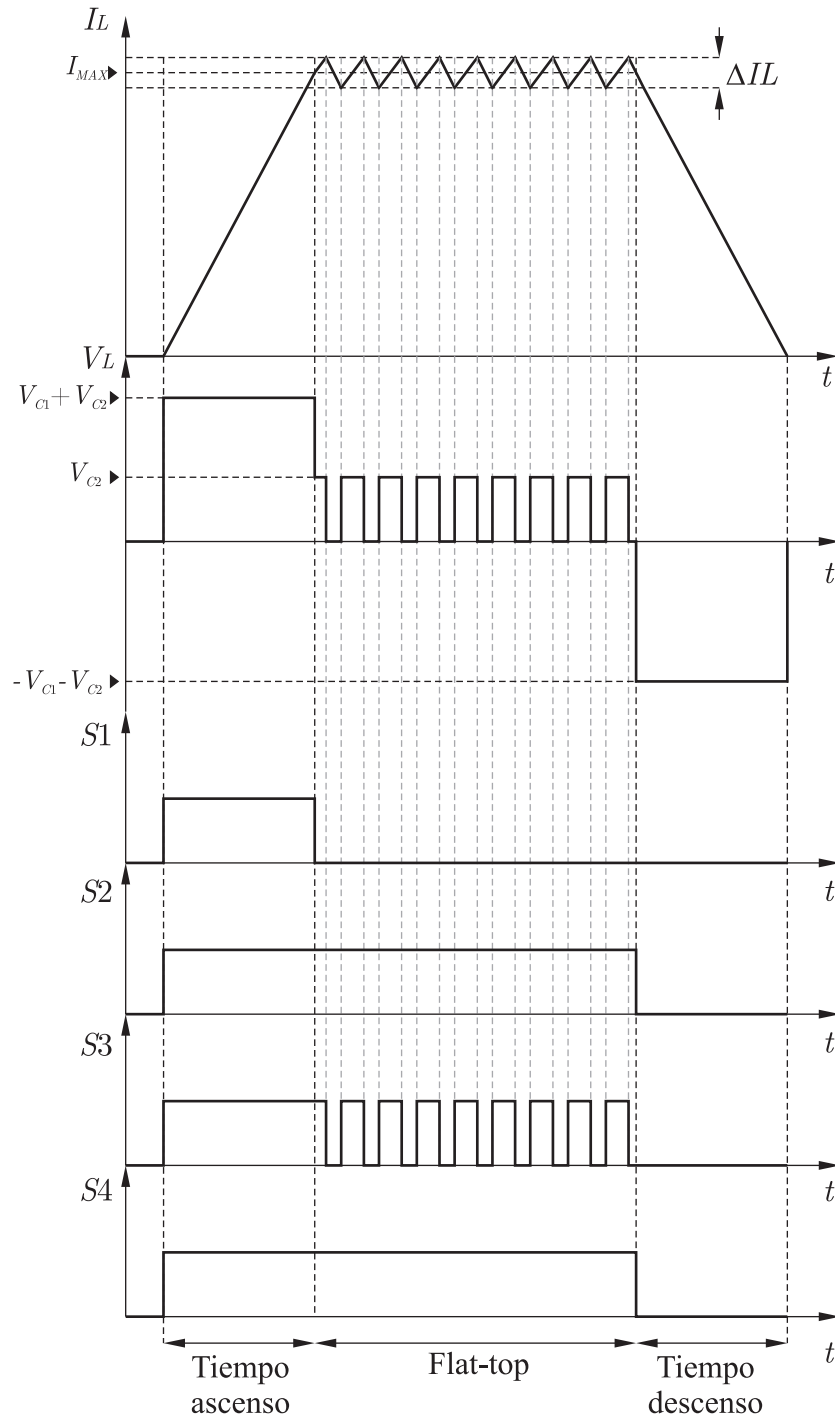


Figura 1.8: Distribución de tensiones a la salida del convertidor multinivel.

satisfacen las necesidades de fuentes pulsadas con altos valores de tensión y corriente, ya que los dispositivos disponibles no permiten alcanzar la velocidad de

conmutación necesaria para cumplir con la precisión. En esta introducción se ha analizado sólo el caso de interconexión en serie de convertidores, sin embargo existe la posibilidad de efectuar otro tipo de arreglo de convertidores. La utilización de estructuras topológicas basadas en la interconexión de convertidores resulta una solución muy atractiva ya que permite que cada convertidor pueda ser utilizado para cubrir un rango de operación diferente del sistema. En la presente tesis se propone extender el rango de operación del sistema mediante arreglos de subestructuras convertidoras simples con dispositivos adaptados a los diferentes rangos de tensión, corriente y velocidad. Las estructuras propuestas están basadas en la interconexión secuencial de diferentes subestructuras en función de las necesidades de la carga. La realización de estas nuevas topologías requiere que el controlador pueda ser modificado en función de los cambios de estructura del sistema. En la actualidad, estas necesidades pueden ser resueltas gracias a la gran evolución de los sistemas digitales como procesadores digitales de señales (Digital Signal Processor-DSP) y arreglos lógicos programables (Field Programmable Gate Array -FPGA), con gran capacidad de cálculo y alta velocidad de procesamiento.

1.3. Síntesis de la tesis

El objetivo principal de esta tesis es el desarrollo de una nueva estructura topológica de convertidores que permita, a partir de las tecnologías de dispositivos existentes, extender la velocidad del sistema para aplicaciones de fuentes pulsadas de alta corriente y alta precisión sobre cargas inductivas. En función de este objetivo, se investigarán las técnicas existentes, se analizarán las principales ventajas y desventajas de cada una de ellas y se propondrá una nueva estructura topológica basada en la interconexión secuencial de convertidores con diferentes rangos de operación. El objetivo es poder generar pulsos de corriente

con características de crecimiento de pocos milisegundos, un período de tiempo de corriente constante y de alta precisión, y un posterior descenso a alta velocidad con recuperación de energía.

1.4. Organización de la tesis

Esta tesis está dividida en seis capítulos. El Capítulo 1 introduce la problemática asociada a las limitaciones que los dispositivos semiconductores imponen sobre el rango de operación de los convertidores de gran potencia, en particular en las fuentes de corriente pulsada. Estas limitaciones están relacionadas con los máximos valores de tensión, corriente y frecuencia de conmutación que pueden manejar los dispositivos. Se analizan las soluciones existentes para extender el rango de operación de las llaves semiconductoras y se propone el desarrollo de nuevas estructuras convertidoras como solución.

En el Capítulo 2 se presenta una nueva estructura topológica basada en la interconexión secuencial no simultánea de estructuras convertidoras simples, cuyos rangos de operación (corriente, tensión y velocidad) están adaptados a los requerimientos del sistema en las distintas etapas de la generación del pulso. La estructura convertidora propuesta se basa en la interconexión de una estructura puente de alta tensión con un convertidor interleaved polifásico. La estructura puente se utiliza al inicio del pulso de corriente para obtener un rápido tiempo de crecimiento y el convertidor interleaved polifásico se emplea para controlar el elevado valor medio de la corriente durante el flat-top. En el caso que resulte necesario, la estructura propuesta prevé la conexión en paralelo de un filtro activo de baja corriente y alta velocidad para garantizar la precisión deseada en el flat top.

En el Capítulo 3 se estudia en forma detallada la operación del convertidor interleaved polifásico con una de las técnicas de control de corriente mas utilizada. Debido a las limitaciones de este control se propone una nueva técnica de interleaved que permite asegurar una buena cancelación del ripple aún durante los cambios abruptos de tensión y corriente generados por la conexión de las diferentes sub-estructuras.

En el Capítulo 4 se analiza el control del convertidor multiestructura propuesto, durante las diferentes etapas de la generación del pulso. Los aspectos más importantes de este control son: la interconexión de las diferentes subestructuras, el control de los transitorios generados durante la interconexión de las etapas y el control de la corriente en el flat-top.

En el Capítulo 5 se presentan los resultados de la implementación de la topología multiestructura propuesta para un prototipo de fuente de corriente pulsada. En primer lugar se describe la implementación del modulador interleaved polifásico y se realizan ensayos a lazo abierto del convertidor polifásico para la condición de estado transitorio y estacionario. Por otro lado, se efectúa la implementación de un prototipo a escala reducida de una fuente de corriente pulsada con el objeto de validar el funcionamiento de la topología propuesta.

Finalmente, en el Capítulo 6 se recogen las principales conclusiones de este trabajo.

Capítulo 2

Topología Propuesta

2.1. Introducción

En el capítulo anterior se determinó que la estructura semi-puente no permite la generación de pulsos de alta corriente y precisión con tensiones elevadas en la carga debido a las limitaciones tecnológicas de los dispositivos semiconductores. Además se estableció que las estructuras multinivel asimétricas, si bien presentan algunas ventajas respecto de la estructura semi-puente, tampoco son factibles de implementar debido a la elevada frecuencia de conmutación necesaria en el flat-top. Basándose en estos conceptos, se determinó que es necesario desarrollar una nueva estructura convertidora para estas aplicaciones.

A los efectos de desarrollar una topología alternativa para estas fuentes se analizan las formas de onda de tensión y corriente requeridas en la carga, (figura 2.1).

Se puede observar que existen tres etapas diferentes en la generación del pulso: tiempo de ascenso, flat-top y tiempo de descenso. En cada una de estas etapas se pueden caracterizar diferentes niveles de exigencia sobre las llaves. En los tiempos de ascenso y descenso se opera simultáneamente con máxima tensión y corriente

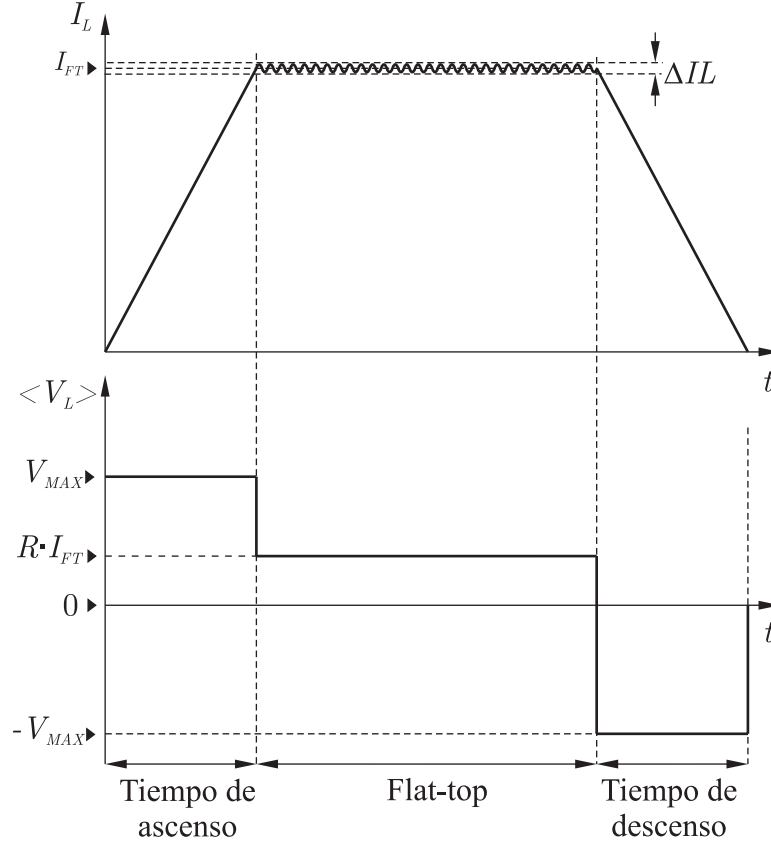


Figura 2.1: Tensión y corriente de una fuente pulsada con carga inductiva.

de carga, a una baja velocidad de conmutación. En el flat-top por el contrario se debe manejar una baja tensión, una alta corriente y una elevada velocidad de conmutación.

A partir de estas consideraciones se propone una nueva estructura topológica basada en la conexión de dos convertidores que operan en etapas distintas de la generación del pulso. La figura 2.2 muestra esta estructura.

Los dos convertidores operan a diferentes tensiones. El convertidor semi-puente de alta tensión y alta corriente es utilizado en los flancos de ascenso y descenso de la corriente de carga, por lo tanto la operación de los dispositivos ($S1$, $S2$, $D1$ y $D2$) sólo se efectúa al inicio y final del pulso. Debido a que en general la repetición del pulso es lenta (del orden del segundo) la implementación

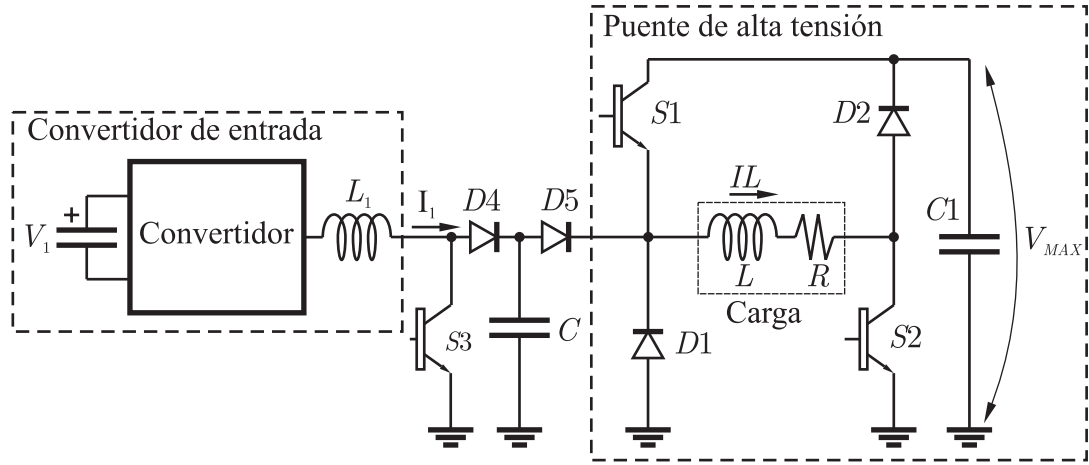


Figura 2.2: Estructura con dos convertidores.

de esta estructura es posible con la tecnología de dispositivos existentes. Este convertidor permite además recuperar la energía de la carga al final del pulso a través de $D1$ y $D2$.

La otra etapa está formada por un convertidor de baja tensión y alta corriente, denominado convertidor de entrada, el cual proporciona la corriente a la carga durante el flat-top. La tensión de entrada de este convertidor debe ser superior a la máxima tensión en el flat-top, la cual esta dada por la caída de tensión en la componente resistiva de la carga. En fuentes pulsadas de alta corriente esta tensión no supera las centenas de voltios, por lo tanto los dispositivos semiconductores requeridos en esta etapa pueden operar a mayor velocidad que los utilizados en el puente de alta tensión.

La conexión del convertidor de entrada con la carga se realiza a través de un capacitor C , que denominaremos de acoplamiento, el cual es necesario para respetar las reglas de conexión de fuentes [25]. De esta forma se evitan las sobretensiones destructivas sobre los dispositivos semiconductores debidas a posibles diferencias de corriente durante la conexión de las etapas.

La corriente del convertidor de entrada, I_1 , se transfiere a la carga por medio

del control del estado de las llaves $S1$ y $S3$. La transferencia sólo es posible con $S1$ y $S3$ en OFF. La llave $S3$ se utiliza para permitir que la corriente del convertidor de baja tensión circule por tierra durante el tiempo en que la fuente se encuentra operando fuera del flat-top. El diodo $D4$ se utiliza para evitar que el capacitor C se ponga en cortocircuito cuando $S3$ se encuentra en ON y el diodo $D5$ se utiliza para bloquear la tensión entre el puente de alta tensión y el convertidor de entrada.

La estructura propuesta al igual que la topología multinivel híbrida (presentada en el Capítulo 1) busca reducir la tensión de operación en el flat-top con el fin de utilizar dispositivos de mayor velocidad que permitan controlar la corriente dentro de los límites de precisión requeridos. Sin embargo, esta nueva estructura tiene la ventaja de proporcionar un filtrado de la corriente de carga por medio del circuito RLC que forman el capacitor de acoplamiento y la carga. Esta característica reduce las exigencias de conmutación necesarias en los dispositivos del convertidor de entrada para obtener la precisión deseada.

El empleo de un sólo convertidor de entrada hace que los dispositivos utilizados en esta etapa tengan que manejar la máxima corriente de la carga. Esto determina que la velocidad de conmutación del convertidor esté muy limitada y que el filtro de salida deba ser ajustado a una frecuencia de corte baja. En fuentes pulsadas de corta duración de flat-top la utilización de un filtro de muy baja frecuencia de corte puede no ser posible debido al elevado tiempo transitorio requerido durante el acoplamiento. Por esta razón resulta necesario el desarrollo de una nueva solución, la cual se muestra en la figura 2.3.

En este caso se sustituye al convertidor de entrada por un arreglo de N convertidores en paralelo que operan como generadores de corriente independientes.

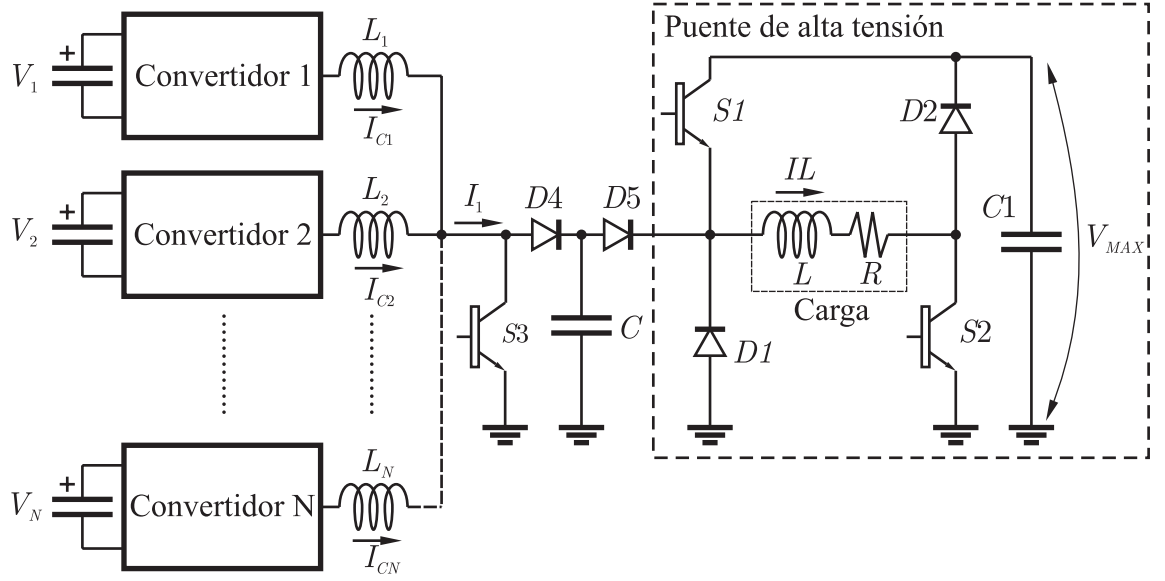


Figura 2.3: Estructura con N convertidores de entrada.

Estos generadores no necesitan ser idénticos con lo cual es posible asignarles distintas corrientes y frecuencias de conmutación a fin de otorgarles funciones diferentes. Es decir, un grupo de convertidores puede ser utilizado para proporcionar el valor medio de la corriente de flat-top, con baja precisión y otro convertidor puede ser utilizado para obtener la precisión deseada. Esta estructura ofrece mayores posibilidades de control que la basada en un sólo convertidor de entrada, por lo tanto el desarrollo de la nueva fuente pulsada se realiza a partir de esta estructura.

2.2. Topología Propuesta

Los convertidores de la figura 2.3 tienen que controlar corrientes unidireccionales de salida a partir de tensiones continuas de entrada, las cuales pueden ser o no flotantes. Aplicando la técnica de síntesis de convertidores estáticos (descrita en el Apéndice A) se obtiene la estructura convertidora mostrada en la figura 2.4

para convertidores sin fuentes flotantes.

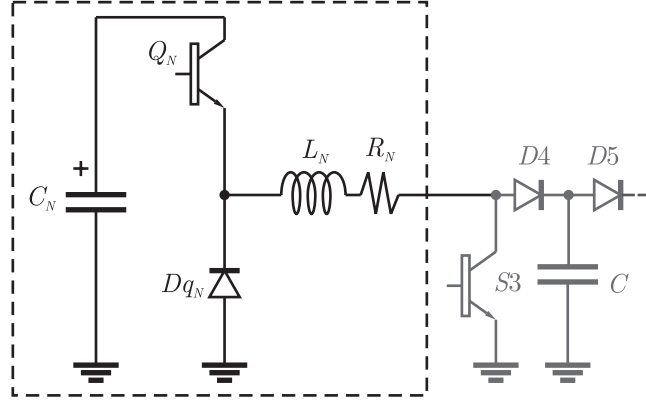


Figura 2.4: Estructura básica de un convertidor de entrada.

Es posible agrupar N etapas de convertidores iguales a las de la figura 2.4 con una única fuentes de entrada para formar lo que se conoce como convertidor polifásico CC/CC. Este convertidor es muy utilizado en fuentes de alimentación que requieren una alta corriente y baja tensión.

El empleo de esta estructura en fuentes pulsadas permite distribuir la alta corriente de flat-top entre las diferentes fases de forma tal de reducir el stress térmico de las llaves semiconductoras y posibilitar la utilización de dispositivos más veloces. La figura 2.5 muestra la estructura de un convertidor polifásico.

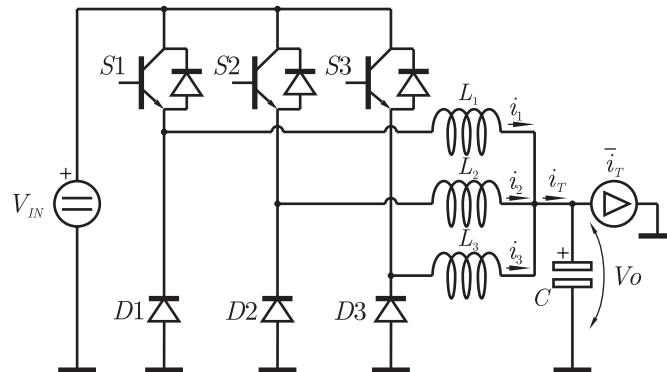


Figura 2.5: Convertidor polifásico.

El hecho de generar el valor medio de corriente por intermedio de varios generadores independientes permite además, mediante una apropiado desfasaje de los ripples, reducir el ripple de la corriente de salida sin necesidad de aumentar la frecuencia de conmutación [16]. Esta técnica se conoce como control de corriente por interleaved. La figura 2.6 muestra el caso ideal de desfasaje entre los ripples de corrientes de cada rama, donde la suma de los mismos es cero.

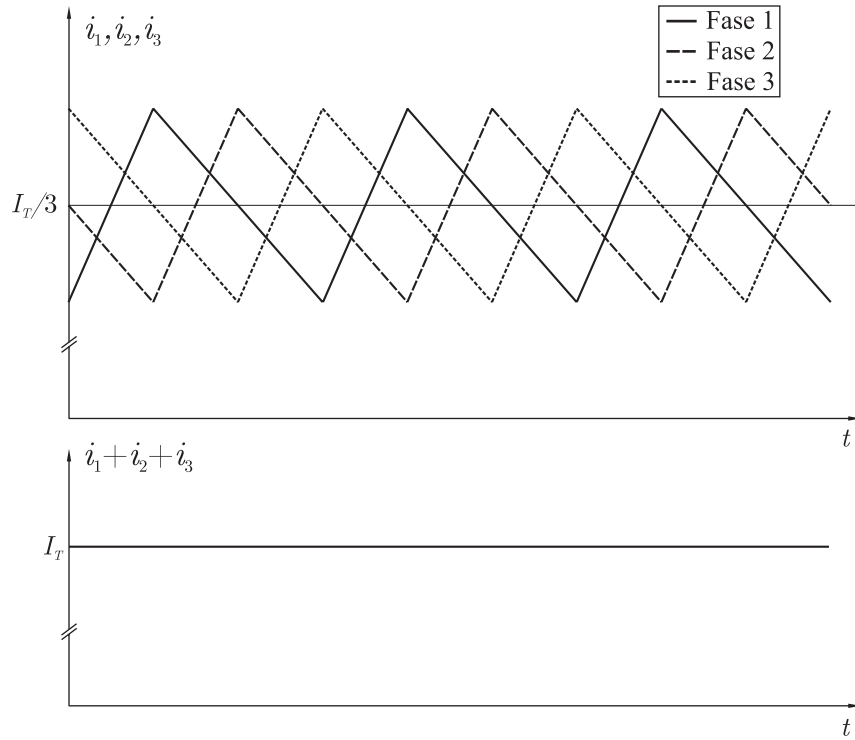


Figura 2.6: Corrientes de fase y corriente total.

La condición ideal de cancelación de ripples de corriente es válida solo para ciertas relaciones de tensión entrada-salida y para sistemas perfectamente balanceados. La cantidad de condiciones de cancelación depende del número de fases del sistema. La figura 2.7 muestra la amplitud pico a pico del ripple de corriente de salida normalizada en función del ciclo de trabajo y del número de fases para un sistema perfectamente balanceado. La normalización se obtiene dividiendo el ripple de la corriente total por el ripple de una de las fases.

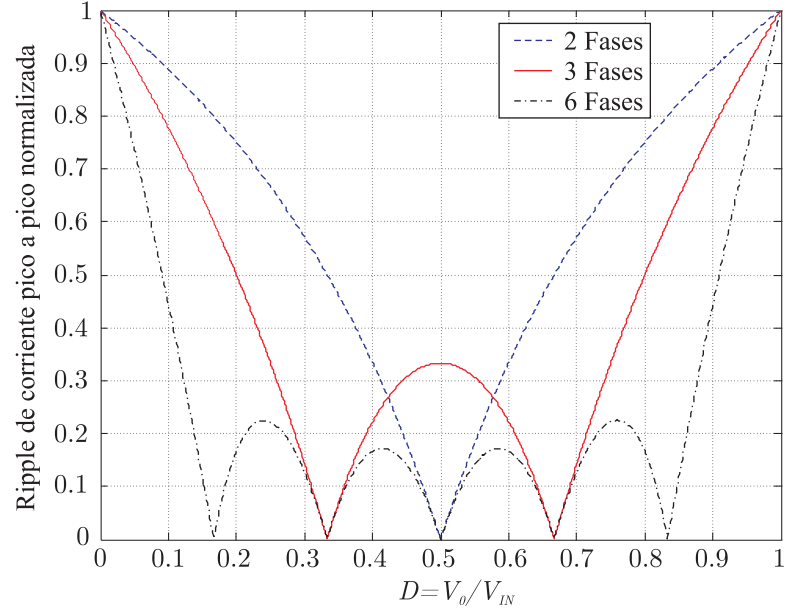


Figura 2.7: Ripple de salida normalizado en función al ciclo de trabajo.

En esta figura se puede observar que la atenuación del ripple para un sistema de dos fases varía significativamente fuera de la condición ideal de cancelación ($D = 0,5$). En el caso de un convertidor de tres fases existe un rango de operación más amplio ($0,25 < D < 0,75$) dentro del cual la atenuación es superior al 30 %. En un sistema de seis fases el aumento en la atenuación no es importante; sin embargo se obtiene un mayor rango de operación con atenuación ($0,1 < D < 0,9$). La reducción del ripple de salida no depende sólo de la cancelación generada por el desfase de los ripples sino que además se ve favorecida por el incremento de la frecuencia del ripple total debido al filtrado de la carga. En este sentido se puede ver que la utilización de un convertidor polifásico controlado por interleaved es una solución muy atractiva ya que permite disminuir las exigencias operacionales de los dispositivos semiconductores y reducir el filtro de salida. La figura 2.8 muestra la topología propuesta con un convertidor polifásico de tres fases.

En las aplicaciones típicas de los convertidores polifásicos la tensión diferencial

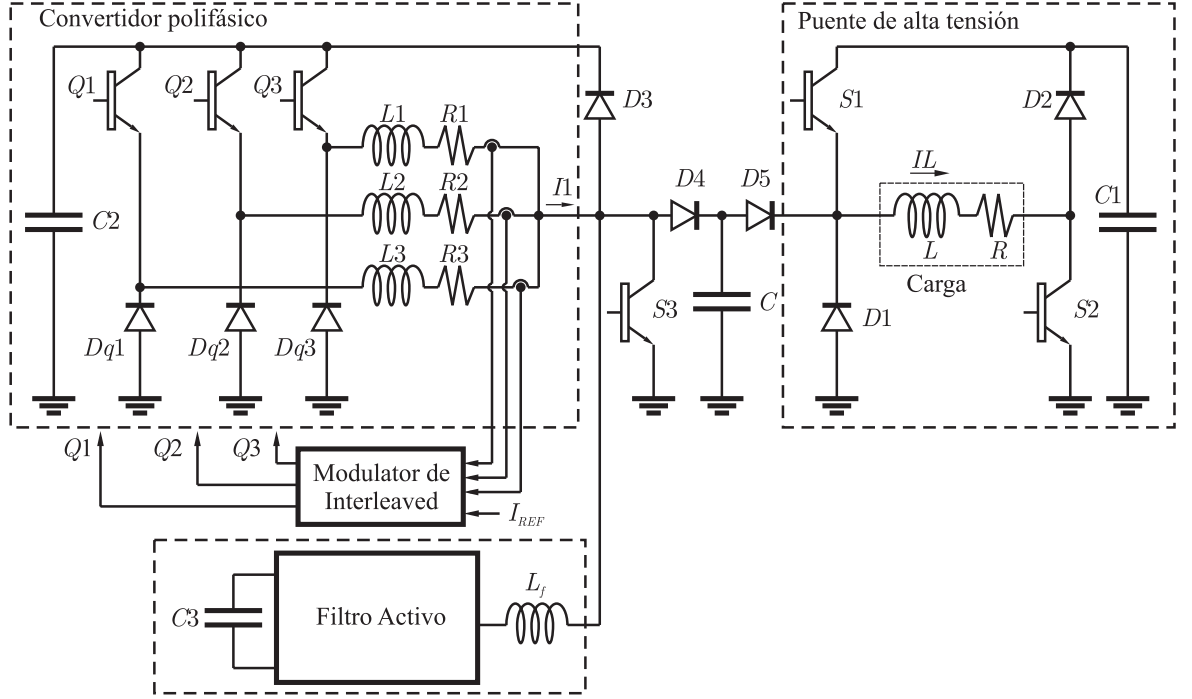


Figura 2.8: Topología propuesta.

entrada-salida del convertidor es prácticamente constante o varía en forma lenta. Por esta razón, los moduladores utilizados son simples y de baja respuesta dinámica. En esta nueva estructura la tensión diferencial entrada-salida puede presentar variaciones abruptas, principalmente durante la conexión de las distintas etapas al inicio del flat-top. Esto representa un inconveniente para los moduladores existentes ya que la respuesta transitoria generada durante el acoplamiento puede ser intolerable para las fuentes pulsadas de alta prestaciones. Esta circunstancia no está estudiada, por lo que es necesario un análisis más detallado del control de corriente de estos convertidores, el cual se desarrolla con más detalle en el siguiente capítulo.

El número de fases a emplear en el convertidor polifásico resulta una relación de compromiso entre el ripple de salida y la complejidad del modulador. Dado que un aumento significativo en la cantidad de fases no reduce de manera importante

el ripple de salida, el número de fases se adopta para obtener niveles de corriente que permitan la operación de los dispositivos a frecuencias de conmutación acordes con los requisitos de la fuente. La reducción del ripple residual y la precisión en el flat-top se pueden lograr por intermedio de una etapa adicional, la cual puede ser equivalente a la de una fase del convertidor polifásico. Dependiendo del nivel residual del ripple, los requerimientos de corriente de esta etapa pueden ser bajos con lo cual la frecuencia de conmutación puede ser mucho mayor que la del convertidor polifásico. Esta etapa, que denominaremos filtro activo, se puede implementar también por medio de un inversor puente completo con fuente de entrada flotante. La figura 2.9 muestra una estructura tipo puente completo que permite el manejo de corrientes y tensiones bidireccionales de salida.

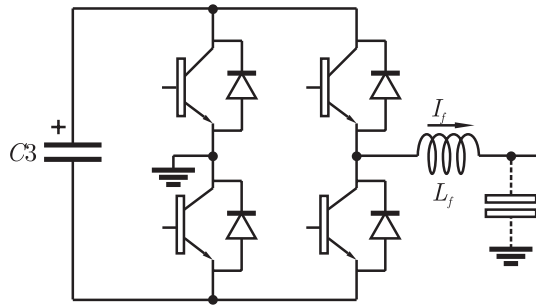


Figura 2.9: Filtro activo implementado con puente completo.

A continuación se describe el principio de funcionamiento del sistema propuesto a partir de las operaciones realizadas en cada una de las etapas de generación del pulso.

2.3. Principio de funcionamiento

El principio de funcionamiento de la topología propuesta se desarrolla a partir de las distintas etapas de la generación del pulso.

2.3.1. Condición inicial

Inicialmente, las inductancias del convertidor polifásico, el capacitor C y el inductor de carga se encuentran descargados. Todas las llaves se encuentran en OFF y las tensiones de las fuentes de entrada permanecen cargadas a sus valores iniciales.

2.3.2. Inicio del pulso (tiempo de ascenso)

En este período el convertidor polifásico y el puente de alta tensión operan por separado (ver figura 2.10). En el puente de alta tensión las llaves $S1$ y $S2$ se encuentran en ON, por lo tanto, la corriente I_L se incrementa debido a la aplicación de la tensión V_{C1} . Si esta tensión no varía significativamente, el incremento de la corriente se puede asumir exponencial con una constante de tiempo dada por R y L . En el caso más general, la corriente responde a una porción de senoide dada por el circuito $RLC1$. En el convertidor polifásico todas las llaves se encuentran en ON, por lo tanto la corriente I_1 aumenta con la suma de las corrientes de fases. La estrategia en esta fuente es hacer que la corriente I_1 se encuentre controlada al valor de flat-top poco antes que I_L alcance este valor. Luego, cuando se cumpla que I_L es aproximadamente igual al valor de flat-top, I_{FT} , se realiza el acoplamiento entre las etapas.

Para poder cumplir con esta condición es necesario que la corriente I_1 aumente levemente más rápido que I_L . Por lo tanto, se debe cumplir que:

$$Lx < \frac{3 \cdot V_{C2}}{V_{C1}} \cdot L \quad (2.1)$$

donde Lx es la inductancia de cada fase del convertidor polifásico.

La llave $S3$ se mantiene en ON, durante toda esta etapa, de forma tal que la corriente I_1 circule por tierra.

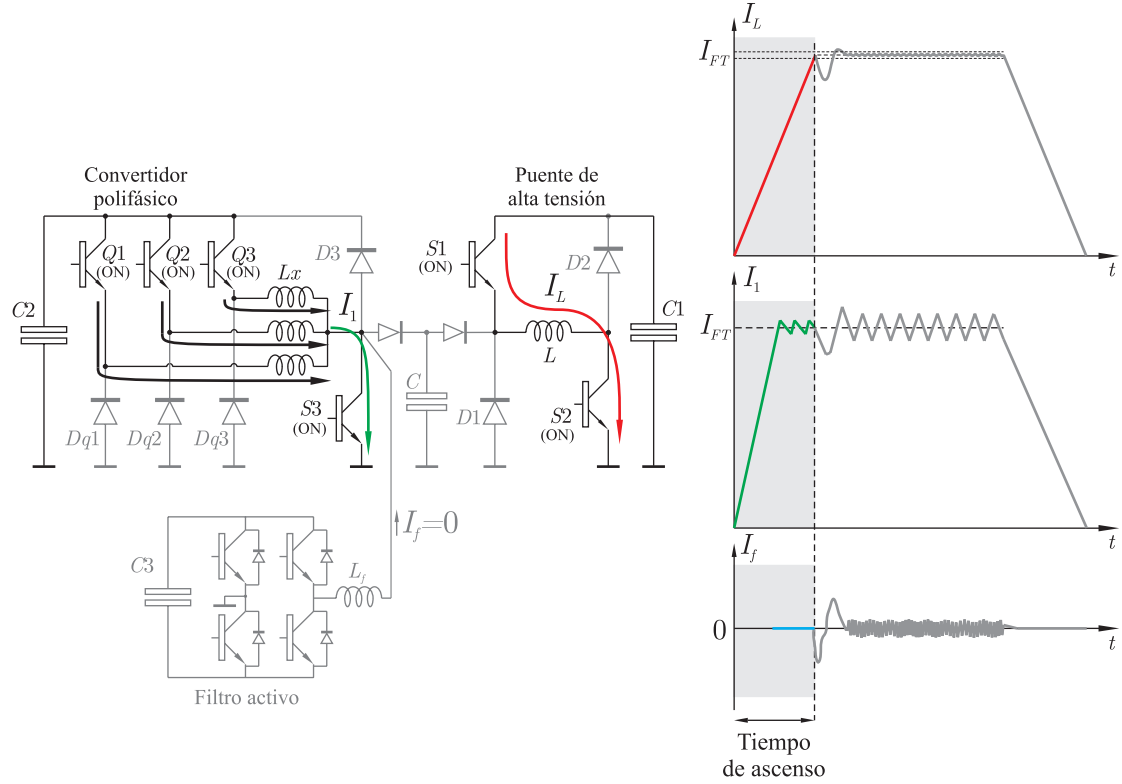


Figura 2.10: Operación del sistema durante el tiempo de ascenso.

2.3.3. Flat-top

Esta etapa se inicia cuando I_L alcanza el valor de flat-top. Las llaves $S1$ y $S3$ pasan a OFF de forma de permitir que I_1 e I_f circulen hacia la carga. El acoplamiento del filtro activo y el convertidor polifásico con la carga se efectúa junto con el capacitor C , el cual se encarga de asegurar que se respeten las reglas de conexión entre fuentes. El agregado de este capacitor requiere de un lazo de control que asegure un acoplamiento sin oscilaciones en la tensión y en la corriente de carga, corrija en tiempo mínimo cualquier diferencia inicial entre I_1 e I_L y controle la corriente en el flat-top con la precisión requerida. Este lazo se implementa por medio del filtro activo el cual, debido a los bajos requerimientos de corriente, opera a alta frecuencia de conmutación. La figura 2.11 muestra la

operación de las distintas etapas de la fuente durante el flat-top.

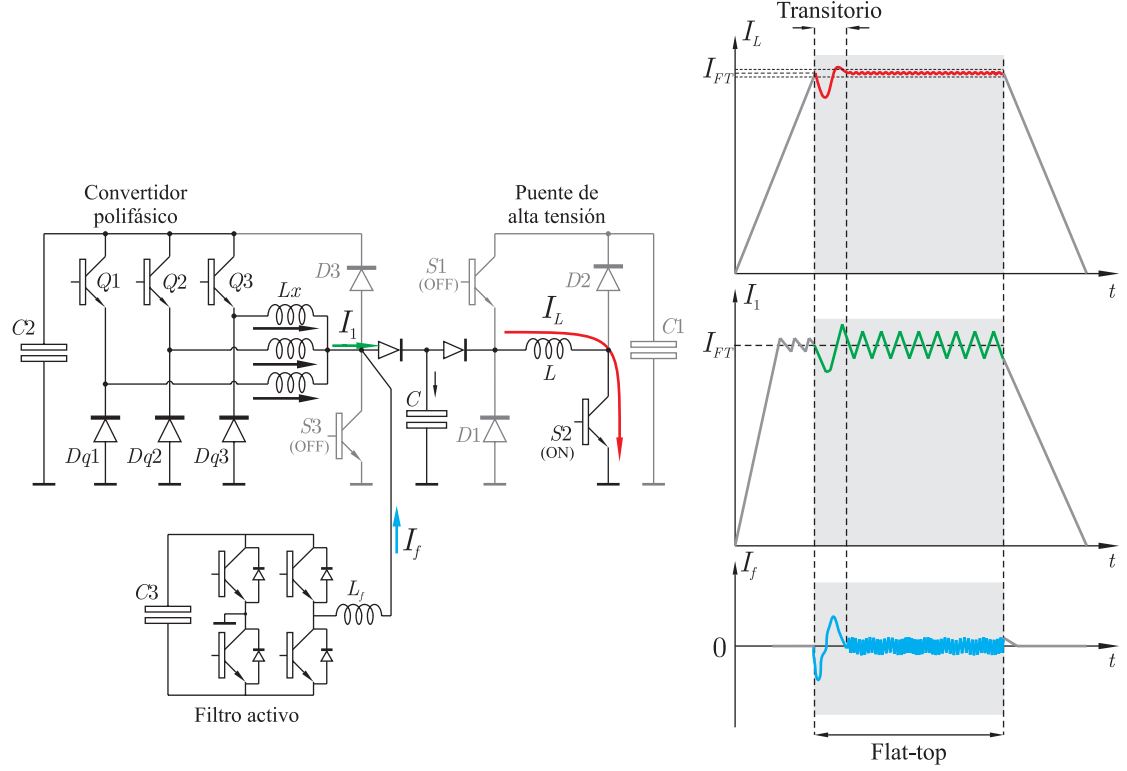


Figura 2.11: Operación del sistema en el flat-top.

En la figura 2.11 se observa además que al inicio del flat-top se produce un transitorio en las diferentes corrientes. El transitorio es generado por las posibles diferencias de corriente entre I_1 e I_L en el momento del cambio y fundamentalmente debido a que el capacitor se encuentra inicialmente descargado. En general se busca que la duración de este transitorio sea la menor posible. La carga del capacitor en el transitorio produce un cambio abrupto en la tensión de salida del convertidor polifásico, la cual debe ser tomada en cuenta en el modulador de interleaved para evitar transitorios que comprometan la estabilidad del sistema en el flat-top. Este tema es desarrollado con mayor detalle en el siguiente capítulo.

2.3.4. Tiempo de descenso

Este período se inicia cuando finaliza el tiempo de flat-top. En ese instante se abre la llave $S2$ para que la corriente de la carga y del convertidor polifásico se recupere sobre el capacitor $C1$ a través del diodo $D2$. Durante esta etapa también se deshabilita la operación del filtro activo dejando todas las llaves en OFF. De esta forma la corriente del filtro activo se descarga a través de la carga. Los diodos $D3$ y $D1$ son utilizados para evitar que la tensión sobre el capacitor y la carga excedan los valores tolerables por el circuito debido a los posibles transitorios generados durante la descarga. La figura 2.12 muestra la circulación de las corrientes del circuito durante el tiempo de descenso.

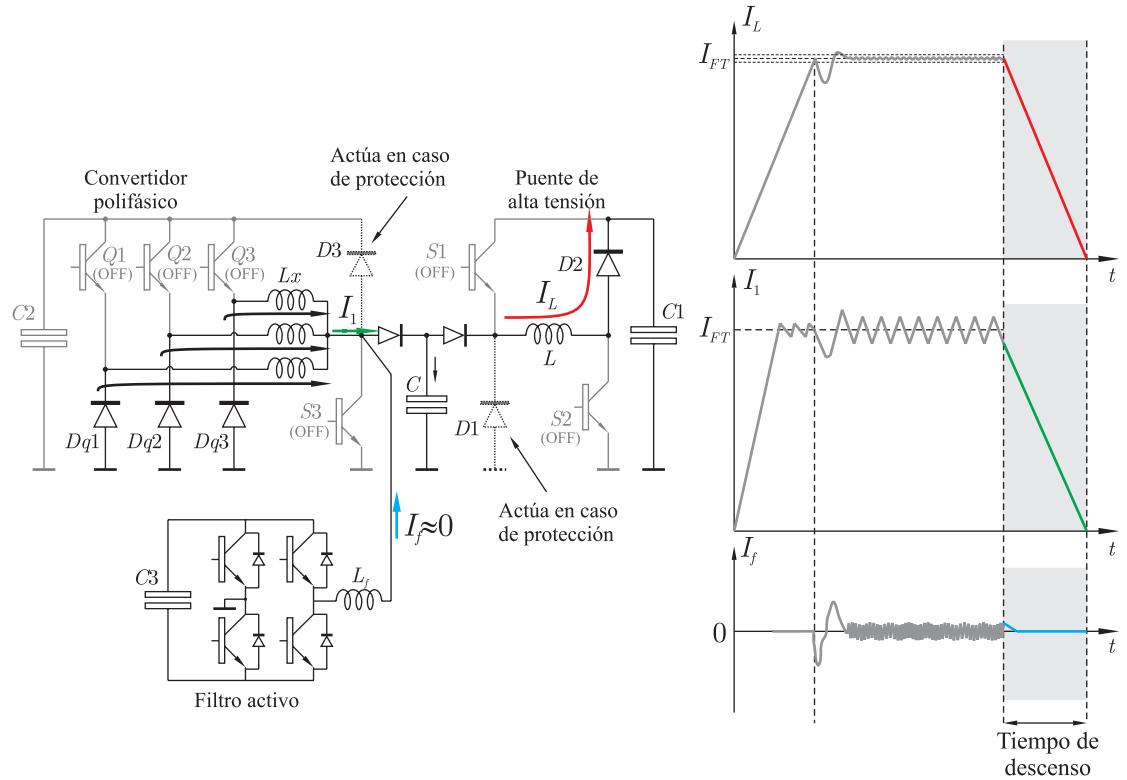


Figura 2.12: Operación del sistema durante el tiempo de descenso.

En resumen la estructura topológica propuesta presenta aspectos importantes

que deben ser analizados en detalle. Por un lado, es necesario desarrollar un control de corriente por interleaved para el convertidor polifásico que permita tolerar cambios abruptos en la tensión de salida con mínimo tiempo y error transitorio. El funcionamiento adecuado de este convertidor es importante para reducir las exigencias sobre el filtro activo y sobre los lazos de control.

Por otro lado se debe tener en cuenta la correcta interconexión de las diferentes etapas. Los cambios de estructura del convertidor pueden producir oscilaciones transitorias en las tensiones y corrientes debidas a diferencias en las condiciones iniciales del controlador y de los elementos reactivos del circuito. Estos transitorios se pueden minimizar por medio de una conexión y desconexión adecuada de las diferentes etapas y por medio de un ajuste conveniente de los lazos de control.

Es fácil concluir que tanto el desarrollo de un nuevo modulador capaz de soportar las diferencias abruptas en la tensión diferencial del convertidor polifásico como un sistema de control capaz de manejar los cambios de estructura serán las piezas claves de esta topología.

Capítulo 3

Convertidor Polifásico

3.1. Introducción

El convertidor CC/CC interleaved polifásico es una estructura muy utilizada en fuentes de alimentación de baja tensión y elevada corriente. Las ventajas de este convertidor son:

- Disminución de las pérdidas de conmutación debido a la reducción de las corrientes de fase en I_{TOTAL}/n^1
- Disminución de las pérdidas de conducción en un factor $1/n^2$, lo cual mejora el rendimiento en $1/n$ [16,26]
- Reducción del stress de los dispositivos semiconductores como consecuencia de los puntos anteriores [16,26]
- Reducción del espectro de EMI debido a la disminución de los saltos de corriente en los dispositivos en $1/n$.
- Atenuación del ripple de corriente de salida debido a la cancelación lograda por el apropiado desfase de las señales de control.

¹Siendo n el número de fases del convertidor polifásico.

La figura 3.1 muestra el esquema de un convertidor polifásico basado en la conexión paralelo de convertidores Buck.

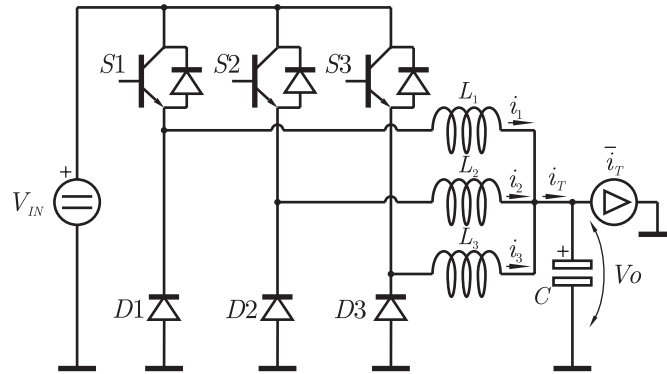


Figura 3.1: Esquema de convertidor polifásico.

Esta estructura resulta atractiva para ser utilizada durante el flat-top en el convertidor de estructura variable por las siguientes razones:

1. la disminución de la amplitud y el aumento de la frecuencia del ripple total permiten reducir el capacitor de salida y obtener una mejor respuesta dinámica en el convertidor,
2. la tensión sobre el capacitor durante este período es sustancialmente menor que la necesaria en el descenso de la corriente I_L ,
3. la libertad en la elección de las inductancias y en la cantidad de las llaves del convertidor posibilita el uso de dispositivos existentes de alta frecuencia para controlar la elevada corriente con buena precisión.

Para conectar este convertidor al puente de alta tensión es necesario una etapa convertidora intermediaria (etapa de acople) que servirá para adecuar la condición inicial de los sistemas. La conexión del convertidor polifásico con la etapa de acople presenta dos problemas sobre :

- El convertidor polifásico debe tener, como condición inicial al momento de acople, una corriente de salida muy próxima a la corriente de carga en el flat-top y una tensión V_0 cercana a $I_{FLAT-TOP} \cdot R$. De esta forma se busca reducir los transitorios generados por el acoplamiento de las etapas.
- Durante el acoplamiento se produce una variación abrupta en la tensión diferencial entrada-salida del convertidor polifásico ($V_{IN} - V_0$) que no permite la correcta operación de los controles de corriente existentes.

Para resolver el primer problema se propone controlar la corriente del convertidor polifásico en forma desacoplada del puente de alta tensión. La figura 3.2 muestra la conexión entre el convertidor polifásico y la carga con la estructura propuesta.

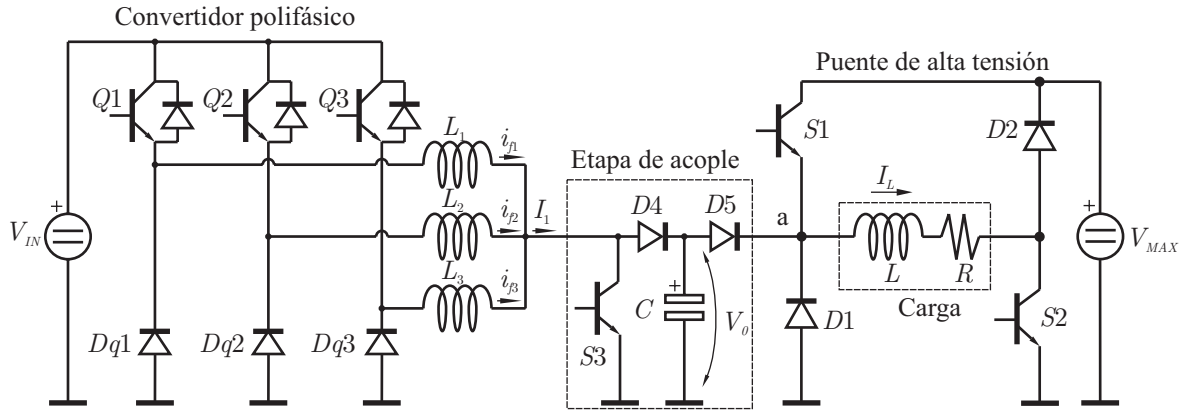


Figura 3.2: Esquema de conexión del convertidor polifásico con la carga.

A los efectos de simplificar el modelo se asume inicialmente que la tensión en el punto a es igual a la máxima tensión aplicada en la carga durante el ascenso, V_{MAX} , $V_a = V_{MAX} \gg V_{IN}$ y que la corriente en la carga evoluciona desde cero hasta $I_{FLAT-TOP}$.

Se supone también que las llaves $Q1$, $Q2$ y $Q3$ están cerradas, $S3$ abierta, el diodo $D4$ en conducción y el diodo $D5$ en bloqueo. El bloqueo de $D5$ produce

el desacople entre el puente de alta tensión y el convertidor polifásico. En estas condiciones el capacitor C se carga sinusoidalmente tendiendo a un valor pico de $2 \cdot V_{IN}$, con una frecuencia dada por $\frac{3}{C \cdot L_f}$. Cuando la tensión en el capacitor alcanza el valor de $I_{FLAT-TOP} \cdot R$, se cierra la llave $S3$ bloqueando el diodo $D4$ e impidiendo que el capacitor se descargue. En ese instante la corriente I_1 vale:

$$I_1 = V_{IN} \cdot \sqrt{\frac{3 \cdot C}{L_f}} \cdot \left[1 - \left(\frac{V_{IN} - R \cdot I_{FLAT-TOP}}{V_{IN}} \right)^2 \right] \quad (3.1)$$

El cierre de $S3$ hace que la corriente I_1 continúe aumentando hasta alcanzar el valor de flat-top. A partir de ese momento las llaves $Q1$, $Q2$ y $Q3$ comienzan a controlar de manera sincrónica y desfasada las corrientes de fase del convertidor a fin de mantener controlada la corriente I_1 al valor de flat-top. De esta forma se resuelve el primer inconveniente.

Se puede observar que, durante el cierre de $S3$, la tensión diferencial entrada-salida del convertidor es constante e igual a V_{IN} . Sin embargo, cuando la corriente I_L alcanza el valor de flat-top el puente de alta tensión deja de aplicar V_{MAX} y la tensión en el punto a tiende a $R \cdot I_{FLAT-TOP} < V_{IN}$. Además, se abre la llave $S3$ con lo cual la corriente I_1 comienza a circular a través de $D4$ conectando el capacitor C con la carga. El cambio de estado de $S3$ genera una variación abrupta en la tensión diferencial del convertidor que pone de manifiesto el segundo problema.

La variación de la tensión diferencial genera desajustes transitorios en los ripples de corriente que no son eficazmente compensados con los moduladores existentes. El error introducido en el valor medio y la duración del transitorio resultan intolerables para las aplicaciones de fuentes pulsadas con elevados requisitos de precisión.

Los moduladores utilizados para controlar los convertidores polifásicos se centran principalmente en resolver el problema de distribución de corriente entre fases, conocido como current sharing [27, 28]. La técnica de control más utilizada es el Control de Modo Corriente Pico, PCMC (Peak Current Mode Control), cuyas principales ventajas son la simplicidad de implementación, la capacidad de controlar fácilmente la corriente de salida y la inherente función de protección de corriente [29]. Sin embargo, a pesar de estas características, el PCMC no permite solucionar el problema anteriormente enunciado. A los efectos de introducir el tema de la modulación de convertidores interleaved polifásicos se analizará el PCMC, desde los siguientes aspectos:

- Principio de funcionamiento.
- Implementación.
- Modelo dinámico.
- Respuesta transitoria de la corriente de salida ante cambios en la referencia y en la tensión diferencial de entrada-salida.

Este primer análisis permitirá identificar los problemas de los moduladores existentes para luego desarrollar un nuevo modulador especialmente adaptado a los cambios abruptos de la tensión diferencial.

3.2. Control de Modo Corriente Pico

3.2.1. Principio de funcionamiento

La figura 3.3 muestra el esquema del PCPM para una fase del convertidor polifásico.

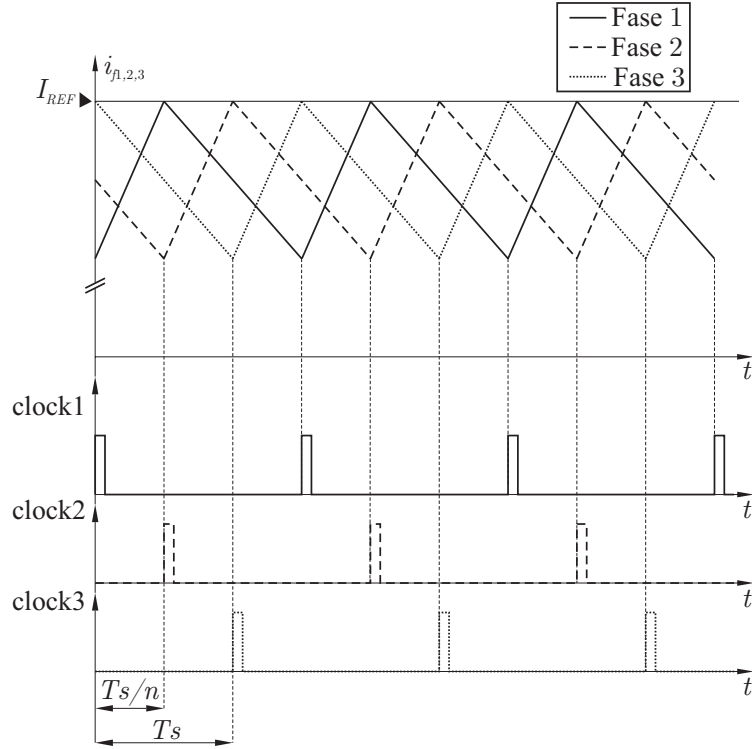


Figura 3.4: Condición ideal de desfase de ripples.

3.2.2. Aspectos de implementación

Un aspecto importante de la implementación del PCMP son las diferencias que existen entre los elementos de las fases. Por ejemplo, la dispersión en el valor de los inductores genera una distribución desigual de la corriente media de las fases debida a diferencias de amplitud en los ripples de fase. Este problema es abordado por diferentes autores [18, 30].

Otro problema del PCMC es la susceptibilidad al ruido en la medición de corriente. La aparición de un ruido impulsivo o transitorio en la corriente medida puede generar el disparo prematuro del reset del latch provocando un funcionamiento errático del control. Este problema se presenta, por ejemplo, cuando la medición de la corriente se realiza sobre Q . La respuesta oscilatoria durante el encendido de la llave (generada por la carga acumulada en el diodo) obliga la

utilización de filtros en la medición de corriente. Estos filtros se pueden evitar midiendo directamente la corriente del inductor.

Otro aspecto a tener en cuenta es la inestabilidad del control PCMC, en estado estacionario, ante perturbaciones producidas por ruido en la medición. Este problema se analiza en [31] en donde se evalúa la evolución de una perturbación de corriente y se determina su amplitud para el instante k . La expresión (3.2) corresponde al cálculo de amplitud de la perturbación.

$$\Delta i(k \cdot T_s) = \Delta i(0) \cdot \left(\frac{D}{D-1} \right)^k \quad (3.2)$$

donde $\Delta i(0)$ es la amplitud inicial de la perturbación y D el ciclo de trabajo.

En la (3.2) se puede observar que la amplitud de la perturbación sólo converge cuando $\left| \frac{D}{D-1} \right| \leq 1$, de lo contrario, diverge. Esta condición establece que el sistema es estable si $D \leq 0,5$. La figura 3.5 muestra el ripple de una fase en estado estacionario y la evolución de una perturbación cuando $D > 0,5$.

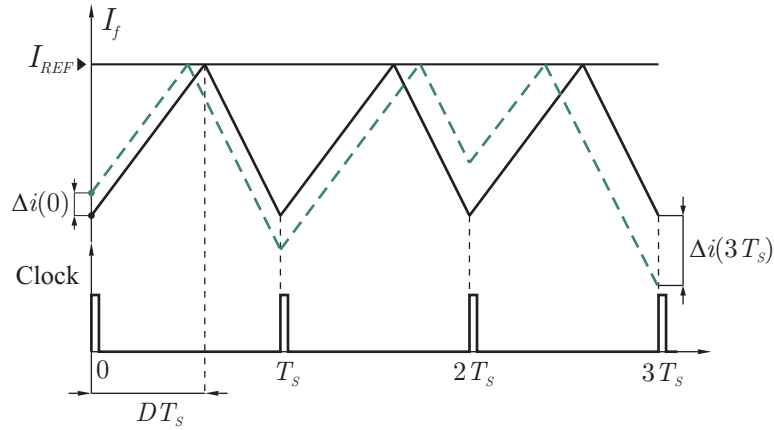


Figura 3.5: Análisis de estabilidad ante perturbaciones.

Las perturbaciones pueden generar oscilaciones sub-armónicas en el ripple de corriente e incluso comportamiento caótico. La solución ampliamente utilizada en la literatura consiste en agregar una rampa de compensación en la referencia

de forma de modificar el instante de comparación. A los efectos de lograr la estabilidad, esta compensación se puede interpretar como un control de ganancia. La figura 3.6 muestra el efecto de la rampa de compensación sobre la perturbación del ripple, para las mismas condiciones de la figura 3.5.

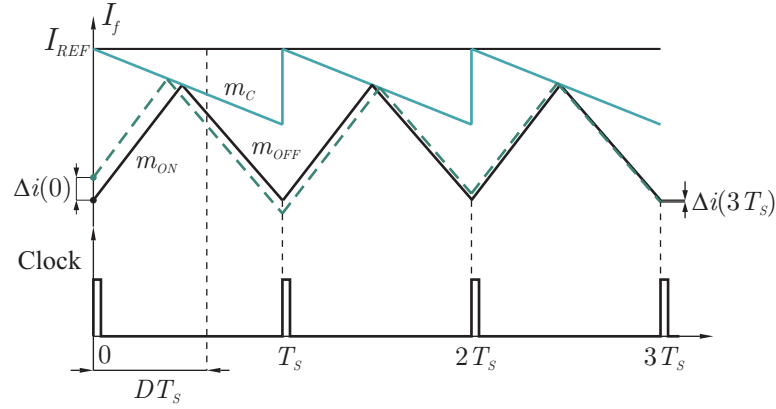


Figura 3.6: Análisis de estabilidad con rampa de compensación.

En la figura se puede observar que la rampa, además de atenuar la amplitud de la perturbación, modifica el valor medio de la corriente. Este error, que depende de las pendientes de la corriente y de la rampa, debe ser compensado por medio de un lazo externo de control de corriente. En aplicaciones de fuentes pulsadas la compensación de la corriente media es una operación muy exigente debido al corto tiempo transitorio admitido en la carga.

El agregado de la rampa modifica el cálculo de la amplitud de la perturbación de la siguiente forma:

$$\Delta i(k \cdot T_s) = \Delta i(0) \cdot \left(\frac{m_c - m_{OFF}}{m_{ON} + m_c} \right)^k \quad (3.3)$$

donde m_{ON} es la pendiente de la corriente en el estado ON, m_{OFF} la pendiente en el estado OFF y m_c la pendiente de la rampa de compensación.

La expresión (3.3) muestra que, por medio del ajuste de la pendiente de la rampa, es posible plantear diferentes casos de compensación. Los casos más comunes son:

- $m_C \geq m_{OFF}/2$, condición que asegura estabilidad para todo D .
- $m_C = m_{OFF}$, condición para compensación dead beat.²

3.2.3. Modelo dinámico del convertidor polifásico con PCMP

En el capítulo anterior se planteó la posibilidad de incorporar, en paralelo con el convertidor polifásico, un filtro activo de alta frecuencia para compensar la corriente de la carga. Sin embargo, considerando que la frecuencia de ripple del convertidor polifásico se ve multiplicada por el número de fases, se podría pensar en utilizar a este convertidor para compensar la corriente de carga. Por esta razón, resulta importante determinar la dinámica conjunta del convertidor y del modulador durante la operación en el flat-top.

Es conocido que, en un sistema muestreado, el ancho de banda máximo obtenible a lazo cerrado es próximo a un cuarto de la frecuencia de switching [18]. Intuitivamente se podría pensar que si f_1 es la frecuencia de switching de una fase y se disponen de n fases, el ancho de banda máximo obtenible para un sistema polifásico sería del orden de $n \cdot f_1/4$, sin embargo esto no es así. El análisis efectuado en [29] demuestra que el control individual de corriente por fase en un convertidor interleaved polifásico presenta la dinámica de una sola fase. Es decir, aproximadamente n veces menor.

Algunos trabajos proponen un acoplamiento de las corrientes de las fases (acoplando los inductores o realimentando las corrientes), con el objeto de mejorar la característica de fase del sistema y aumentar el ancho de banda del sistema [29,

²La compensación dead-beat es aquella en la cual el error generado por la perturbación es corregido después de un período T_s . Esta compensación también es conocida en la literatura como finite settling time.

32–34]. Sin embargo, estas metodologías, además de ser complejas, no permiten obtener una mejora significativa en el ancho de banda debido a la dispersión de los componentes. Se puede concluir entonces que el ancho de banda de un modulador polifásico es, en el peor de los casos, igual al de una fase.

En [35] se analiza la dinámica de una fase y se determina que el sistema puede ser considerado como un control discreto con los instantes de muestreo dados por la intersección de la corriente de fase con la rampa de compensación. En este análisis se asume que la tensión de entrada y salida permanecen constantes. Esta condición se puede considerar válida para el análisis del modulador en el flat-top ya que, pasado el transitorio, la tensión en la salida se mantiene prácticamente constante. El modelo discreto del modulador tiene la siguiente representación en tiempo continuo:

$$\frac{I_f(s)}{I_{REF}(s)} = \frac{1}{Hi} \cdot \frac{(1 + \alpha)}{sT} \cdot \frac{e^{sT} - 1}{e^{sT} + \alpha} \quad (3.4)$$

donde T es el período de la señal de clock, Hi es la ganancia del sensado de corriente y $\alpha = \frac{m_{OFF} - m_C}{m_{ON} + m_C}$.

La expresión (3.4) no se puede utilizar para el diseño de lazos de control porque presenta un número infinito de polos y ceros. Por tal razón, en general se recurre a expresiones aproximadas de segundo orden que son válidas hasta la mitad de frecuencia de muestreo [35]. Si se considera el caso particular de compensación dead-beat y se asume una ganancia unitaria de sensado se obtiene:

$$\frac{I_f(s)}{I_{REF}(s)} = \frac{1 - e^{-sT}}{sT} \quad (3.5)$$

La expresión (3.5) muestra que, en este caso particular, el modulador de corriente pico se comporta como un retenedor de orden cero. Para verificar este modelo se realizó una simulación en MATLAB, donde se aplicó una referencia de

pequeña señal, i_{ref} (Figura 3.7).

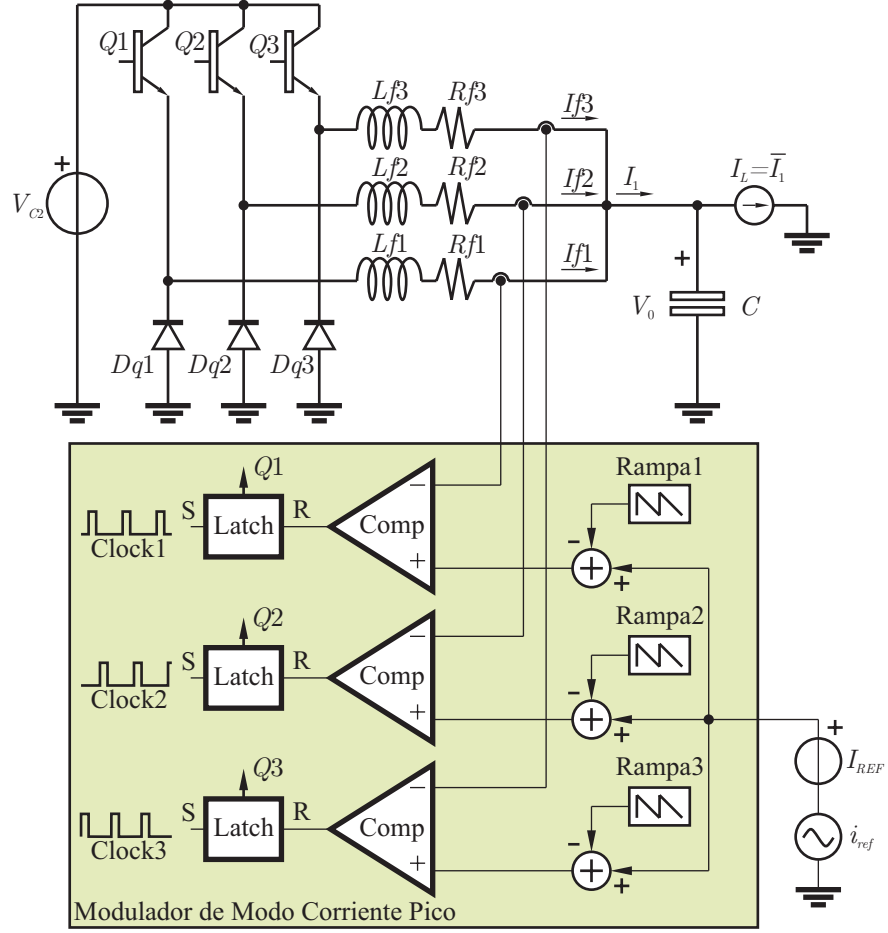


Figura 3.7: Esquema del sistema simulado.

En este esquema la fuente I_{REF} representa el punto de operación del sistema en el flat-top. A los efectos de simplificar el análisis y considerar una operación en régimen permanente se asumió que la carga se comporta un generador de corriente ideal de valor igual a la corriente media de I_1 . La tensión del capacitor de salida se consideró igual a la tensión de la carga en el flat-top.

La figura 3.8 muestra los resultados de la simulación para valores discretos de frecuencia y la curva analítica del retenedor de orden cero. En esta figura se puede apreciar la similitud entre los resultados de simulación y los analíticos.

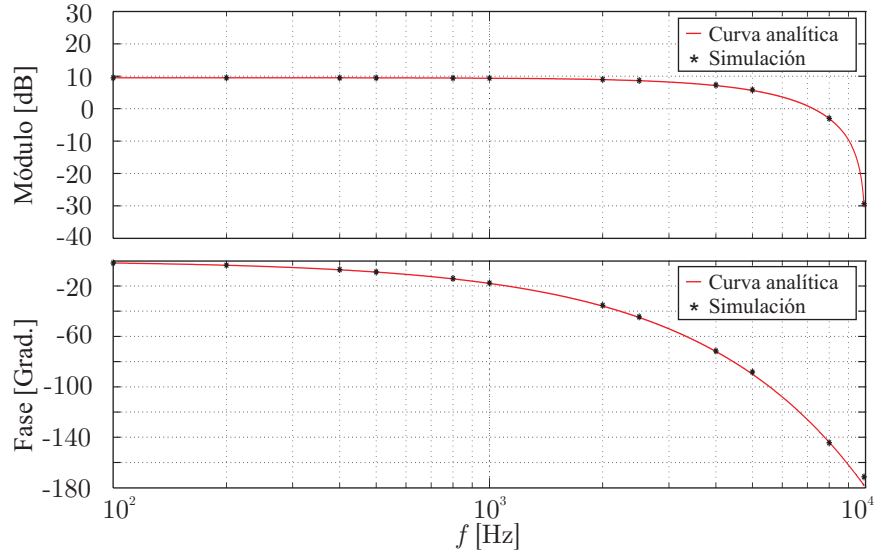


Figura 3.8: Respuesta en frecuencia del convertidor polifásico PCMC.

La existencia de un retenedor en el sistema limita la operación de cualquier lazo externo a frecuencias inferiores a $f_s/4$. Es decir, el modulador de interleaved operando en PCMC se puede considerar como un bloque de ganancia $K = n$ con un ancho de banda máximo de $f_s/4$, tal como se mencionó anteriormente.

3.2.4. Respuesta transitoria

En aplicaciones típicas de convertidores CC/CC la tensión diferencial entrada-salida ($V_{C2} - V_0$ en la Fig. 3.3) presenta poca variación. Normalmente, la tensión de salida V_0 es constante y la tensión de entrada V_{C2} sigue las variaciones de la tensión de red. Por esta razón, la respuesta transitoria de los moduladores existentes no es exigente. Sin embargo, en la estructura convertidora propuesta, (ver figura 3.2), la conexión del convertidor polifásico con la carga produce un cambio abrupto en la tensión de salida que afecta el desfase de los ripples de fase, sobretodo al inicio del flat-top.

Se evaluará a continuación la respuesta transitoria del modulador cuando

existen cambios importantes en la tensión diferencial. De manera conservadora se asume que la tensión de salida varía en forma de escalón. La figura 3.9 muestra el circuito empleado para la simulación en el cual, por razones de simplicidad, se ha sustituido el capacitor de salida del convertidor por un generador de tensión. Este modelo se corresponde con las condiciones que se dan al inicio de flat-top cuando la llave $S3$ se abre y la tensión del capacitor pasa de cero a $I_{FLAT-TOP} \cdot R$. Los parámetros empleados en la situación se resumen en la Tabla 3.1. Estos valores representan las características reales de una fuente de corriente pulsada de elevada corriente.

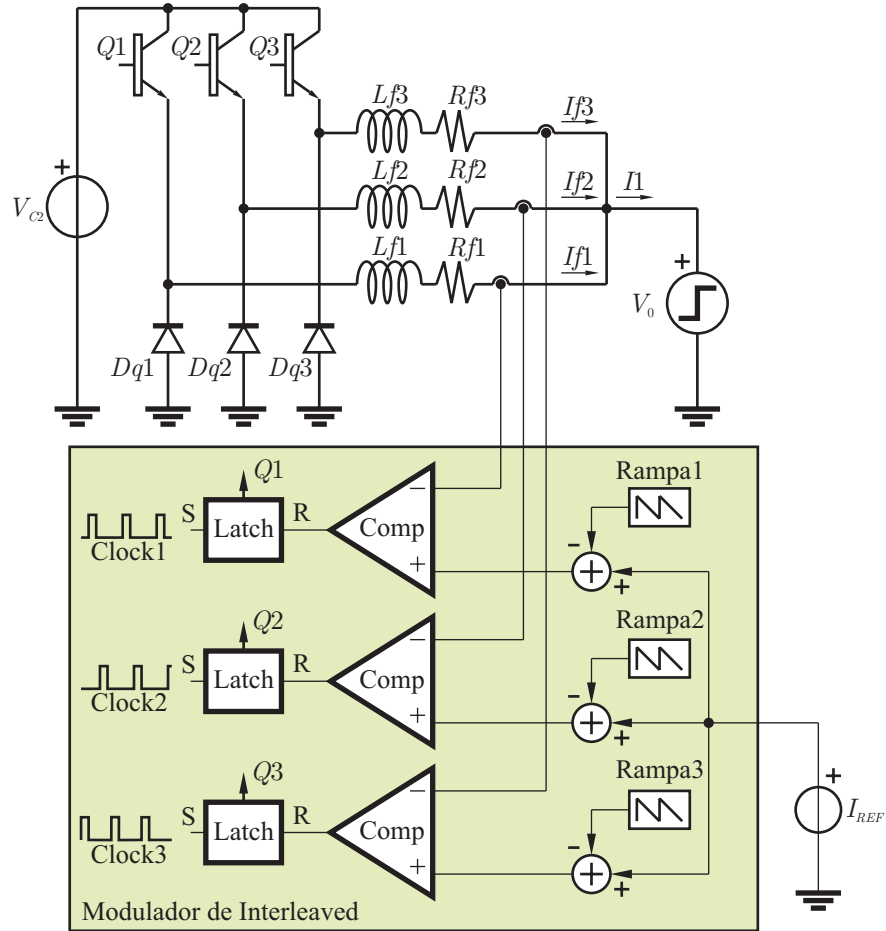


Figura 3.9: Modulador de Interleaved con control de corriente pico.

Corriente de referencia (I_{REF})	667 A
Tensión de entrada (V_{C2})	500 V
Inductancia de fase (L_f)	400 μ H
Resistencia de fase (R_f)	7 m Ω
Frecuencia de conmutación (clock)	10 kHz

Cuadro 3.1: Parámetros de la simulación.

La variación abrupta de la tensión de salida se simuló por medio un escalón de 300 V en el generador de tensión V_0 . En la simulación no se efectuaron cambios en la referencia de corriente a fin de no superponer efectos en el transitorio. La figura 3.10 muestra las corrientes en las fases y la corriente total de salida para dos casos de compensación con igual cambio en la tensión de salida. Los casos considerados corresponden al límite de compensación, $m_C = 0,5 \cdot m_{OFF}$, y al modo de compensación dead-beat, $m_C = m_{OFF}$.

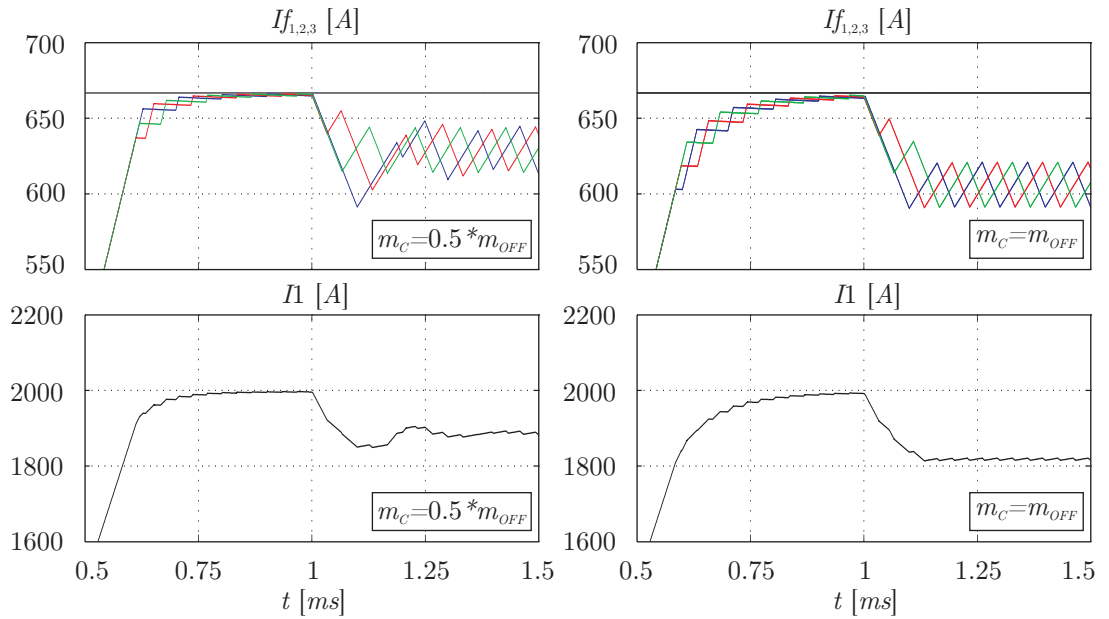


Figura 3.10: Respuesta transitoria del Modulador Interleaved PCMC.

Los resultados muestran que el cambio en la tensión de salida en el instante de flat-top ($t = 1$ ms) produce una variación en los ripples de corriente y en el

valor medio de la corriente total. Esto se debe al cambio en las pendientes que modifican el instante de comparación con la rampa de compensación.

La variación observada en el valor medio de la corriente total, del orden de 10 %, constituye un problema ya que incrementa la corriente de compensación del filtro activo. Debido a las limitaciones en la disipación de potencia de los dispositivos cuanto mayor es esta corriente menor es la velocidad de operación del filtro.

En este ensayo se observa además que la pendiente de la rampa modifica el comportamiento transitorio del convertidor, por lo tanto, su ajuste es una relación de compromiso entre la respuesta transitoria y la variación en el valor medio de la corriente de salida. La compensación límite (mínima pendiente) genera la menor variación en la corriente media con una respuesta transitoria subamortiguada. La compensación dead-beat, en tanto, produce una mayor variación en el valor medio de la corriente con una respuesta transitoria amortiguada.

Los resultados obtenidos muestran que el modulador interleaved basado en el control PCMC presenta problemas de respuesta transitoria y de valor medio de la corriente que lo hacen poco eficiente para el control de corriente de la estructura propuesta. Esta característica no deseada es común al resto de los moduladores existentes. A partir de todo lo expuesto anteriormente las condiciones que debería cumplir un modulador ideal son:

- Control del valor medio de la corriente de salida.
- Mínimo tiempo transitorio ante cambios de $V_{C2} - V_0$ o de la referencia.
- Mínimo error en la corriente media durante el transitorio.
- Baja sensibilidad al ruido y al offset de medición.

3.3. Control de corriente propuesto

A partir de las condiciones expuestas en la sección anterior se analizará el funcionamiento de un modulador genérico en condiciones ideales de estado estacionario, lo que servirá para el desarrollo del nuevo modulador. En estas condiciones la suma de los ripples es igual a cero y la frecuencia es fija (Fig.3.11a).

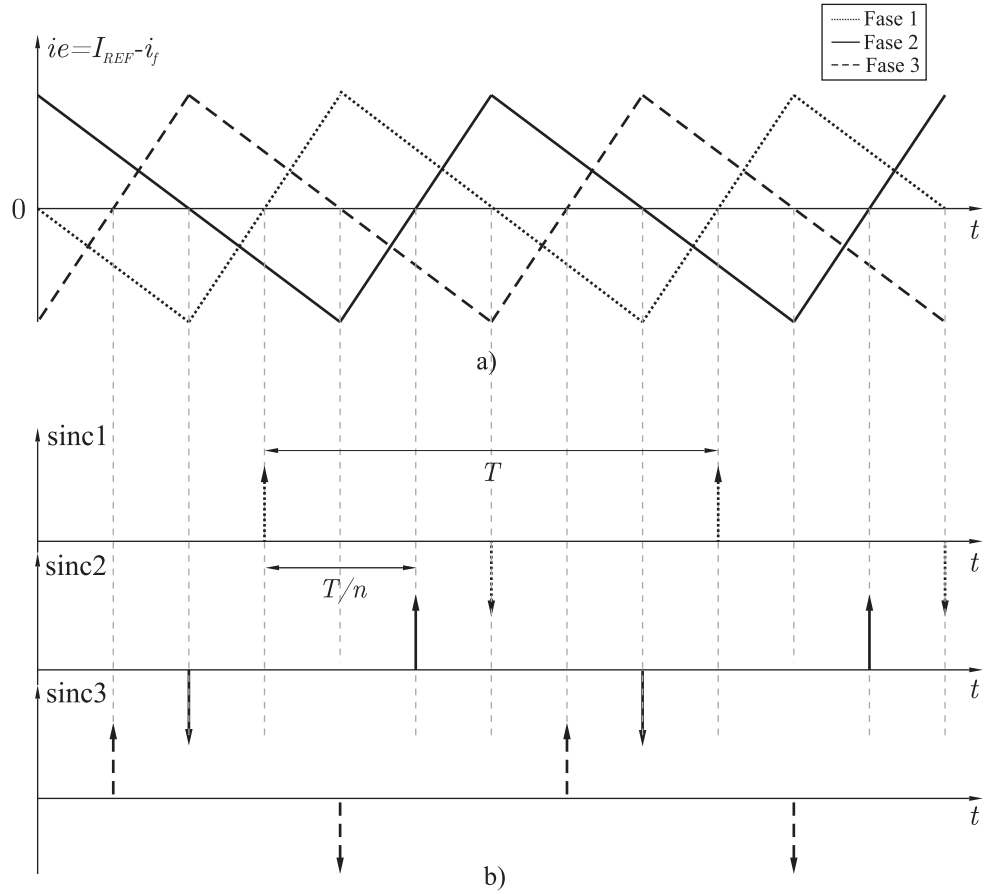


Figura 3.11: Condición ideal de interleaved.
a) Errores de corriente. b) Patrones de sincronismo.

Si se observan los cruces por cero de cada fase (figura 3.11b) y se los relaciona entre sí teniendo en cuenta sus pendientes cuando se producen los cruces, se obtiene que:

- En cada fase, como es lógico, las pendientes se alternan en forma equidistante en T .
- Si se analiza el patrón de cruces compuesto por todas las fases, éstas también están alternadas y desfasadas en T/n .

Esta característica es independiente de la tensión diferencial siempre que se esté en régimen permanente. Por lo que este patrón de cruce por cero es único y constituye la condición necesaria para realizar la conmutación de las fases, ajustar los ripples y controlar el valor medio en estado estacionario. En la práctica, este patrón (que denominaremos sincronismo) se logra a partir de una señal de clock de referencia de la cual se obtienen las tres señales de sincronismo desfasadas en T/n . Esta señal es simple de implementar por intermedio de un contador y un detector de flancos.

El método propuesto para el control de la corriente de flat-top consistirá en lograr que las corrientes de las fases o las compuestas crucen con error de tiempo cero y con su correcta pendiente, respecto del patrón de sincronismo correspondiente. En caso de no cumplirse esta condición, el método deberá modificar los instantes de conmutación a fin de sincronizar los cruces por cero con el patrón de sincronismo. Para facilitar la descripción del método se separará el análisis del sistema en pequeño error y gran error. En todos los casos se considerará la operación de una fase, ya que el control de las restantes se realiza en forma independiente.

3.3.1. Análisis de pequeño error

La figura 3.12 muestra el error de corriente de una fase para un caso de pequeño error, donde el error es nulo en el cruce (a) y vale $te(k)$ en el cruce (b); éste es provocado por un pequeño cambio de la tensión diferencial.

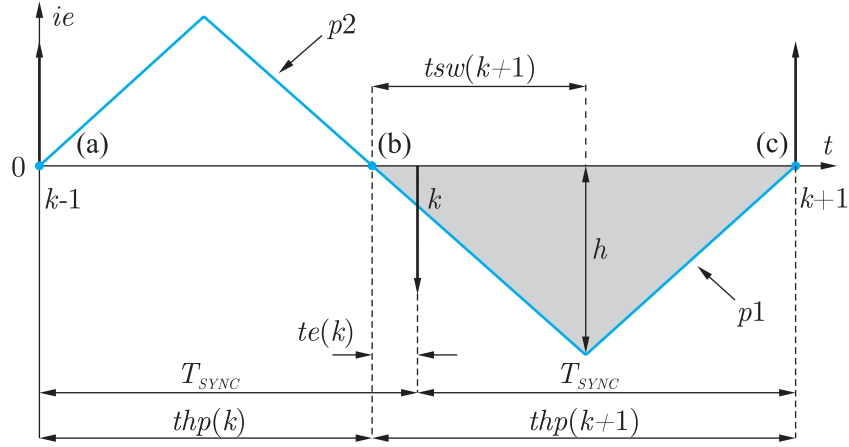


Figura 3.12: Análisis de pequeña señal.

Suponiendo que la tensión diferencial no cambiara en el próximo período de conmutación se puede determinar la duración del próximo semiperíodo $thp(k+1)$ de forma tal de evitar un error de cruce en el punto (c).

$$thp(k+1) = T_{SYNC} - te(k) \quad (3.6)$$

El error $te(k)$ puede ser positivo o negativo dependiendo de si el cruce ocurre antes o después del sincronismo. A partir de la figura 3.12 se obtiene la siguiente relación:

$$h = -p2 \cdot tsw(k+1) = p1 \cdot [thp(k+1) - tsw(k+1)] \quad (3.7)$$

donde h es la amplitud del ripple $p1$ y $p2$ son las pendientes del error de corriente, $thp(k+1)$ es el semiperíodo deseado y $tsw(k+1)$ el tiempo de conmutación.

Si se opera con (3.7) se obtiene la siguiente expresión para el tiempo de conmutación:

$$tsw(k+1) = \left(\frac{p1}{p1 - p2} \right) \cdot thp(k+1) \quad (3.8)$$

La expresión (3.8) muestra que para calcular el tiempo de conmutación es necesario conocer el valor de las pendientes del error de corriente. Si se consideran despreciables las resistencias serie de los inductores se puede plantear que:

$$p1 = \frac{V_{C2} - V_0}{Lf} \quad (3.9)$$

$$p2 = -\frac{V_0}{Lf} \quad (3.10)$$

Luego, sustituyendo (3.9) y (3.10) en (3.8) se obtiene:

$$tsw(k+1) = \left(1 - \frac{V_0}{V_{C2}}\right) \cdot thp(k+1) \quad (3.11)$$

Analizando las expresiones anteriores, se puede ver que el método propuesto corrige el error de cruce en el próximo período evaluando las expresiones (3.6) y (3.11). Realizando un análisis similar para el caso de cruce por cero con pendiente positiva se obtiene la siguiente expresión:

$$tsw(k+1) = \left(\frac{V_0}{V_{C2}}\right) \cdot thp(k+1) \quad (3.12)$$

El cálculo de (3.11) y (3.12) es extremadamente simple de implementar por medio de cualquier plataforma digital. Debido a que estas expresiones no requieren un elevado poder computacional, la frecuencia de conmutación que se puede obtener no está limitada por el tiempo de calculo.

3.3.2. Análisis de gran error

Los cambios abruptos de la tensión diferencial o de la corriente de referencia se deben detectar a los efectos de evitar conmutaciones erróneas. La figura 3.13 muestra el caso de un cambio abrupto de la referencia.

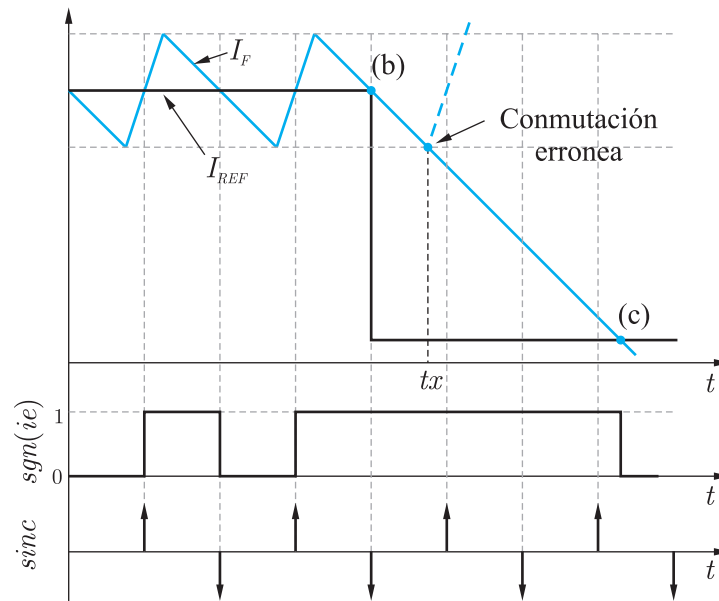


Figura 3.13: Cambio abrupto en la referencia.

Cuando se detecta el cruce por cero en el punto (b) el sistema calcula la próxima conmutación para el instante tx . Esta conmutación errónea generaría una acción contraria al seguimiento de la referencia. La acción correcta, en este caso, es inhibir la conmutación y esperar el próximo cruce por cero (c) para reiniciar los cálculos. La detección de esta condición se realiza verificando la correspondencia de signo entre el error de corriente y su pendiente. Es decir, la conmutación se habilita cuando el signo del error y el signo de la pendiente son iguales. Esta acción inhibe las conmutaciones erróneas, pero no controla la recuperación del cruce por cero con el adecuado pulso de sincronismo.

Esto se comprenderá mejor a través de la figura 3.14 que muestra el caso normal (caso 1) para el punto (c) de la figura 3.13, donde luego del cruce por cero, se calcula el tiempo de conmutación para ajustar el cruce con pendiente positiva. Esto origina un semiciclo negativo de amplitud h_1 , que es mayor al deseado, provocando un error en el valor medio de la corriente, difícil de corregir por medio de un lazo externo de control de corriente.

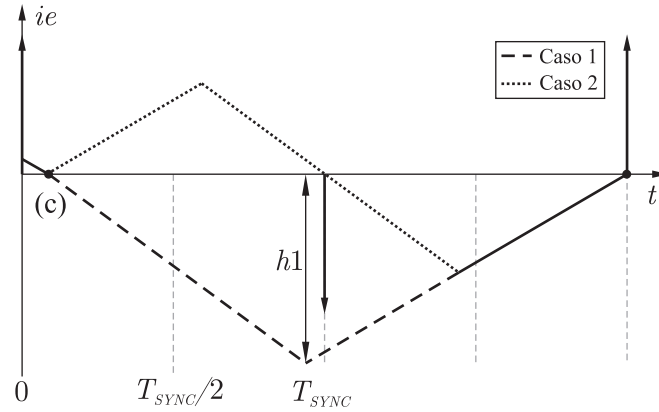


Figura 3.14: Recuperación de sincronismo después de cambio abrupto.

Una solución a este problema está ejemplificada a través del caso 2, donde se evalúa si el cruce por cero se produce a una distancia mayor que $T_{SYNC}/2$ del pulso de referencia correspondiente a la pendiente adecuada. Si este fuera el caso, el sistema realiza una conmutación anticipada inmediatamente después del cruce por cero para sincronizarse con el próximo cruce. Por otro lado, si el cruce por cero se produjera a una distancia menor que $T_{SYNC}/2$, el sistema continuará su evolución y corregiría el error como una perturbación de pequeño error.

3.3.3. Modelo dinámico del modulador propuesto

A los efectos de evaluar el comportamiento dinámico del convertidor polifásico con el modulador propuesto se analizará la respuesta del sistema en condiciones de pequeño error. El control propuesto corrige pequeños errores de cruce por cero en un período de sincronismo, por lo tanto, puede considerarse como un control dead-beat. La función transferencia de un control dead-beat se puede expresar como:

$$\frac{I_f(z)}{I_{REF}(z)} = Z^{-1} \quad (3.13)$$

En tiempo continuo la transferencia del modulador durante el flat-top se puede considerar como un retardo igual al período de la señal de sincronismo. Esta característica no se puede extender al caso de gran error ya que la velocidad máxima del sistema se encuentra limitada por el valor de las inductancias de fases y la tensión diferencial.

A fin de evaluar la transferencia del modulador se realizaron simulaciones con perturbaciones de pequeña señal en la referencia. Para simplificar el orden de la planta se consideró que la tensión de salida del modulador permanecía constante. Esta suposición es similar a la efectuada con el modulador PCMC y corresponde a la operación del sistema en el flat-top.

La figura 3.15 muestra la respuesta en frecuencia de los dos moduladores, PCMC (Fig.3.15a) y propuesto (Fig.3.15b). En ambos casos se muestran los resultados de simulación y las curvas analíticas.

Se observa que la fase del modulador propuesto es igual a la curva analítica del retardo y que el módulo de la ganancia del modulador decae para valores cercanos a la frecuencia de conmutación. Esta respuesta en frecuencia, al igual que en el PCMC, restringe la operación del modulador a frecuencias inferiores a $f_s/4$. Si se comparan las respuestas en frecuencia del PCMC y del modulador propuesto, se concluye que las características de fase son iguales y que el módulo del sistema propuesto presenta una menor caída de ganancia.

3.3.4. Respuesta transitoria

Para evaluar la respuesta transitoria se realiza una simulación en las mismas condiciones, tanto para el modulador propuesto como para el PCMC. La figura 3.16a muestra el comportamiento transitorio de las corrientes de fase para el PCMC y la 3.16b para el modulador propuesto.

Se puede observar que, a diferencia del PCMC, el modulador propuesto mantiene el valor medio en las corrientes de fase después del transitorio. Además, al inicio del control, existe una importante diferencia de velocidad para ajustar las corrientes de fase al valor de referencia. En el caso del modulador propuesto la

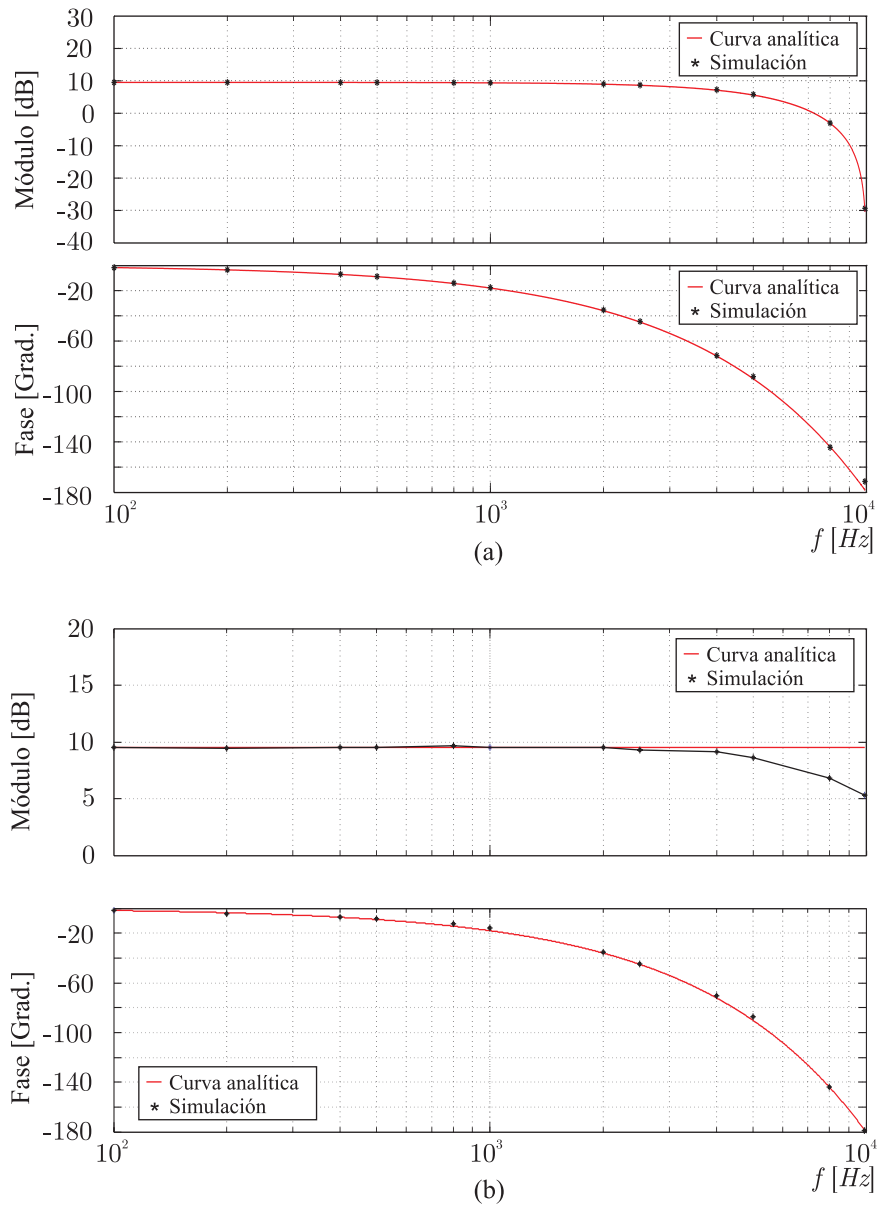


Figura 3.15: Respuesta en frecuencia del PCMC (a) y del modulador propuesto (b).

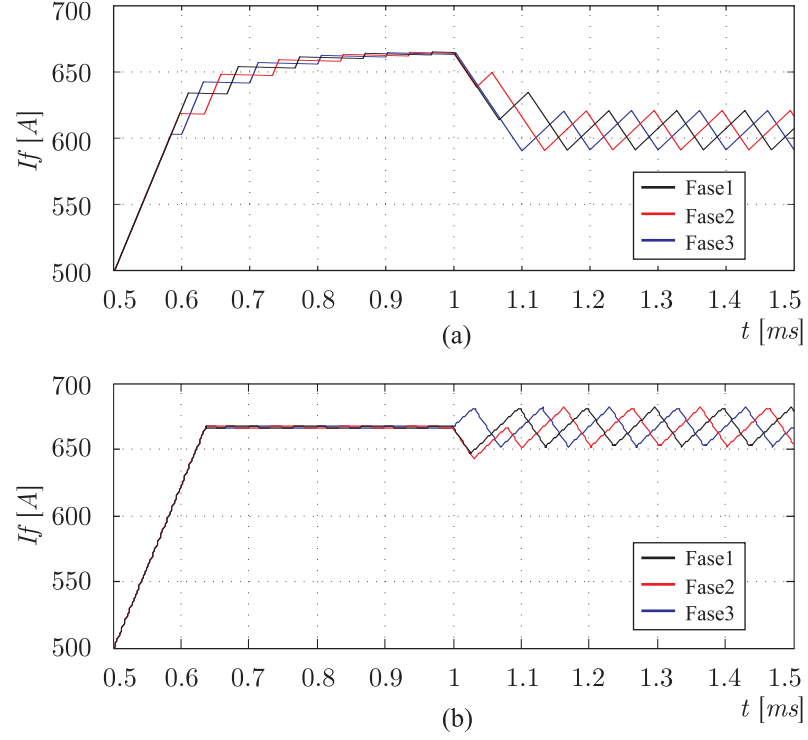


Figura 3.16: Comparación respuesta transitoria.
a) Modulador PCMC. b) Modulador propuesto.

corriente en las fases llega al valor de referencia mucho antes que con el modulador PCMC. En la aplicación de la fuente pulsada, esta característica permite asegurar que la corriente del convertidor polifásico estará controlada antes de que la corriente de carga alcance el flat-top.

La figura 3.17 muestra la corriente de salida del convertidor polifásico para ambos moduladores. Se aprecia que la duración del transitorio para el modulador propuesto es menor que para el PCMC.

Los resultados obtenidos muestran que el modulador propuesto presenta una respuesta transitoria superior a la del PCMC. El pequeño transitorio ocurre porque es necesario un tiempo para ajustar los ripples de corriente. Además, se observa que el método propuesto mantiene el valor medio de la corriente total, lo que contribuye a alcanzar la precisión deseada. En los casos donde se requiera

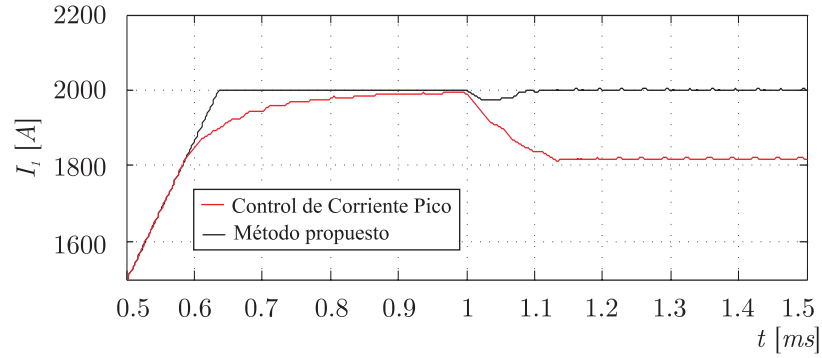


Figura 3.17: Corriente total de salida del convertidor.

un filtro activo, las exigencias de éste serán menores con el modulador propuesto. Seguidamente se analizará la sensibilidad del mismo frente a los errores de medición.

3.3.5. Análisis de errores de medición

La detección del cruce por cero del error de corriente puede presentar errores de medición debidos a ruido. Para simplificar el análisis de este problema se considera el error generado por una detección errónea de cruce y se evalúa su evolución.

La figura 3.18 muestra esta situación para una fase. Inicialmente, el sistema se encuentra en estado estacionario y el cruce por cero coincide con el patrón de sincronismo (punto (a)). Suponiendo que existe un error $\Delta t1$ en el próximo cruce por cero (b) producido por la detección errónea de cruce por cero, el algoritmo calcula el tiempo de conmutación asumiendo que la evolución de la corriente es la indicada en línea punteada. Esto origina una conmutación anticipada en el punto (c) que modifica la amplitud del ripple respecto de la condición de estado estacionario. Además produce un error real de cruce por cero ($\Delta t2$) en el punto (d).

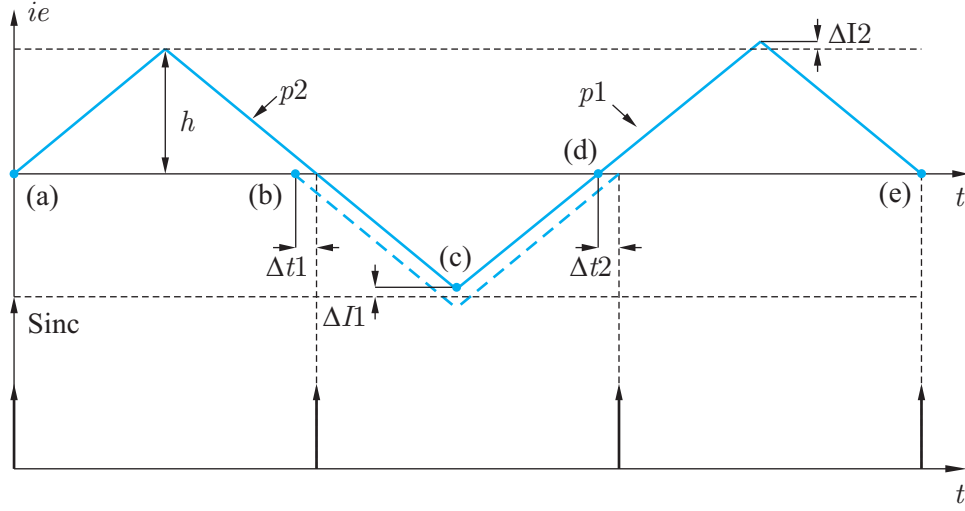


Figura 3.18: Error en la detección de cruce por cero.

Si se asume que la medición del cruce en (d) se realiza sin error, el sistema ajusta el tiempo de conmutación para corregir el próximo cruce en el punto (e). Se puede concluir que la detección errónea de un cruce por cero no tiene un efecto acumulativo y que el sistema propuesto corrige el error después de un período de conmutación.

A partir del análisis de la figura 3.18 se pueden determinar las expresiones (3.14) y (3.15) para el cálculo de los errores de cruce por cero y de amplitud provocados por la detección errónea $\Delta t1$:

$$\Delta t2 = -\frac{p2}{p1}\Delta t1 \quad (3.14)$$

$$\Delta I1 = \Delta I2 = -\left(\frac{p2^2}{p2 - p1}\right) \cdot \Delta t1 \quad (3.15)$$

Los errores de amplitud $\Delta I1$ y $\Delta I2$ afectan el valor medio de la corriente de fase, como se representa para una fase en la figura 3.19.

A los efectos de evaluar la desviación máxima del valor medio de la corriente

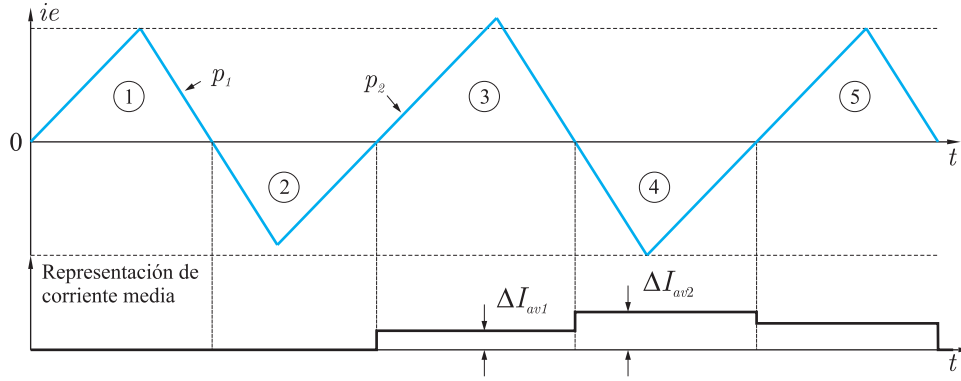


Figura 3.19: Error transitorio en el valor medio de la corriente.

y simplificar el análisis se considera que el valor medio se actualiza en cada cruce por cero. De esta forma ΔI_{av1} se obtiene a partir de los semiciclos (1) y (2), y ΔI_{av2} de los semiciclos (2) y (3). En la figura 3.19 se puede ver que la máxima desviación respecto del valor medio ideal es ΔI_{av2} . Haciendo uso de las expresiones (3.14) y (3.15) se obtiene:

$$\Delta I_{av2} = \Delta I_1 + h \cdot \left(\frac{\Delta t_2}{T} \right) = - \left(\frac{p_2^2}{p_2 - p_1} \right) \cdot \Delta t_1 + \left(-\frac{p_2}{p_1} \right) \cdot \frac{\Delta t_1 \cdot h}{T} \quad (3.16)$$

donde h es la amplitud del ripple en condición ideal de estado estacionario y $T = 2 \cdot T_{SYNC}$. Para el caso en que las pendientes sean iguales, $p_1 = p_2 = p$, se obtiene:

$$\Delta I_{av2} = p \cdot \Delta t_1 \quad (3.17)$$

La expresión (3.17) muestra que el error en el valor medio producido por la detección errónea de un cruce por cero depende del valor de las pendientes y del error de tiempo en la detección. Este error no puede ser corregido por el sistema y debe ser filtrado por la carga.

Otro aspecto a analizar es el offset en la medición de la corriente de fase. La figura 3.20 muestra la corriente medida (línea punteada) y la corriente real (línea llena).

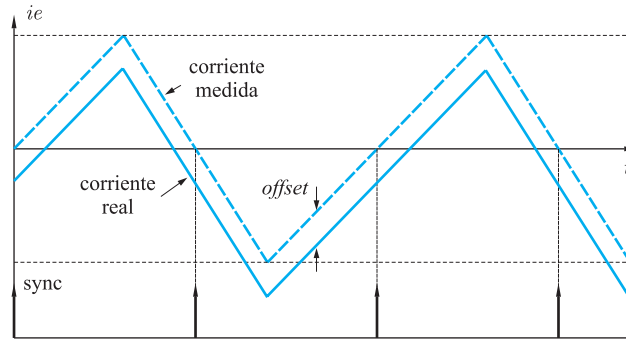


Figura 3.20: Offset en la medición de corriente.

El sistema ajusta los cruces por cero de la corriente medida resultando una corriente de salida con errores, debido al offset de medición. Dado que este offset es constante, el mismo puede ser corregido por un lazo de control de corriente externo implementado con el filtro activo. En caso contrario este problema se puede solucionar con un ajuste manual de la referencia.

Es importante resaltar que estos mismos errores de medida en un sistema PCMC llevan a ciclos límites que sólo pueden ser eliminados por medio de una pérdida de ganancia, lo cual trae aparejado una disminución en la precisión del sistema.

3.4. Conclusiones del capítulo

En este capítulo se resaltaron los aspectos más importantes de la utilización de un convertidor polifásico en el flat-top. Se analizó además la problemática del PCMC para el control del convertidor interleaved polifásico con la estructura propuesta. Como consecuencia se desarrolló un nuevo modulador capaz de tolerar

cambios abruptos en la tensión diferencial de entrada-salida y en la referencia con mínimo error y duración transitoria. Estas características permiten extender el uso de los convertidores interleaved en aplicaciones de alta potencia, alta tensión y alta corriente con variaciones abruptas de la tensión diferencial.

El modulador propuesto permite además reducir las exigencias del lazo de control de corriente externo respecto de los moduladores existentes debido a su mejor respuesta transitoria.

Capítulo 4

Controlador Multiestructura

4.1. Introducción

La topología propuesta para la fuente pulsada de corriente consiste en dos convertidores que operan de forma alternativa no simultánea. Por lo tanto, el controlador deberá ofrecer una característica funcional diferente para cada estructura. Como consecuencia, se deberá prestar especial atención a las condiciones de cada etapa antes y después de los cambios de estructura. En particular se tendrá que analizar las condiciones iniciales, la frecuencia de muestreo, la variación de parámetros y la sincronización, a fin de cumplir con los objetivos de precisión y funcionalidad en todo momento.

Estas características son especialmente críticas en el transitorio del flat-top, ya que la conexión de las dos etapas puede generar respuestas transitorias debidas a diferencias entre la corriente de la carga y la corriente del generador polifásico, o entre la tensión de salida y la tensión del capacitor de acople. Asimismo, aún si las condiciones iniciales de las etapas son las de régimen permanente, los transitorios se pueden producir por desajustes en las condiciones iniciales del controlador del lazo externo.

En este capítulo se analizarán las problemáticas expuestas. En particular se estudiará la respuesta transitoria producida durante el acoplamiento y se pondrán diferentes soluciones. Además, debido a la elevada exigencia de precisión en el flat-top, se analizará la característica de rechazo en frecuencia del sistema frente a los ripples de corriente de los distintos convertidores.

4.2. Funcionamiento y control de las etapas de generación del pulso

El control de cada tramo del pulso, ascenso, transitorio de acoplamiento, flat-top, descenso y fin de pulso presenta problemáticas diferentes. La figura 4.1 muestra el pulso de corriente con la indicación de cada etapa.

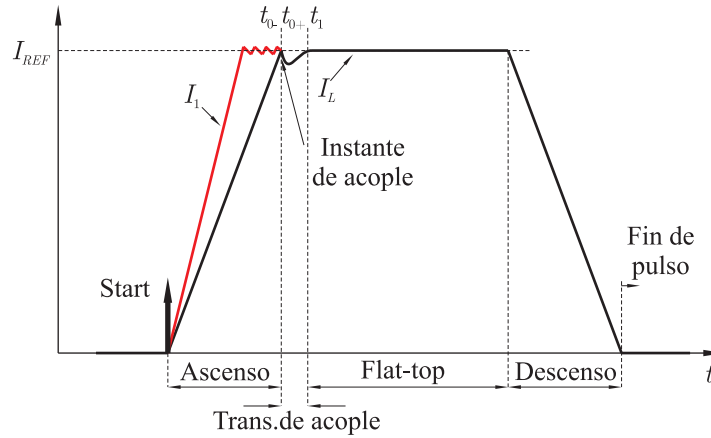


Figura 4.1: Etapas durante la generación del pulso.

4.2.1. Ascenso

Esta etapa se inicia con el arribo de una señal de inicio denominada Start. A partir de esta señal se ponen en funcionamiento dos subestructuras: el puente

de alta tensión y el convertidor polifásico. El control del puente de alta tensión enciende las llaves $S1$ y $S2$, Fig. 4.2, para iniciar la corriente en la carga I_L .

El control del convertidor polifásico inicia la subida de las corrientes de fase (I_{f1}, I_{f2}, I_{f3}) encendiendo las llaves $Q1, Q2 \dots QN$ y la llave $S3$. Además, habilita el sensado de I_{f1}, I_{f2}, I_{f3} para detectar el instante en que se alcanza la referencia, e inicia la operación del controlador interleaved. La suma de las corrientes de fase (corriente I_1) debe aumentar ligeramente más rápido que la corriente de la carga a fin de garantizar que la misma se encuentre controlada en el valor de referencia antes del acoplamiento, como se muestra en la figura 4.1.

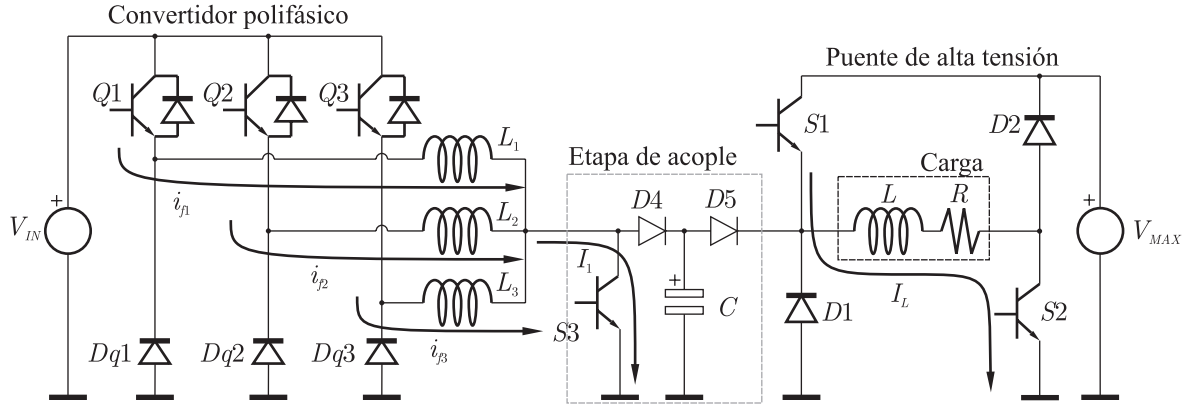


Figura 4.2: Operación del sistema en la etapa de ascenso.

Cuando la corriente I_L ha alcanzado la referencia se abren simultáneamente $S1$ y $S3$. De esta forma, se desactiva el puente de alta tensión y se conecta naturalmente el capacitor y el convertidor polifásico a la carga. Cualquier pequeño desajuste en los tiempos de accionamiento de $S1$ y $S3$ no produce inconvenientes de funcionamiento, ya que existen caminos alternativos, a través de los diodos $D1, D4$ y $D5$.

4.2.2. Transitorio de acoplamiento

Para analizar el transitorio de acoplamiento se propone estudiar las condiciones del circuito para el instante inmediato anterior y posterior al acoplamiento. La figura 4.3 muestra el circuito en $t = 0-$, donde se consideran sólo los elementos que intervienen en el acoplamiento y se sustituye al convertidor polifásico por un generador de corriente de valor I_1

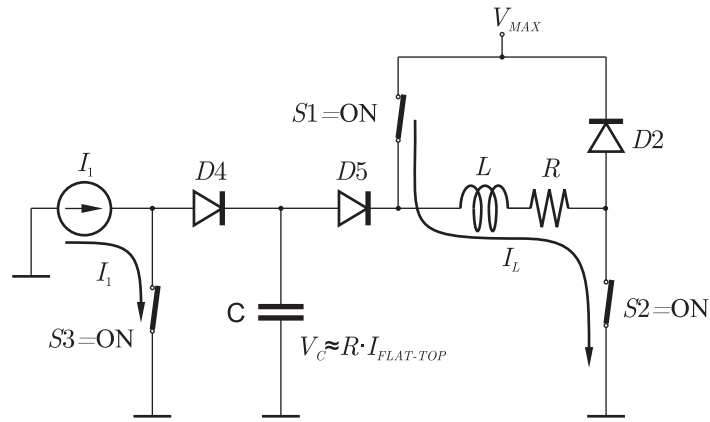


Figura 4.3: Circuito equivalente en el momento de acople $t = 0-$.

En $t = 0-$ la corriente del generador polifásico está controlada en el valor de flat-top y circula a tierra a través de $S3$. Por otro lado, la corriente I_L se encuentra próxima al valor de referencia y el capacitor se mantiene cargado a la tensión de flat-top, debido al bloqueo de $D4$ y $D5$. Cuando I_L alcanza el valor deseado, $S1$ y $S3$ se abren y la estructura del sistema cambia, figura 4.4a.

La figura 4.4b muestra el esquema equivalente simplificado con las condiciones iniciales. Si bien la conexión de las estructuras se realiza respetando las reglas de conectividad entre fuentes, existen diferencias inevitables en las condiciones iniciales de las etapas, las cuales generan respuestas transitorias indeseadas. Por ejemplo, aunque las corrientes del convertidor polifásico están controladas en valor I_{REF}/n , la suma instantánea (I_1) no es igual a la corriente de flat-top debido al

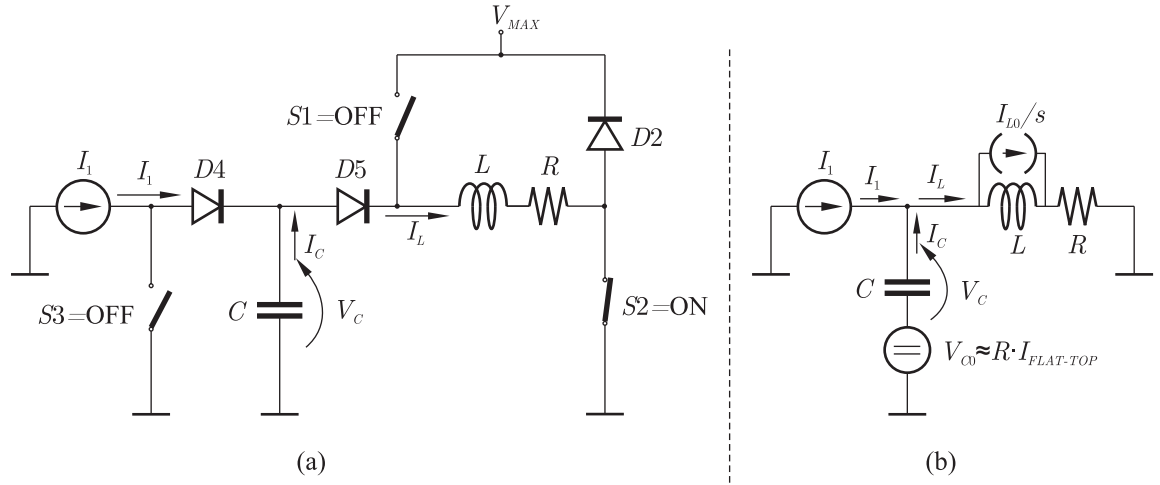


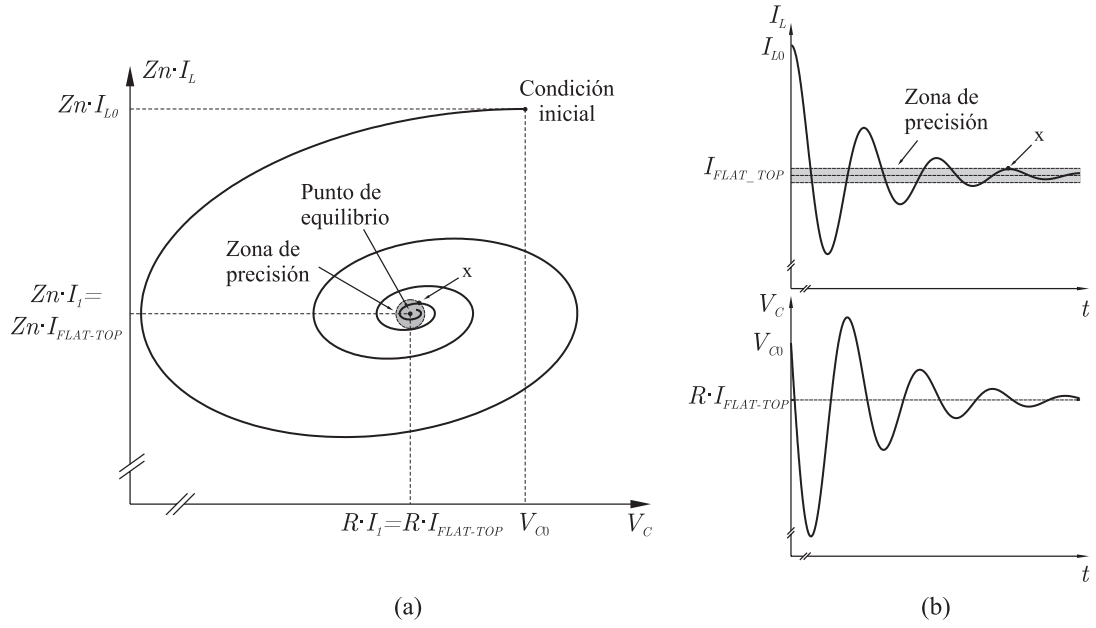
Figura 4.4: Circuito equivalente en $t = 0+$.
a) Esquema detallado, b) Esquema simplificado.

ripple. Por otro lado, aún si la detección del arribo de I_L al valor de flat-top fuera precisa, la elevada pendiente de subida de I_L y los retardos inevitables en la apertura de $S1$ ocasionan que I_L sea distinta al valor de flat-top en el momento de acople. El transitorio de V_C e I_L hacia el estado estacionario se puede analizar sobre el plano de estados, Fig. 4.5a. Un análisis más detallado se realiza en el Apéndice B.

En la figura 4.5a se observa el punto de equilibrio, que representa la condición ideal de estado estacionario, dada por $Zn \cdot I_1$ ¹ y $R \cdot I_1$. A los efectos de simplificar el análisis se asume que, en el instante de acople, la corriente I_1 es igual a la corriente deseada en el flat-top. Es decir, se considera despreciable el ripple de salida del convertidor polifásico.

Si durante el acoplamiento, la condición inicial de I_L y V_C coincide con los valores de estado estacionario, las variables del sistema permanecen constantes en la condición de punto de equilibrio, es decir, no se produce transitorio. Por el

¹ Zn es la impedancia de normalización utilizada para que las trayectorias del plano de estados de un circuito LC sean circunferencias en lugar de elipses. Su valor esta dado por $\sqrt{L/C}$.

Figura 4.5: Variables de estado V_C e I_L en el transitorio.

a) Plano de estado, b) Evolución temporal.

contrario, si en el momento de acople I_L y V_C no coinciden con la condición de equilibrio, las variables del sistema evolucionaran con una respuesta oscilatoria amortiguada a partir de las condiciones iniciales hacia el estado de régimen permanente. Esta evolución esta gobernada por L y C y su respuesta en el plano de estados se representa por la trayectoria que va desde la condición inicial hacia el punto de equilibrio.

La frecuencia de oscilación y la máxima amplitud de I_L están dadas por:

$$\omega = \sqrt{\frac{1}{L \cdot C} - \frac{R^2}{4 \cdot L^2}} \quad (4.1)$$

$$I_{L\ MAX} = (I_{L0} - I_1) \quad (4.2)$$

donde L es la inductancia de carga, C el capacitor de acoplamiento, R la resistencia de carga, I_{L0} la condición inicial de la corriente en la carga e I_1 la corriente del convertidor polifásico.

Se puede observar que cada vuelta de la trayectoria de estados corresponde a un período de oscilación de valor T , dado por:

$$T = 4 \cdot \pi \cdot L \cdot \sqrt{\frac{C}{4L - R^2 \cdot C}} \quad (4.3)$$

Por lo tanto, el tiempo transitorio total dependerá del número de vueltas antes de llegar a la zona de precisión (punto X) multiplicado por T .

Las expresiones anteriores muestran que las características de la respuesta oscilatoria dependen del capacitor de acople y de la carga. Respecto al capacitor de acople, si bien sería posible un ajuste, su elección es una relación de compromiso entre la frecuencia de la oscilación y el filtrado de la corriente de alta frecuencia. Es decir, un capacitor pequeño reduciría el período de la oscilación pero empeoraría el filtrado del ripple y viceversa. En el caso de la carga, ésta está impuesta por la aplicación.

Existen diferentes formas de controlar el transitorio de acoplamiento, como agregado de circuito de compensación (amortiguamiento pasivo), control de la corriente I_1 (control por trayectoria de estados) y realimentación de las variables de estados. En el Apéndice B se analizan los diferentes métodos de control de transitorio con sus ventajas y desventajas. Por medio de este análisis, se demuestra que la mejor solución es el control por realimentación de estados, ya que permite reasignar en forma electrónica y con total libertad los polos del circuito RLC . Esta característica resulta muy ventajosa respecto de los otros métodos porque otorga una mayor flexibilidad en el ajuste del lazo externo.

La figura 4.6 muestra un esquema circuital de la realimentación de estados.

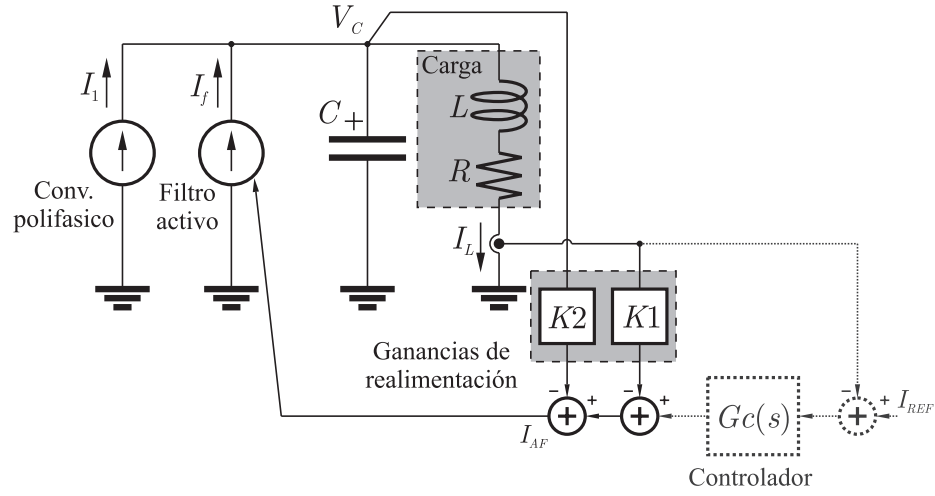


Figura 4.6: Esquema de compensación por realimentación de estados.

4.2.3. Flat-top

Diseño del lazo de control

La precisión requerida en el flat-top imponen el control de la corriente en la carga por medio de un lazo externo. Las características que debe cumplir este control son:

- Error nulo al escalón en estado estacionario.
- Máximo rechazo a perturbaciones.
- Máximo ancho de banda.
- Margen de fase superior a 50° .

La planta a controlar esta formada por el circuito de segundo orden que forman la carga RL y el capacitor de acople.

La estrategia de control propuesta consiste en realimentar las variables de estados de la planta (V_C e I_L), a fin de reasignar los polos de la misma, y la corriente I_L , por medio de un lazo externo, para controlar la corriente de carga en el flat-top.

El lazo externo utiliza un controlador tipo integral para asegurar error nulo de la corriente I_L durante el flat-top y la realimentación de estados se ajusta para reasignar los polos (ω_1 y ω_2), de la planta realimentada, por encima de la frecuencia de corte.

La figura 4.7 muestra el diagrama en bloques del sistema de control digital, donde K'_1 y K'_2 son las ganancias de realimentación de estados internas del sistema digital.

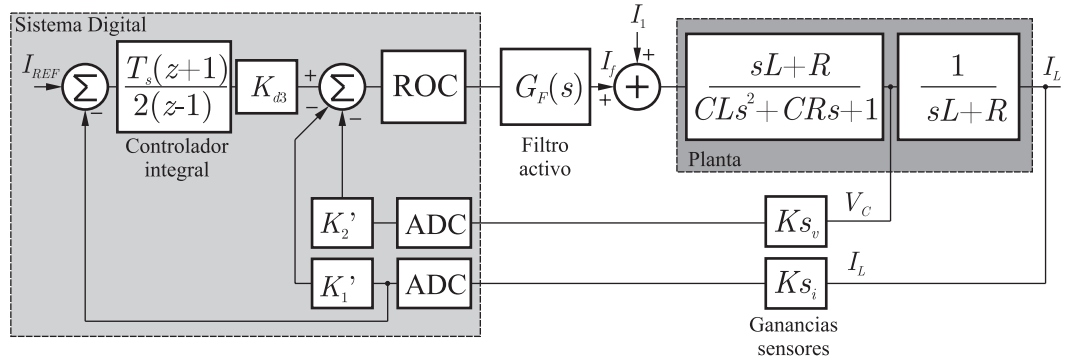


Figura 4.7: Diagrama en bloques del control propuesto.

Asumiendo que la frecuencia de muestreo es mucho más alta que las frecuencias del sistema (ω_C , ω_1 , ω_2), se representa por medio de la transformación bilineal el diagrama de Bode asintótico de la transferencia a lazo abierto, $GH(\omega)$, del lazo de realimentación externa, Fig. 4.8. Este lazo está formado por la transferencia del controlador y la transferencia a lazo cerrado de la realimentación de estados de la planta.

La frecuencia de los polos (ω_1 y ω_2) se ajusta de forma tal de evitar que los posibles transitorios generados durante el acoplamiento tengan un comportamiento más lento que el deseado y para lograr que el margen de fase del lazo externo sea el adecuado. Sin embargo, por cuestiones de estabilidad es necesario que la

frecuencia de estos polos no exceda el ancho de banda del filtro activo. El controlador integral representa el compensador más simple de implementar y ajustar, que permite obtener error nulo en la corriente media del flat-top.

Para determinar la ganancia del controlador integral y de la realimentación de estados resulta necesario obtener el modelo de estado discreto de la planta.

$$\begin{cases} \mathbf{x}(k+1) = \mathbf{G} \cdot \mathbf{x}(k) + \mathbf{H} \cdot \mathbf{u}(k) \\ \mathbf{y}(k) = \mathbf{C} \cdot \mathbf{x}(k) \end{cases} \quad (4.4)$$

Donde: $\mathbf{G} = e^{\mathbf{A}T}$ y $\mathbf{H} = \left(\int_0^T e^{\mathbf{A}\lambda} d\lambda \right) \mathbf{B}$.

Las matrices $\mathbf{A}$ y $\mathbf{B}$ corresponden al modelo continuo de la planta y el tiempo T al período de muestreo. Para calcular las ganancias de realimentación se calculan los polos en el plano discreto a partir del valor deseado de frecuencia en el plano continuo. El mapeo del plano continuo al discreto se realiza empleando la transformada Z .

$$z_1 = e^{-p_1 \cdot T} \quad (4.5)$$

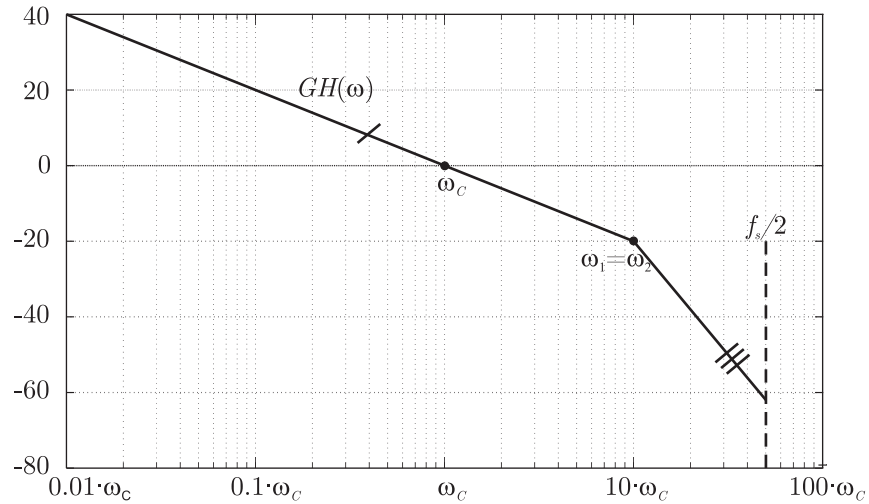


Figura 4.8: Diagrama de Bode asintótico de $GH(\omega)$.

A partir de los polos en Z se determina la ecuación característica deseada de la planta realimentada, considerando una compensación con amortiguamiento crítico.

$$(z + z_1)^2 = z^2 + 2z_1 \cdot z + z_1^2 \quad (4.6)$$

Los coeficientes de esta ecuación se igualan con el polinomio obtenido a partir de las matrices del sistema.

$$|zI - G + HK| = z^2 + \alpha_1 z + \alpha_2 \quad (4.7)$$

Dado que los α_i son función del período de muestreo T y de las ganancias de realimentación, a partir de esta igualación se obtiene las ecuaciones para el cálculo de las ganancias K_{d1} y K_{d2} . Otra forma de determinar estas ganancias es mediante el empleo de la fórmula de Ackermann [40].

Una vez obtenidas las ganancias de realimentación es necesario tener en cuenta las ganancias de los sensores y la relación entre los conversores de entrada y salida para la obtención de las constantes del algoritmo K'_1 y K'_2 :

$$K_{d1} = K'_1 \cdot K_{s_i} \cdot Kr \Rightarrow K'_1 = K_{d1} / (K_{s_i} \cdot Kr) \quad (4.8)$$

$$K_{d2} = K'_2 \cdot K_{s_v} \cdot Kr \Rightarrow K'_2 = K_{d2} / (K_{s_v} \cdot Kr) \quad (4.9)$$

donde Kr es la relación entre el rango dinámico del ADC y del DAC, K_{s_i} es la ganancia del sensor de corriente y K_{s_v} la ganancia del sensor de tensión.

La realimentación de la planta por variables de estado presenta a lazo cerrado una ganancia de continua K_{0d} con dos polos reasignados a una frecuencia superior a ω_{cd} deseada. El valor de K_{0d} depende de las constantes de realimentación anteriormente calculadas.

$$K_{0d} = \frac{1}{(1 + K_{d1} + R \cdot K_{d2})} \quad (4.10)$$

Luego, la ganancia del compensador digital se puede calcular como:

$$K_{d3} = \omega_{cd} / (K_{0d} \cdot K s_i) \quad (4.11)$$

donde: $\omega_{cd} = \frac{2}{T} \text{tg}(\omega_C T/2)$ y ω_C es la frecuencia de corte deseada en el plano continuo.

Rechazo a los ripples de conmutación

La precisión de la corriente en el flat-top depende, entre otros factores, del rechazo del lazo de control a los ripples de corriente de los convertidores. La figura 4.9 muestra el diagrama en bloques del sistema de control digital.

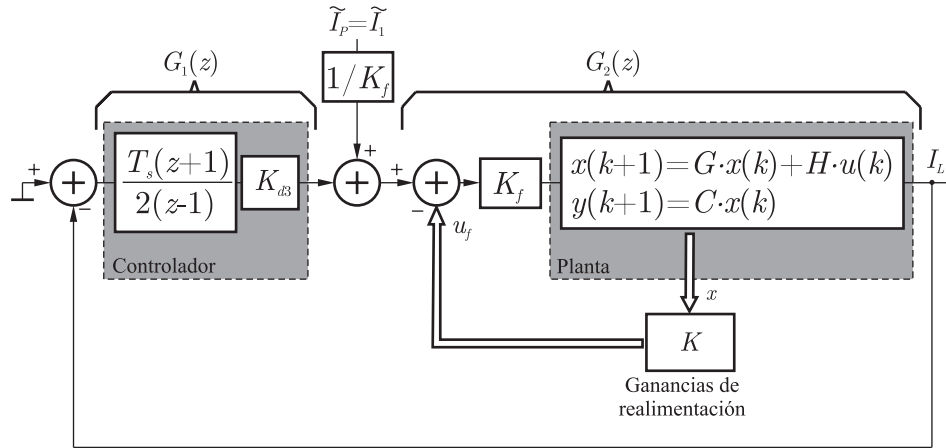


Figura 4.9: Diagrama en bloques con entrada de perturbaciones.

En el caso del ripple del filtro activo, $\tilde{I}_f$, éste sólo puede ser filtrado por la planta, ya que los lazos de realimentación no presentan rechazo a esta componente.

El ripple del convertidor de entrada, $\tilde{I}_1$, ingresa al lazo de control afectado por la transferencia del filtro activo. Asumiendo que el ancho de banda de este filtro

es mayor que los polos del sistema, se considera que la transferencia del mismo es constante e igual a K_f .

Para facilitar el análisis se separa la transferencia de la planta realimentada, G_2 , de la transferencia del controlador, G_1 y se asume al ripple de I_1 como una señal de entrada I_P . Luego, la función transferencia entre la perturbación I_P y la salida I_L esta dada por:

$$\frac{I_L(z)}{\tilde{I}_P(z)} = \frac{1}{K_f} \left(\frac{G_2(z)}{1 + G_1(z) \cdot G_2(z)} \right) \quad (4.12)$$

Nuevamente, asumiendo que la frecuencia de muestro es mucho mayor que la frecuencia de los polos del sistema, se puede representar aplicando la transformación bilineal el siguiente diagrama de Bode de $G_1(\omega) \cdot G_2(\omega)$.

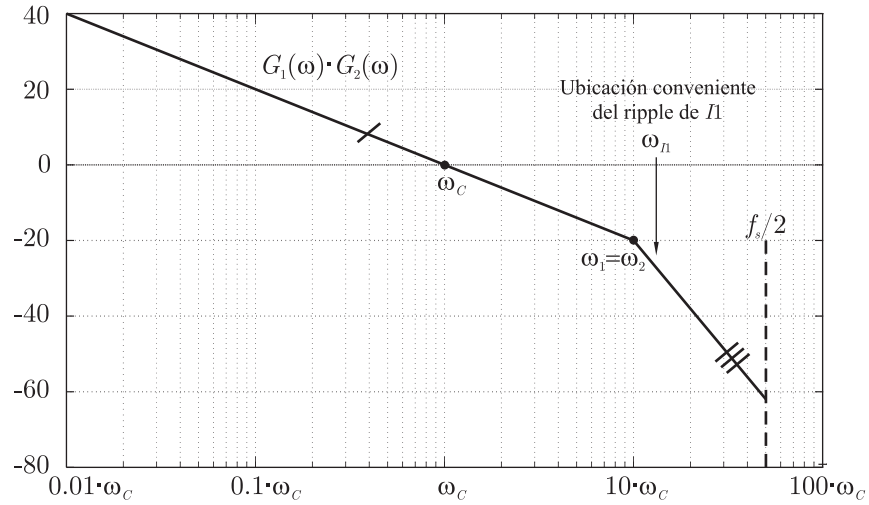
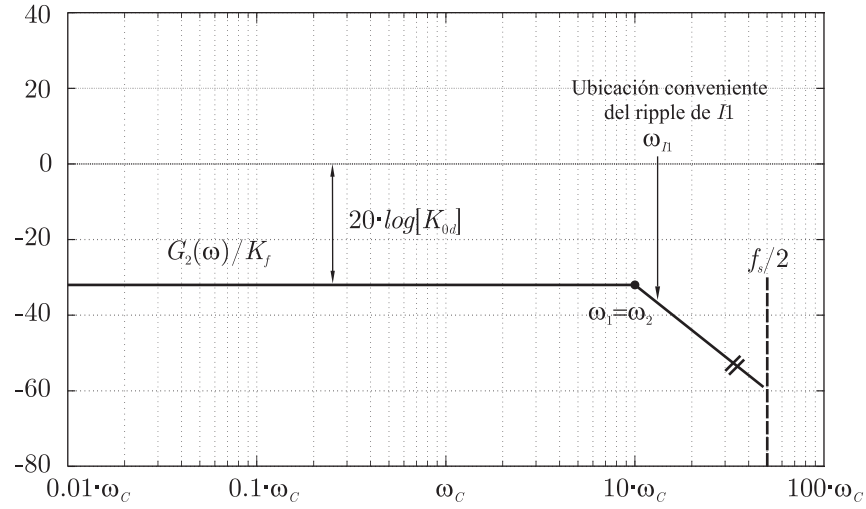


Figura 4.10: Rechazo de la transferencia $G_1(\omega) \cdot G_2(\omega)$.

Debido a que, en general, la frecuencia de ripple de I_1 es mayor que la frecuencia de corte, la atenuación del lazo externo a esta componente es prácticamente nula. Por lo tanto, la atenuación estará dada por la función transferencia de los lazos de realimentación interna, cuyo diagrama de Bode se muestra en la figura 4.11.

Figura 4.11: Rechazo de la transferencia $G_2(\omega)$.

Se puede observar que la atenuación mínima del sistema a esta perturbación esta dada por la ganancia en baja frecuencia.

$$K_{0d} = \frac{1}{K_f} \cdot \frac{1}{(1 + K_{d1} + R \cdot K_{d2})} \quad (4.13)$$

Esta ganancia depende de las constantes de realimentación, por consiguiente también de la frecuencia de muestreo. Esta característica se debe contemplar en el diseño del sistema a fin de cumplir con el rechazo de los ripples.

En la elección de la frecuencia de muestreo se debe tener en cuenta además que la misma debe ser mayor que los polos del lazo interno (ω_1, ω_2) a fin de asegurar que el efecto del muestreo en la fase sea despreciable y que el margen de fase obtenido sea el adecuado. Esto es así debido a que existe una relación de compromiso entre ω_1, ω_2 y la frecuencia de corte, la cual esta dada por la frecuencia de conmutación del filtro activo. A modo de ejemplo, si se pretende que la fase del ROC no produzca una rotación de fase superior a $1,8^\circ$ se debe cumplir que:

$$\frac{f_m}{f_c} \geq 100 \quad (4.14)$$

Variación de parámetros en la carga

La variación de parámetros en la carga es un aspecto importante durante el flat-top debido a la elevada precisión de la corriente. La inductancia y la resistencia de carga normalmente forman parte del lazo de realimentación. Por lo tanto, la variación de los mismos debido a efectos térmicos y/o magnéticos, modifica la respuesta transitoria del sistema y la precisión de estado estacionario. Esta problemática se puede abordar por medio de dos enfoques:

- Una alternativa consiste en utilizar controladores auto-sintonizados a fin de insensibilizar la respuesta del sistema ante variaciones en los parámetros de la carga. Estos controladores efectúan una estimación de los valores de la carga a fin de auto-ajustarse. Este tipo de controladores es eficiente en cuanto a la compensación, pero presenta un mayor requerimiento computacional que un controlador convencional. Esto puede constituir una limitación importante en sistemas con elevados requerimientos dinámicos o en sistemas en donde las variables de la carga varían de manera rápida. En [41] se analiza este tipo de controladores para la regulación de corriente de convertidores conmutados por línea.

- Otra alternativa consiste en evaluar las transferencias del sistema para los casos extremos de variación de parámetros y ajustar el controlador de modo de cumplir con las especificaciones, aún en el peor caso. El factor adoptado para asegurar la estabilidad del sistema puede hacer que el controlador no sea el óptimo en cuanto a respuesta dinámica y precisión. No obstante, una ventaja de este método es que no se requiere poder computacional adicional.

El empleo de controladores auto-sintonizados da lugar a un estudio más amplio en el cual se deben evaluar los diferentes métodos de estimación de parámetros [42–44]. Este estudio escapa al objetivo de la tesis doctoral, por lo tanto se adopta la compensación estática clásica para el ajuste de los lazos de control.

4.2.4. Descenso

Esta etapa se inicia cuando el sistema de control detecta que ha finalizado el tiempo de flat-top. Tal como se mencionó en el Capítulo 2, durante esta etapa la fuente de alta tensión recupera la energía almacenada en la carga y en los convertidores. El sistema de control realiza la apertura de todas las llaves del convertidor y deshabilita la operación del modulador polifásico y del lazo de control externo. De esta forma la estructura del convertidor queda determinada por el esquema circuital de la figura 4.12, donde se han incluido únicamente los elementos que intervienen en el proceso de recuperación de energía.

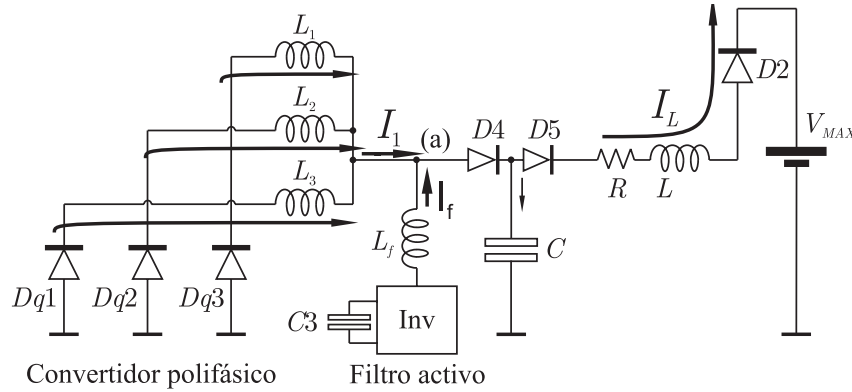


Figura 4.12: Circuito durante la etapa de descenso.

Durante la etapa de descenso, la tensión en el punto (a) se mantiene próxima al valor de flat-top. Se tienen dos casos diferentes de descarga del filtro activo según sea el signo de la corriente I_f . La figura 4.13 muestra la topología del filtro activo y sus corrientes para ambos casos.

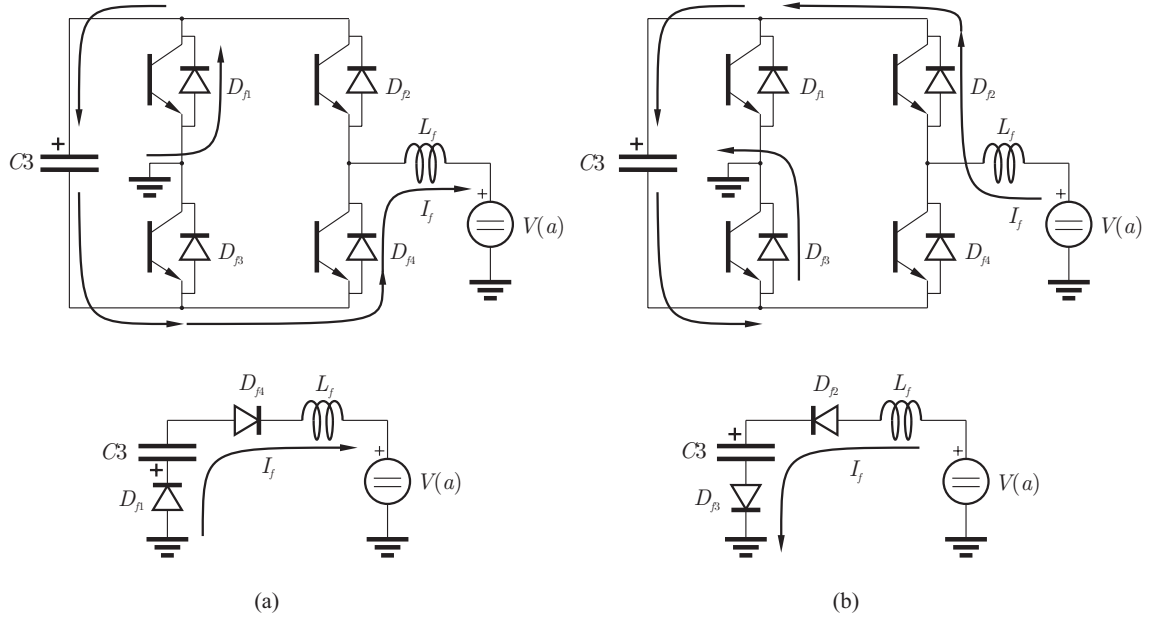


Figura 4.13: Descarga del filtro activo durante la etapa de descenso.

a) Con corriente I_f saliente. b) Con corriente I_f entrante.

En la figura 4.13a, con corriente I_f es saliente, la conducción de los diodos D_{f1} y D_{f4} , permite la conexión de las fuentes V_{C3} y $V(a)$ favoreciendo la descarga del inductor L_f . En la figura 4.13b con corriente del filtro activo entrante, los diodos D_{f2} y D_{f3} conectan las fuentes V_{C3} y $V(a)$ en oposición. Por razones de control del filtro activo, la tensión V_{C3} siempre es mayor que la máxima tensión $V(a)$. Por lo tanto, la corriente I_f se descarga favorecida por la tensión en inversa $V_{C3} - V(a)$.

En general, el valor de L_f es pequeño y la corriente I_f es reducida, por lo que la descarga del filtro activo es rápida. De esta forma, se puede considerar que el filtro activo no interviene en la descarga de la corriente I_L . Un esquema circuital más simplificado de esta etapa se representa en la figura 4.14, donde se asume que las inductancias del convertidor polifásico son iguales y que la resistencia serie de las mismas es despreciable. De esta forma se puede considerar una inductancia equivalente L_P para el convertidor polifásico.

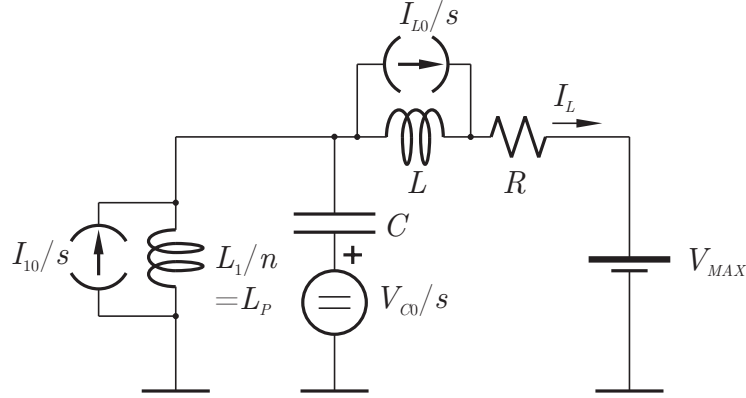


Figura 4.14: Circuito equivalente de la etapa de descenso.

Es importante analizar la evolución de la corriente de carga y de la tensión del capacitor a fin de verificar que no superen los límites operacionales de los dispositivos. Esta evolución va a depender de los elementos del circuito y de las condiciones iniciales de éstos al final del flat-top. En el Apéndice C se desarrollan en forma detallada las ecuaciones de la corriente I_L y de la tensión V_C . La expresión obtenida para la corriente de carga es:

$$i_L(t) \approx i_{L1}(t) + i_{L2}(t)$$

$$i_{L1}(t) = -\frac{V_{MAX}}{L} \left[1 - e^{-\frac{R \cdot t}{(L+L_P)}} \right] + i_L(0) \cdot e^{-\frac{R \cdot t}{(L+L_P)}}$$

$$i_{L2}(t) = \frac{L_P}{L} (i_L(0) - i_1(0)) \cdot \cos \beta t + \frac{1}{\beta L^2} v_C(0) \cdot \sin \beta t \quad (4.15)$$

donde $\beta = \sqrt{1/(C \cdot L_P // L)}$.

El término exponencial $i_{L1}(t)$ responde a la característica decreciente deseada en esta etapa. La constante de tiempo está dada por la resistencia de la carga y la suma de las inductancias del circuito. Si esta constante es mucho mayor que el

tiempo de descenso de I_L , se puede considerar que el decrecimiento de la corriente posee forma de rampa.

No obstante, existe un término oscilatorio representado por $i_{L2}(t)$, que responde al circuito resonante formado por L_P , L y C . A partir de (4.15) se puede inferir que el primer término oscilatorio se puede eliminar si $i_L(0)$ e $i_1(0)$ son iguales. Una estrategia posible consiste en iniciar el descenso cuando se cumple esta igualdad. Esta situación no representa ninguna limitación ya que sólo constituye una demora despreciable en el inicio del final de flat-top. Cabe resaltar que el cumplimiento de $i_L(0) = i_1(0)$ es independiente del valor de la corriente de la carga en el flat-top.

La amplitud de oscilación del segundo término de $i_{L2}(t)$ es pequeña debido a que la tensión $v_C(0)$ es baja y la frecuencia de oscilación β es alta. Por lo tanto, se puede verificar que, iniciando la etapa de descenso con $i_L(0) = i_1(0)$, se logra eliminar prácticamente la oscilación de I_L durante esta etapa.

Por otra parte, la expresión de la tensión del capacitor es la siguiente:

$$v_C(t) = v_{C1}(t) + v_{C2}(t)$$

$$v_{C1}(t) = \left[\frac{(V_{MAX} + i_1(0) \cdot R) \cdot L_P}{L} \right] \cdot e^{-\frac{R \cdot t}{(L+L_P)}}$$

$$v_{C2}(t) = \left[v_C(0) - \frac{(V_{MAX} + i_1(0) \cdot R) \cdot L_P}{L} \right] \cdot \cos \beta t \quad (4.16)$$

Dado que I_1 debe subir más rápido que I_L , la inductancia equivalente L_P resulta en general mucho menor que L (ver Capítulo 2). Esta condición fue utilizada en el cálculo de $v_C(t)$, para obtener expresiones más simplificadas.

En (5.1) se puede identificar un término exponencial y otro oscilatorio. El

término exponencial representa la descarga del capacitor producto de la resistencia de carga. Esta descarga es en general mucho más lenta que el tiempo de descenso de I_L , por lo que la tensión media del capacitor varía muy poco. Esta característica hace necesario agregar diodos de enclavamiento, lo cual se explicará con más detalle en la siguiente etapa.

A diferencia de la corriente en la carga, la cancelación del término oscilatorio de v_C no es posible debido a que éste depende de la corriente de flat-top. Establecer una condición óptima para las condiciones iniciales de las variables resulta imposible ya que V_{MAX} es constante y $v_C(0)$ e $i_1(0)$ pueden cambiar de un pulso a otro.

La oscilación en v_C está presente aún si se ha adoptado la condición de igualdad de corriente que minimiza la oscilación en I_L . Por lo tanto, la única premisa a cumplir es no sobrepasar las tensiones del circuito, por lo que es necesario agregar diodos de protección. La figura 4.15 muestra el circuito con el agregado de los diodos.

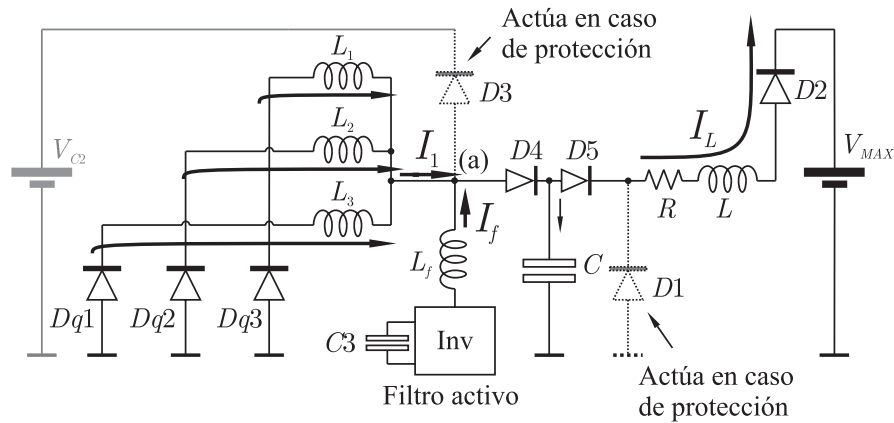


Figura 4.15: Circuito de la etapa de descenso con diodos de protección.

El diodo $D1$, se encuentra incorporado en la estructura del puente de alta tensión. La conducción de este diodo se produce cuando la tensión V_C excursiona

hacia valores negativos. A partir del momento en que $V_C = 0$, $D1$ conduce una corriente igual a la corriente existente en el capacitor en ese momento. El período de conducción de $D1$ depende del tiempo que tarda en extinguir su corriente con una pendiente de decrecimiento dada por V_{MAX}/L . Por su parte, el diodo $D3$ comienza a actuar cuando la tensión V_C supera la tensión de entrada del convertidor. De esta forma, se asegura que la máxima tensión en el capacitor quede acotada a V_{C2} . Luego, el funcionamiento correcto del sistema queda asegurado por medio del agregado de los diodos de protección.

4.2.5. Fin de pulso

Esta etapa se inicia cuando la corriente en la carga I_L se hace cero. La operación de la fuente requiere que la amplitud del pulso de corriente pueda ser modulada de un pulso a otro. Por lo tanto, la tensión final del capacitor debe ser cero. Por esta razón, resulta necesario asegurar la descarga completa del mismo antes del inicio de un nuevo pulso. Durante el tiempo de descenso el capacitor prácticamente no se descarga, por lo que es necesario incorporar una resistencia de descarga en paralelo con $D4$, que se activa con la llave $S3$ una vez que se detecta que $I_L = 0$. La figura 4.16 muestra la modificación propuesta.

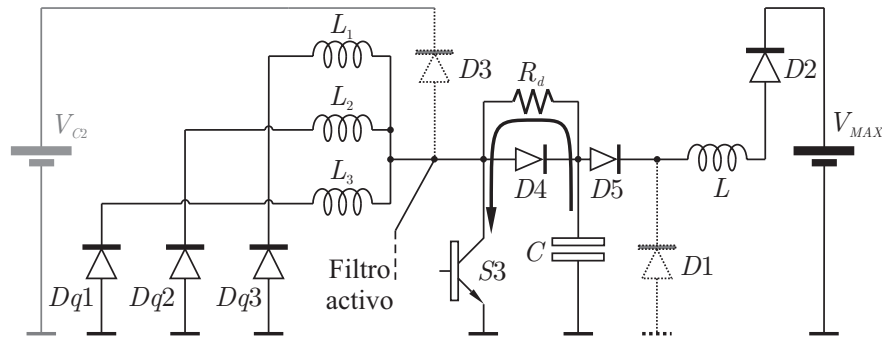


Figura 4.16: Descarga del capacitor al final del pulso.

El agregado de la resistencia R_d no afecta el funcionamiento del convertidor ya que durante la operación normal del sistema las corrientes circulan a través de $D4$. Sin embargo, se modifica la carga inicial del capacitor durante la etapa de ascenso. Esta situación no representa un problema ya que, si bien el transitorio va tener una mayor amplitud que con la condición de carga ideal, la duración del mismo se mantiene del orden debido a las características de la realimentación adoptada.

El valor de R_d es una relación de compromiso entre la constante de tiempo y la corriente máxima de descarga. En general la velocidad de repetición del pulso es lenta comparada con la duración del mismo; en consecuencia el valor de la resistencia puede ser ajustado para obtener corrientes de descarga aceptables.

4.3. Conclusiones

En este capítulo se analizó el funcionamiento de las distintas etapas de la generación del pulso como así también los recaudos a tener en cuenta en el control. Se resolvieron en forma analítica los distintos modos de funcionamiento y se propusieron modificaciones circuitales a fin de asegurar la operación de todo el sistema. Los temas desarrollados permitirán el correcto diseño del circuito final a partir de los valores circuitales del sistema, como se verá en el siguiente capítulo.

Capítulo 5

Resultados experimentales

5.1. Introducción

En este capítulo se presentan los resultados experimentales de la topología multiestructura propuesta para una de fuente de corriente pulsada. En primer lugar se describe la implementación del modulador interleaved polifásico, el cual constituye el eje central de una de las subestructuras. En esta primera etapa se explica la metodología utilizada para adaptar el algoritmo del modulador a la plataforma de implementación utilizada. Luego se muestran los resultados experimentalmente de un convertidor polifásico de tres fases, en donde se evalúa la influencia de la variación de los parámetros del convertidor en el ripple de la corriente de salida.

Por otro lado, se efectuó la implementación de un prototipo a escala reducida de una fuente de corriente pulsada con el objeto de validar el funcionamiento de la topología propuesta. Estos ensayos constituyen una etapa previa a la construcción de la fuente a escala real. En este caso se describen las características y especificaciones del convertidor implementado y la plataforma de control utilizada. Los resultados experimentales obtenidos son constatados con los análisis

teóricos.

5.2. Implementación del convertidor polifásico

5.2.1. Esquema del modulador implementado

La figura 5.1 muestra el esquema general de control del convertidor polifásico.

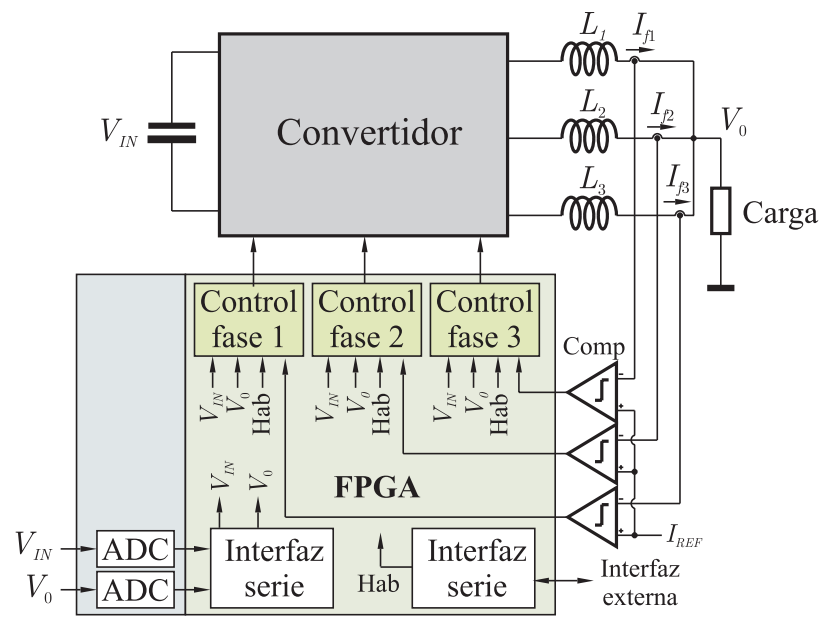


Figura 5.1: Esquema general de control del convertidor polifásico.

El algoritmo de control del modulador fue adaptado a la arquitectura lógica de una FPGA. La figura 5.2 muestra el diagrama de bloques del control de una de las fases. Los bloques principales de esta etapa son: la unidad de cálculo y la unidad de control. El bloque unidad de cálculo se ocupa de determinar el tiempo de conmutación requerido para que el cruce por cero del error de corriente coincida con el instante sincrónico definido por el patrón de referencia. En la sección 3.3 del Capítulo 3 se determinó, a partir del análisis del ripple de corriente, la expresión para el cálculo del tiempo de conmutación:

$$t_{sw}(k+1) = \left(\frac{K_2}{V_{IN}} \right) \cdot t_{hp}(k+1) \quad (5.1)$$

Donde $K_2 = V_{IN} - V_0$ ó $K_2 = V_0$ dependiendo del signo de la pendiente del error de corriente.

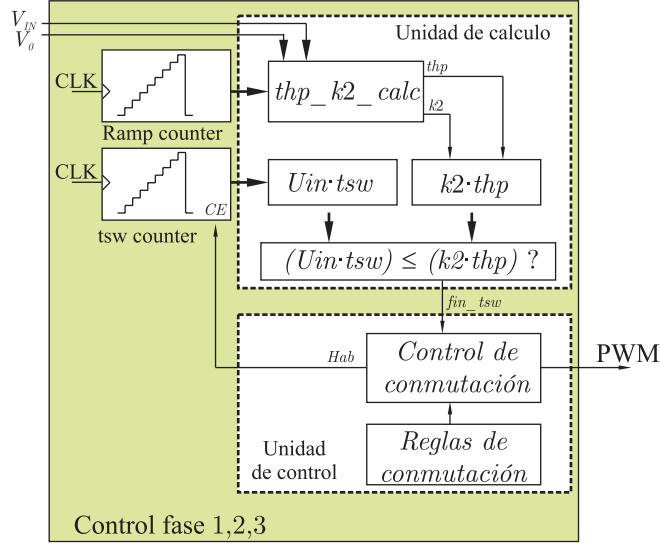


Figura 5.2: Diagrama en bloques del control interleaved de una fase.

La unidad de control está formada por dos sub-bloques:

- **Control de conmutación:** Este bloque corresponde a una máquina de estados que genera la salida PWM del modulador y una señal de control para la unidad de cálculo.

- **Reglas de conmutación:** Este bloque genera las señales de control de la máquina de estado anterior basadas en las reglas de conmutación. Estas reglas corresponden a los eventos de conmutación anticipada, deshabilitación de conmutaciones erróneas y detección de cruces por ceros consecutivos.

5.2.2. Resultados experimentales

Los ensayos efectuados comprenden la operación a lazo abierto del convertidor interleaved polifásico con el modulador propuesto. El objetivo de los ensayos fue evaluar la respuesta transitoria y la respuesta de estado estacionario.

El modulador propuesto fue implementado en el kit de desarrollo Xilinx Spartan 3 XC3S500E. La FPGA admite una señal de reloj de hasta 200 Mhz y tiene una capacidad de 4556 slices. La placa de desarrollo está provista de dos convertidores ADC serie de 14 bits y 3MSPS que son utilizados para la adquisición de tensión de entrada y de salida del convertidor. Para la medición de las señales se utilizó el osciloscopio PHILIPS PM3394 de 4 canales y 200 Mhz de ancho de banda.

La figura 5.3 muestra el esquema del circuito utilizado para el ensayo del convertidor interleaved polifásico.

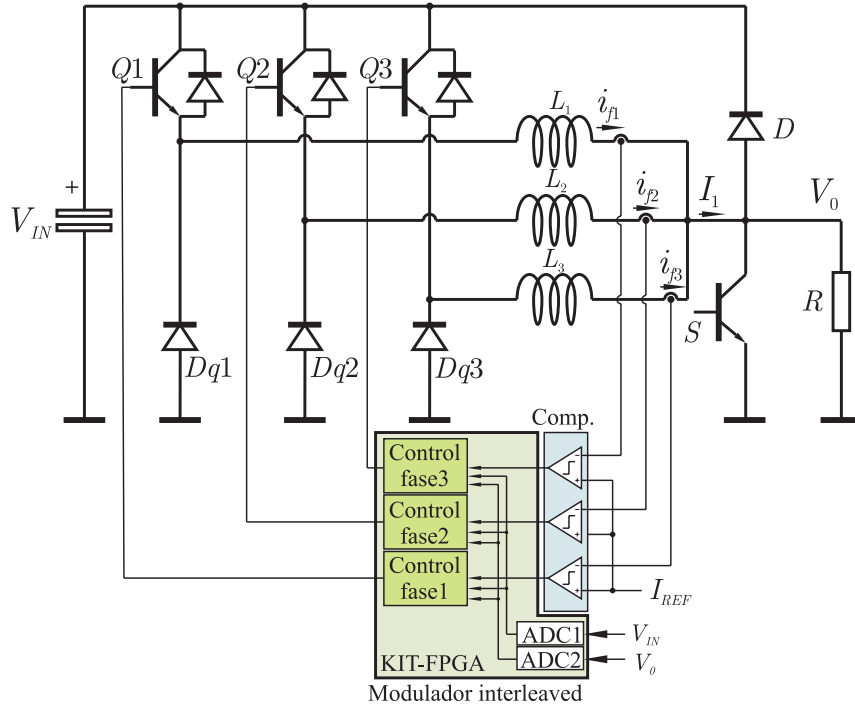


Figura 5.3: Esquema del circuito de ensayo.

La etapa de salida del circuito de ensayo incluyó una llave S conectada a tierra, un diodo D (de protección) y una resistencia de carga R . Esta configuración, si bien no es la utilizada en la fuente pulsada, permitió emular los cambios abruptos en la tensión de salida sin necesidad de tener que utilizar los lazos de control externos. Los cambios en la tensión de salida se produjeron modificando el estado de la llave S de ON a OFF; es decir, cuando S estaba cerrada, la tensión de salida era la tensión $V(ON)$ de la llave y cuando estaba abierta era $I_1 \cdot R$. En este circuito se contempló la utilización de una resistencia pequeña para no afectar el comportamiento de las corrientes en las fases.

En el cuadro 5.1 se resumen las características del sistema ensayado:

Parámetros	
Número de fases	3
Inductancia de fase (L_f)	$850 \mu\text{H}$
Resistencia de carga (R)	$0,5 \Omega$
Tensión de entrada (V_{IN})	25 V
Corriente máxima por fase	7 A
Frecuencia de conmutación	10 kHz

Cuadro 5.1: Parámetros del sistema ensayado

Ensayos de estado estacionario

En primer lugar se analizó el efecto que tiene la cuantización en las operaciones (cuantización en los productos y en los contadores) y la dispersión en los inductores sobre la cancelación del ripple. La figura 5.4 muestra la cancelación del ripple para los casos de cuantización de 8 y 10 bits, para los casos sin dispersión en las inductancias (caso ideal simulado) y con dispersión del 10 %.

La figura 5.4 muestra que las curvas con cuantización y dispersión en los inductores prácticamente no presentan diferencias respecto de la curva ideal simulada. Por lo tanto, se puede concluir que, en el caso de la cancelación del ripple, el grado

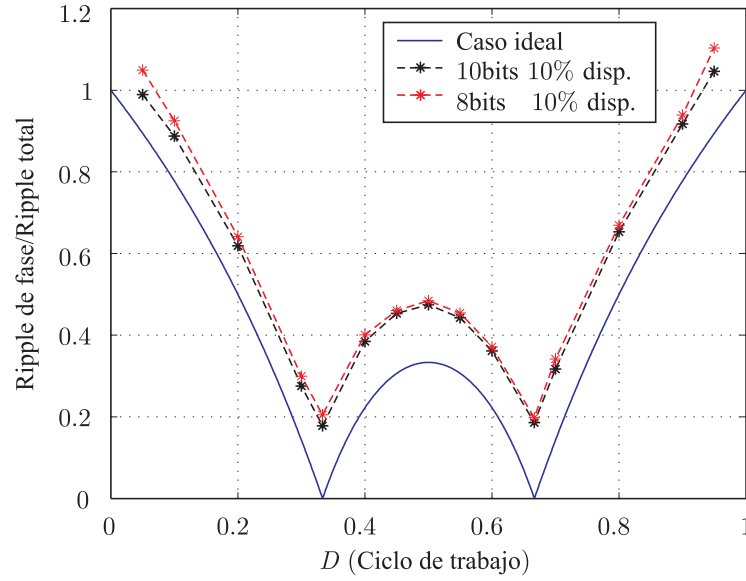


Figura 5.4: Cancelación del ripple de salida.

de cuantización no es un parámetro decisivo ya que su efecto se ve enmascarado por la dispersión de los parámetros.

El otro aspecto analizado fue el efecto de la cuantización en las operaciones y la dispersión de los inductores sobre el valor medio de la corriente total de salida. En este caso se puede considerar que el factor predominante en el valor medio es la cuantización. Esto es debido a que la dispersión de los inductores produce un ripple debido a errores de cancelación cuyo valor medio es cero.

El error en el valor medio se analizó en función de la cuantización para dos valores de ciclo de trabajo. Estos valores representan casos extremos en los cuales se genera la mayor diferencia entre la pendiente positiva y negativa del ripple de corriente. En esta condición, la cuantización en la conmutación produjo una diferencia de amplitud entre el semiciclo positivo y negativo del ripple que ocasiona un error en el valor medio.

La figura 5.5 muestra los resultados obtenidos para distintas longitudes de palabra y para distintos ciclos de trabajo. El interés de estas mediciones fue

evaluar cualitativamente el comportamiento del error en el valor medio en función de la longitud de palabra, ya que el error absoluto depende de los parámetros del convertidor. Se puede observar que, a medida que aumenta la longitud de palabra, disminuye el error en el valor medio de la corriente I_1 .

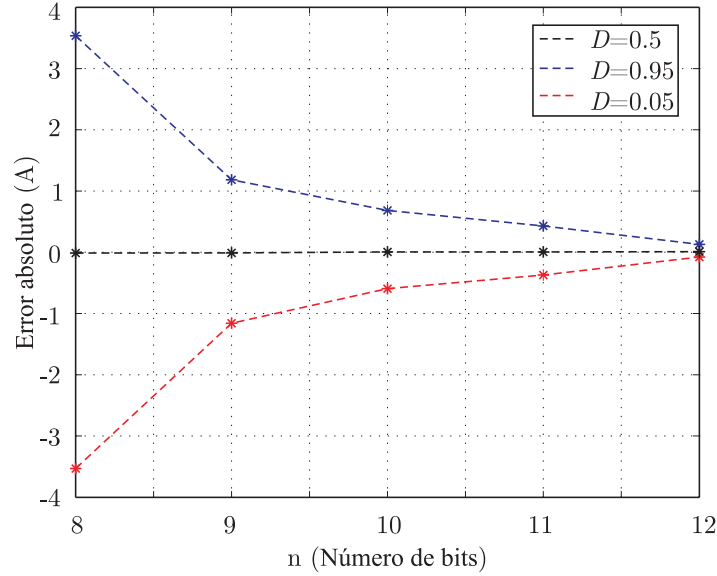


Figura 5.5: Error en el valor medio de la corriente I_1 .

En base a esto, se puede concluir que la elección de la longitud de palabra tiene un efecto más significativo en el valor medio de la corriente que en la cancelación del ripple. Sin embargo, este error no representa un inconveniente ya que puede ser corregido por medio de un lazo externo de control de corriente.

Ensayos de estado transitorio

El algoritmo de control de interleaved propuesto se comporta básicamente como un sistema discreto, ya que el ajuste del tiempo de conmutación se lleva a cabo en cada cruce por cero del error de corriente. Debido a esto, ante un cambio abrupto en la referencia o en la tensión diferencial ΔV , cada fase corrige esta perturbación un ciclo de PWM después del cruce por cero inmediato.

La figura 5.6 muestra un caso de cambio abrupto en la referencia de corriente para una de las fases.

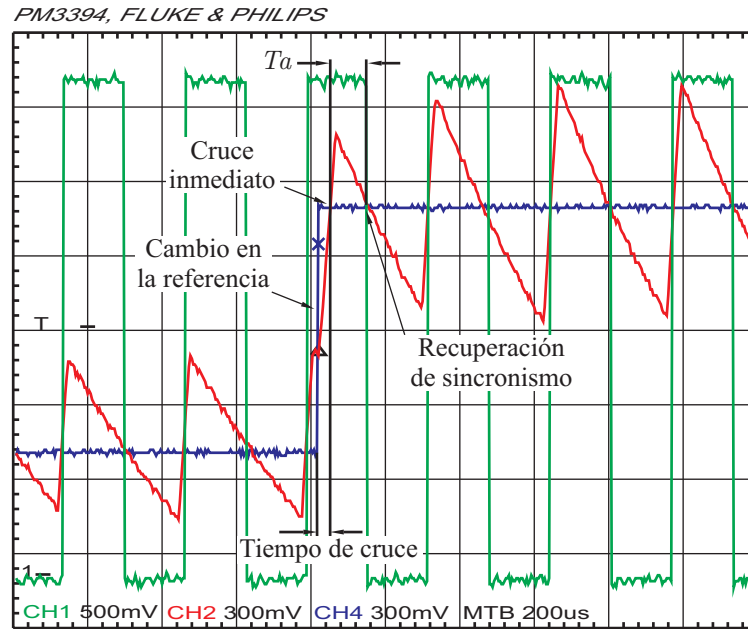


Figura 5.6: Cambio abrupto en la referencia.

A partir de la detección del error con la señal de sincronismo el sistema corrige el tiempo de conmutación para sincronizarse en el próximo cruce. Se puede observar que la recuperación del sincronismo involucra dos tiempos, un tiempo de cruce y un tiempo de ajuste, T_a . El tiempo de cruce no puede ser controlado ya que depende de la amplitud de la perturbación y de los parámetros del convertidor. Por otro lado, el tiempo T_a puede ser controlado por el algoritmo para que el error con la referencia sea mínimo.

La figura 5.7 presenta el caso de un cambio abrupto en ΔV . Se puede observar que este cambio produce una variación en las pendientes de la corriente de fase ocasionando un cruce por cero anticipado al sincronismo. Nuevamente, a partir de este cruce, el sistema corrige el tiempo de conmutación para recuperar el sincronismo en el próximo cruce por cero.

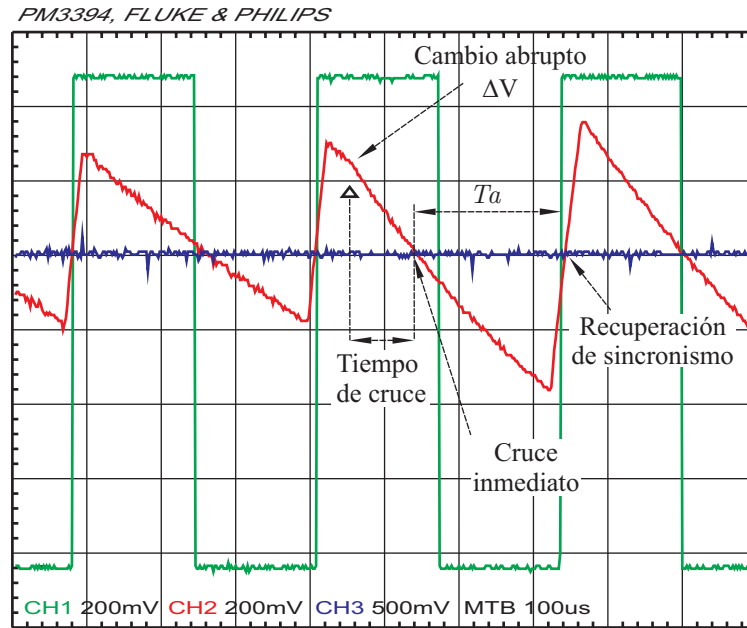


Figura 5.7: Cambio abrupto en la tensión diferencial ΔV .

Finalmente la figura 5.8 muestra un detalle de las corrientes de fase y de la corriente total del convertidor polifásico ante un cambio abrupto en la tensión de salida. Se puede observar que el cambio de tensión genera un transitorio en los ripples de corriente que dura aproximadamente un ciclo de conmutación para cada fase.

Dado que la frecuencia de conmutación está próxima a los 3 kHz, la duración del transitorio es del orden de los $330 \mu s$. En realidad el transitorio de la corriente total (suma de las corrientes de fase) por lo general se extiende un poco más que un ciclo de conmutación. Este tiempo mayor se produce porque la corrección en cada fase se realiza a partir del cruce por cero inmediato al cambio abrupto, eventos que no son simultáneos. Las diferencias de amplitud observadas en los ripples de corriente obedecen al desbalance de los inductores del convertidor, que es del orden del 2%.

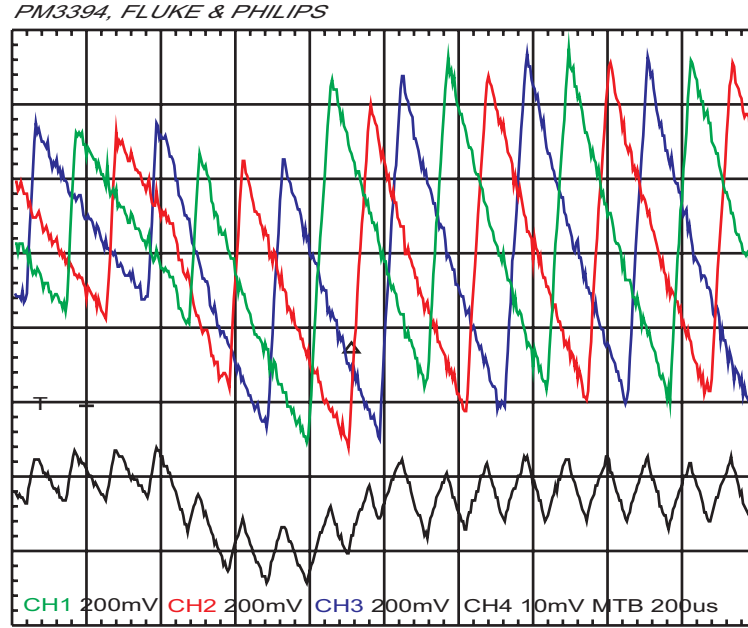


Figura 5.8: Corrientes del convertidor polifásico.

5.3. Implementación de la topología propuesta

Prototipo a escala reducida

Para evaluar el funcionamiento de la topología multiestructura propuesta y de su control asociado se desarrolló un prototipo a escala reducida de una fuente de corriente pulsada. El objetivo de este prototipo es validar el control multiestructura propuesto y la posibilidad de efectuar una interconexión controlada de las etapas. Las características del sistema implementado se resumen en la Tabla 5.2.

Las características del prototipo desarrollado fueron ajustadas para presentar la misma dinámica que las de un prototipo a escala real presentado en la Sección 5.4. La construcción del prototipo se realizó en dos etapas, una correspondiente al filtro activo y otra al puente de carga y al convertidor de entrada. La figura 5.9 muestra las imágenes correspondientes a las dos etapas.

Parámetros del prototipo	
Inductancia de carga (L)	1 mH
Resistencia de carga (R)	150 m Ω
Capacitor de acople (C)	2 μ F
Máxima corriente de la carga	20 A
Tensión del puente de carga, V_{C1}	20 V
Tensión del convertidor de entrada, V_{C2}	10 V
Tensión del filtro activo, V_{C3}	10 V
Inductancia del filtro activo, L_F	50 μ H

Cuadro 5.2: Parámetros del prototipo

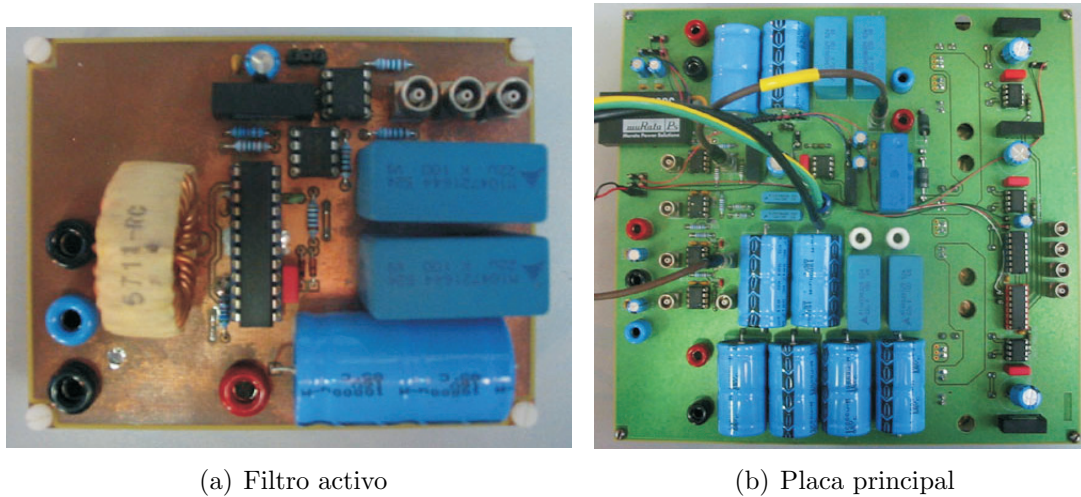


Figura 5.9: Prototipo de fuente pulsada.

Implementación del control

Para la implementación del sistema de control se utilizó el kit de desarrollo Xilinx Spartan 3 XC3S200 y una placa de adquisición analógica/digital específicamente diseñada para esta aplicación. Esta última placa está compuesta por cinco conversores ADC serie de 16 bits, cuatro de 1MSPS y uno de 2MSPS y dos conversores DAC serie de 14 bits de 1MSPS. En el caso de los conversores ADC el circuito de entrada está provisto de una etapa de adaptación de niveles y de filtros diferenciales antialiasing. La figura 5.10 muestra un diagrama en bloques del sistema control implementado.

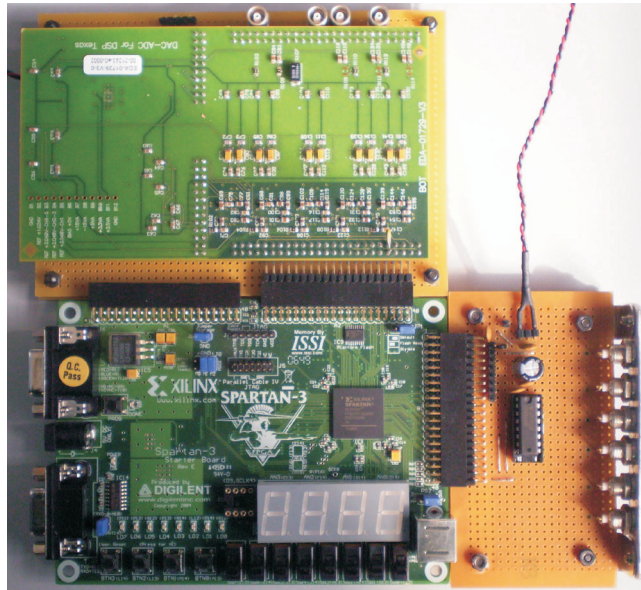


Figura 5.11: Imagen de la placa de control.

referencias a fin de generar las señales de cruce por cero requerida por el modulador. En la medición de la corriente I_F se empleó un transformador de corriente tipo-Pearson. Este sensor permite medir las componentes de alta frecuencia del filtro activo sin distorsión, debido a que presenta un mayor ancho de banda que los sensores de efecto Hall. La importancia de no distorsionar la medición de I_F se debe a que es necesario efectuar con cierta precisión el control por histéresis digital en la FPGA. La figura 5.12 muestra la imagen de los sensores utilizados para medir las corrientes.

Las especificaciones para el lazo de control externo se resumen en la Tabla 5.3.

Especificaciones	
Corriente máxima de flat-top	15 A
Tiempo de subida	1 ms
Ancho de banda	10 kHz
Margen de fase	$\geq 50^\circ$
Error a entrada al escalón	nulo

Cuadro 5.3: Especificaciones del lazo de control externo.

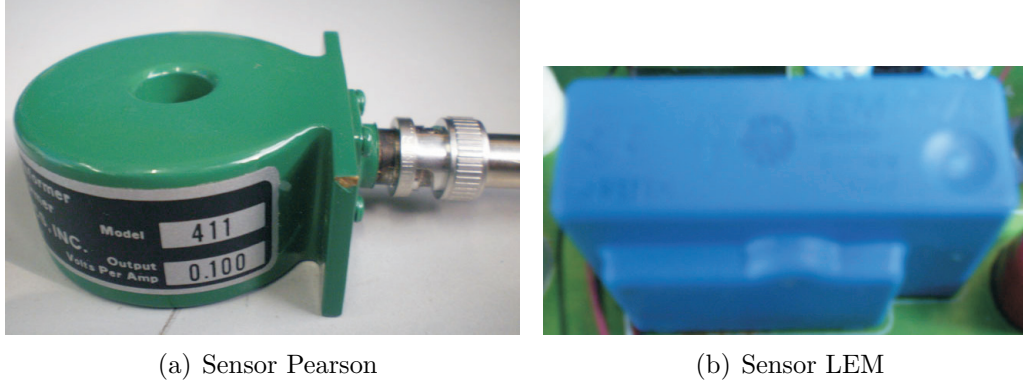


Figura 5.12: Sensores de corriente utilizados.

En base a las especificaciones de ancho de banda se adoptó como frecuencia de muestreo para el lazo de control externo y para los lazos de realimentación de estados la máxima frecuencia del canal de adquisición, es decir 1Mhz. De esta forma, se redujo a $0,18^\circ$ la rotación de fase del ROC para la frecuencia de corte. El objetivo de esta reducción de la fase es evitar tener que reasignar los polos de la realimentación de estados a una frecuencia muy alta para cumplir con el margen de fase especificado. Se debe recordar que la reasignación de los polos de la realimentación de estados se encuentra limitada por la frecuencia de conmutación del filtro activo. Luego, para cumplir con las especificaciones de margen de fase se ajusto la frecuencia de polos del lazo interno mediante la siguiente expresión:

$$\phi_P + 0,18^\circ + 90^\circ \leq 130^\circ \rightarrow \phi_P \leq 40^\circ \quad (5.2)$$

donde ϕ_P es la rotación de fase de los polos del lazo de realimentación de estados. Considerando que el lazo de realimentación de estados se compensa para obtener dos polos reales e iguales se obtiene que:

$$\omega_P \approx \frac{\omega_C}{tg\left(\frac{1}{2} \cdot \frac{\pi \cdot \phi_P}{180}\right)} \geq 2\pi \cdot 30kHz \quad (5.3)$$

Luego, los polos de los lazo de realimentación de estados fueron ajustados a 30 kHz.

Resultados experimentales

A continuación se presentan los resultados experimentales del prototipo de fuente pulsada. En primer lugar se analizó la respuesta transitoria de la corriente I_L al momento de acople. La figura 5.13 muestra un detalle de este transitorio.

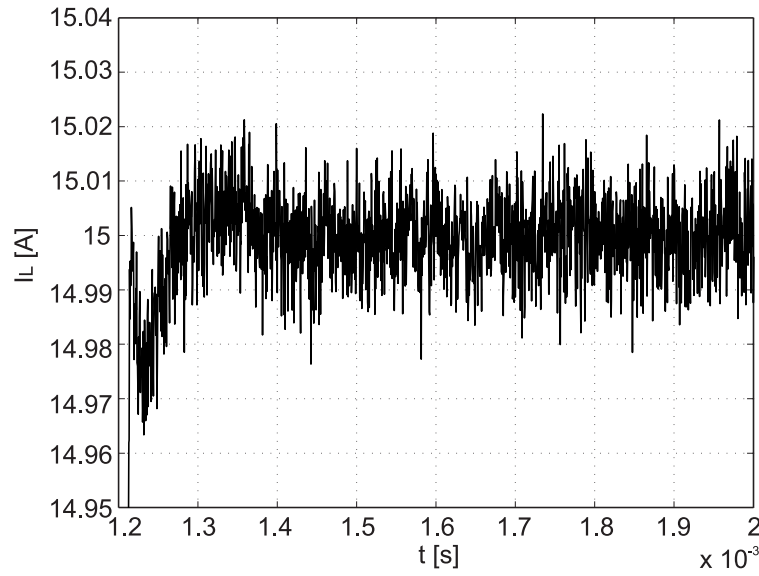


Figura 5.13: Detalle de la corriente I_L en el flat-top.

Se puede observar que en el momento de conexión se produce un transitorio en la corriente de la carga que dura aproximadamente $150 \mu\text{s}$. Esta duración esta acorde con los resultados obtenidos en simulaciones.

La figura 5.14 muestra la tensión del capacitor de acople durante el flat-top. En la figura se aprecia un pequeño sobrepaso acorde con el margen de fase requerido y su desaparición al cabo de $100 \mu\text{s}$. Respecto de la tensión en régimen permanente, la misma es superior a la caída de tensión en la carga, debido fundamentalmente a la caída de tensión en el diodo $D5$.

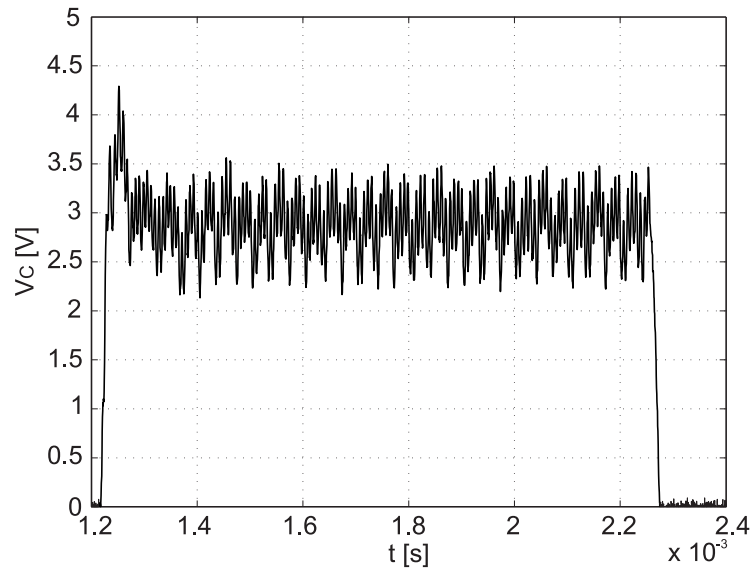


Figura 5.14: Tensión en el capacitor de acople.

5.4. Prototipo a escala real

Si bien los resultados experimentales realizados sobre un prototipo demostraron la validez de la topología, en esta sección se incluyen más resultados experimentales obtenidos de una fuente a escala real (2 kA, 3 kV). En la actualidad, en esta fuente está implementada la etapa de alta tensión y el convertidor de flat-top. En la Tabla 5.4 se muestran las características de la misma.

Características	
Inductancia de la carga	1,03 mH
Resistencia de la carga	21,9 m Ω
Corriente máxima de carga	1000 A
Tensión máxima del puente de carga	3000 V
Tensión máxima del convertidor de entrada	100 V

Cuadro 5.4: Parámetros del prototipo a escala real.

En un primer ensayo se efectuó la carga y descarga del inductor de salida con el puente de alta tensión. El objetivo de esta prueba fue evaluar las formas de onda de tensión y corriente en la carga a los efectos de compensar las posibles

oscilaciones generadas durante la conmutación por las inductancias y capacidades parásitas. La figura 5.15 muestra la tensión y corriente de la carga.

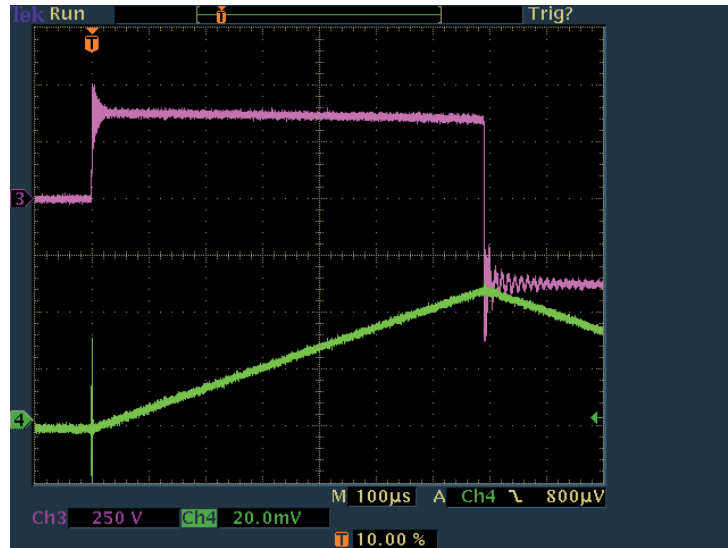


Figura 5.15: Tensión y corriente en la carga.

Ch3: Tensión en la carga (250 V/div.) medido con sonda diferencial Tektro

Ch4: Corriente de la carga (100 A/div.) medido con sensor Pearson $0,0002 \text{ V/A}$

En la figura 5.16 se muestra la generación de un pulso de corriente. En este ensayo se pretendió evaluar la corriente de la carga y las señales de comando de las principales llaves del circuito. Se puede observar que la transición de una estructura a otra se realiza sin inconvenientes, en total acuerdo con los resultados obtenidos con el prototipo escala.

5.5. Conclusiones

En este capítulo se presentaron los detalles de implementación del modulador interleaved en FPGA. El esquema de implementación propuesto se basa en un diseño modular del control de cada fase. Esto permite que la implementación de un modulador polifásico se pueda realizar combinando el número de módulos necesarios.

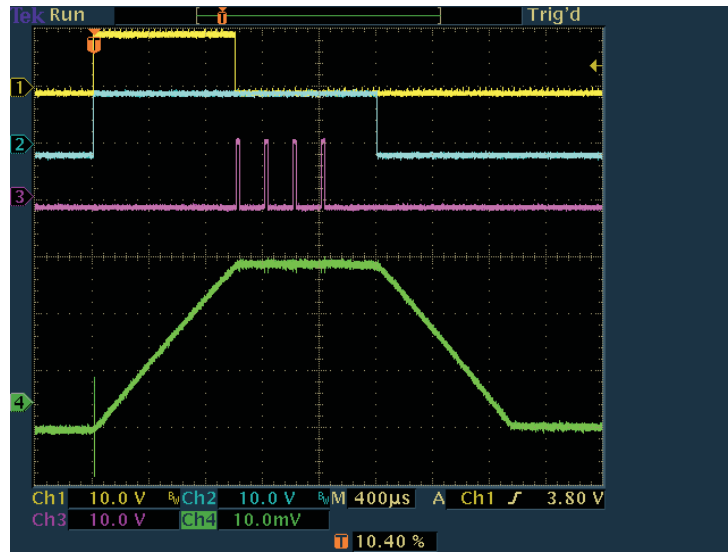


Figura 5.16: Generación de pulso de corriente sin conexión de filtro activo.

Ch1: Señal de comando de llave S_1

Ch2: Señal de comando de llave S_2

Ch3: Señal de comando del convertidor de flat-top

Ch4: I_L (50 A/div.) medido con sensor Pearson 0,0002 V / A

Se realizaron ensayos a lazo abierto del modulador con el convertidor polifásico. El objetivo de estos ensayos fue evaluar la respuesta del sistema en estado estacionario y transitorio. En el ensayo de estado estacionario se determinó que la dispersión en el valor de los inductores tiene mayor incidencia en la cancelación del ripple de salida que la cuantización de las operaciones en la FPGA. Además, se pudo establecer que la cuantización tiene influencia en el valor medio de la corriente de salida y que esta influencia es más evidente para los casos extremos de ciclos de trabajo.

En los ensayos de estado transitorio se evaluó la respuesta del control de una fase ante cambios abruptos en la tensión diferencial y en la referencia. Los resultados obtenidos demuestran que el ajuste que se obtiene del transitorio es óptimo en tiempo. Además se pudo establecer que la duración de la misma se puede dividir en dos componentes, una dependiente de los parámetros del sistema y la otra

del tiempo de ajuste del modulador. Debido a que con la primera componente no es posible realizar ninguna compensación, la optimización del tiempo queda determinada por la segunda. En este caso el algoritmo propuesto realiza el ajuste del interleaved en el menor tiempo posible, que corresponde a un periodo del patrón de sincronismo.

Respecto a la topología propuesta se describe la implementación del sistema de control y las características del prototipo desarrollado. Se presentaron resultados de implementación en los cuales se verificó la factibilidad de efectuar la interconexión entre las diferentes etapas en forma controlada.

Finalmente, se mostraron los primeros resultados de los ensayos realizados sobre un prototipo a escala real de una fuente pulsada. Estos primeros ensayos demostraron que es posible efectuar una interconexión entre etapas a gran escala, es decir con las características de los dispositivos de alta potencia. Por lo tanto, es posible concluir que gracias a una interconexión apropiada de estructuras es posible extender las características de tensión, corriente y frecuencia del convertidor.

Capítulo 6

Conclusiones

6.1. Resumen de conclusiones

En este trabajo de Tesis, se han abordado diferentes aspectos relacionados con el desarrollo de una nueva estructura topológica que permite extender el rango operacional de los convertidores de potencia más allá del límite individual de los dispositivos semiconductores existentes.

Los estudios llevados a cabo en los diferentes capítulos, han permitido obtener conclusiones particulares para cada uno de los aspectos tratados. Sobre la base de los conocimientos alcanzados, se exponen en este Capítulo una serie de conclusiones que resumen el trabajo realizado en esta Tesis.

1. Se analizaron diferentes soluciones para extender el rango de operación de los convertidores de potencia y cumplir con los elevados requerimientos de tensión corriente y velocidad requerida por las aplicaciones de fuentes pulsadas. Se determinó que las soluciones existentes basadas en arreglos serie, paralelo o serie/paralelo de dispositivos semiconductores o en estructuras multinivel híbridas no cumplen con los requerimientos.

2. En las aplicaciones de fuentes pulsadas se pudo identificar que si bien el convertidor debe manejar altas tensiones corrientes y precisión, estos requerimientos pueden ser divididos en diferentes convertidores con distintos rangos de operación.
3. Se propuso el desarrollo de una nueva estructura topológica basada en la interconexión secuencial no simultanea de estructuras convertidoras simples, cuyos rangos de operación (corriente, tensión y velocidad) están adaptados a lo requerimientos del sistema en las distintas etapas de la generación del pulso.
4. Debido a las ventajas que presenta el convertidor interleaved polifásico en el manejo de altas corrientes se propuso el uso de esta estructura topológica como fuente de corriente para el flat-top.
5. A partir de los análisis efectuados se estableció que la interconexión del convertidor polifásico con otras estructuras produce cambios abruptos en la tensión diferencial de entrada y salida del convertidor que vuelven poco eficiente el uso de los moduladores existentes. Como consecuencia de lo anterior, se desarrolló un nuevo modulador para convertidores interleaved polifásico capaz de tolerar los cambios abruptos en la tensión diferencial de entrada-salida y en la referencia con una característica de ajuste de sincronismo optima en el tiempo.
6. A partir del análisis de la interconexión de las diferentes subestructuras se pudo establecer que debido a las diferencias inevitables en las condiciones iniciales de las etapas al momento de acoplamiento se producen respuestas transitorias en el sistema.

7. Se analizaron diferentes soluciones para el control del transitorio, estableciendo que el método de realimentación de estados es la solución mas adecuada ya que permite reasignar en forma electrónica y con total libertad los polos del sistema y ajustar con libertad el lazo de control de corriente externo.
8. Se llevó acabo la implementación del modulador intrelaved propuesto en una FPGA y se realizaron ensayos a lazo abierto con el convertidor polifásico en condiciones de operación de estado estacionario y estado transitorio.
9. Se pudo verificar que el modulador propuesto es capaz de tolerar cambios abruptos en la tensión diferencial de entrada y salida o en la referencia con mínimo error y duración transitoria. Estos resultados permiten validar el uso de este modulador para esta aplicación de alta potencia, alta tensión y alta corriente con variaciones abruptas en la tensión diferencial.
10. Para validar la estructura topológica propuesta y el control de las diferentes etapas se desarrolló un prototipo a escala reducida de una fuente de corriente pulsada.
11. Se valido experimentalmente el control de las diferentes etapas y la interconexión de las mismas, obteniéndose resultados similares al modelo desarrollado en Simulink MATLAB.
12. Se presentaron resultados experimentales de un prototipo a escala real de fuente pulsada en los cuales se pudo verificar la correcta interconexión entre etapas a gran escala, es decir con las características de los dispositivos de alta potencia.
13. Finalmente, a partir de los resultados obtenidos se puede concluir que gracias a una interconexión apropiada de estructuras convertidoras es posible

extender las características de tensión, corriente y frecuencia del sistema y cumplir con los requerimientos de las aplicaciones de alta potencia y altas prestaciones.

14. Se realizaron publicaciones en congresos, notas técnicas y revistas especializadas.

6.2. Trabajos futuros

A partir de los resultados obtenidos en la presente Tesis, se vislumbran diferentes líneas de investigación. A continuación se comentan algunas de ellas.

Si bien la topología antes mencionada ha demostrado cumplir con los objetivos, su implementación presenta algunos aspectos a tener en cuenta:

- Necesidad de controlar anticipadamente la corriente del convertidor interleaved de forma tal de lograr que el acoplamiento con la carga se produzca en condiciones próximas de corrientes iniciales. Esto disminuye el rendimiento global del sistema.
- Necesidad de una etapa convertidora adicional que permita la interconexión entre las etapas en las condiciones anteriormente enunciadas.
- Necesidad de incorporar un capacitor de acople entre el convertidor interleaved y la carga para cumplir con las reglas de interconexión de fuentes.
- Necesidad de disponer de n controladores, n drivers y n ramas de llaves para un convertidor de n fases.

El objetivo radica entonces en investigar nuevas topologías multiestructuras, tendientes a solucionar estos problemas. De esta forma, se busca simplificar el control, disminuir el orden del sistema y reducir el número de componentes. Además, se prevé establecer el alcance operacional de estas nuevas topologías.

6.3. Publicaciones

- R. García Retegui, S. A. González, M. Benedetti, R. García-Gil, J. M. Espí, J. Castelló, "A New Fixed Frequency Hysteresis Current Control Controller Suitable for Wind Energy Sources", *International Review of Electrical Engineering*. Vol. 2, No. 6, pp. 820-826, November-December 2007.
- R. García Retegui, S. A. González, M. A. Funes, "Flexible FPGA Interface for Three-Phase Power Modules", *Latin American Applied Research*. Vol. 37, No. 1, pp. 47-51, January 2007.
- R. García Retegui, M. Benedetti, Jean Marc Cravero, Carlos A. Martins, "New Converter Topology for High Performance Pulsed Current Sources", *European Organization for Nuclear Research (CERN)-Technical Note AB-PO TN2008-05, EDMS 899334*, March 2008.
- R. A. García Retegui, M. Benedetti, J. M. Cravero, C. A. Martins, Nueva Topología de Convertidor para Fuente de Corriente Pulsada de Altas Prestaciones. In: XXI Congreso Argentino de Control Automático (AADE-CA2008), 2008, Buenos Aires. 2008.
- Nicolás Wassinger, Rogelio García Retegui, Mario Benedetti, Walter Kloster, Jean Marc Cravero, Carlos A. Martins and J. L. Gómez Costa, Controller

of a New Pulsed Source for LINAC 4 (MEGADISCAP)", European Organization for Nuclear Research (CERN)-Technical Note TE/EPC TN2009-003, CDS 1201648, August 2009, <http://cdsweb.cern.ch/record/1201648>.

- Rogelio García Retegui, Mario Benedetti, Roberto Petrocelli, Nicolás Wassinger, "New Modulator for Multi-Phase Interleaved DC/DC Converters", 13th Internacional European Power Electronics Conference and Applications, EPE09, 8-10 September, Barcelona, Spain, 2009.
- Rogelio Garcia Retegui, M. Funes, P. Antoszczuk, M. Benedetti, "FPGA-based Modulator for Multi-phase Interleaved DC/DC Converters", 2nd Argentine Conference on Micro-Nanoelectronics Technology and Applications (CAMTA 2009), October 1-2, Bariloche, Argentina, 2009.
- R. Garcia Retegui, M. Funes, P. Antoszczuk, M. Benedetti, "Modulador para Convertidores Polifásicos Interleaved DC/DC: Análisis de estado estacionario y transitorio", 10th Simposio Argentino de Tecnologia 2009 (AST 2009), 24-25 Agosto, Mar del Plata, Aregentina, 2009.
- Rogelio García Retegui, Nicolás Wassinger, Mario Benedetti, Sebastian Maestri, Jean Marc Cravero, Carlos A. Martins, ".A new multiple stages converter topology for high power and high precision fast pulsed current sources", 13th Internacional European Power Electronics Conference and Applications, EPE09, 8-10 September, Barcelona, Spain, 2009.

Bibliografía

- [1] F. Voelker, “Pulsed capacitor discharge power converter: An introductory overview,” in *CAS-CERN Accelerator School: Power Converters for Particle Accelerators Conference*, Montreux, Switzerland, Mar.26–30, 1990, pp. 349–352.
- [2] J. Royer, “High current with high precision flat-top capacitor discharge power septum magnets,” in *CERN/PS 95-13 EP2 Forum 95, Electrical Power Technology in European Physics Research*, Switzerland, Mar.2–3, 1995, pp. 78–80.
- [3] B. Sing, K. Al-Haddad, and A. Chandra, “An inexpensive pulsed power supply for a septum magnet,” *IEEE Transactions on Nuclear Science*, vol. 22, no. 3, pp. 1307–1310, June 1975.
- [4] C. Humme, H. Singh, and D. Piccone, “Thyristor for pulsed power applications,” in *Conference Record of the 2000 Twenty-Fourth International Power Modulator Symposium*, Monterey, CA, USA, June 26–29, 2000, pp. 78–80.
- [5] N. Mohan, T. M. Undeland, and W. P. Robbins, *Power Electronics: Converters Applications and Desings*. John Wiley Sons., Inc. ISBN-0-471-58408-8, 1995.
- [6] S. Scharnholz, R. Schneider, E. Spahn, A. Welleman, and S. Gekenidis, “Investigation of IGBT-devices for pulsed power applications,” in *14th IEEE International Pulsed Power Conference, 2003. Digest of Technical Papers. PPC-2003*, vol. 1, Dallas, Texas, USA, June 15–18, 2003, pp. 349–352.
- [7] T. Schuetze, H. Breg, and O. Schilling, “The new 6.5kv igbt module: a reliable device for medium voltage applications,” EUPEC- Infineon Technology Company, Tech. Rep., 2006.
- [8] J.Ñelson, G. Venkataramanan, and B. Beihoff, “Investigation of parallel operations of IGBTs,” in *37th Conf. Rec. IEEE-IAS Annual Meeting*, vol. 4, Pittsburgh, PA, Oct. 13–18, 2002, pp. 2585–2591.
- [9] R. Lator, “Static and dynamic behavior of paralleled IGBTs,” *IEEE Trans. Ind. Appl.*, vol. 28, no. 2, pp. 395–402, Mar./Apr. 1992.

- [10] C. Wong and K. Priest, "Current sharing for paralleled IGBTs using statistics method," in *31th Conf. Rec. IEEE-IAS Annual Meeting*, vol. 3, San Diego, CA, USA, Oct. 6–10, 1996, pp. 1418–1424.
- [11] C. H. Yang and Y. Liang, "Investigation on parallel operations of igbts," in *Proceedings of the 1996 IEEE IECON 22nd International Conference on Industrial Electronics, Control, and Instrumentation.*, vol. 2, Taipei, Taiwan, Aug. 5–10, 1996, pp. 1005–1010.
- [12] R. Roesner, J. Holtz, and R. Kennel, "Cellular driver/snubber scheme for series connection of IGCTs," in *IEEE 32nd Annual Power Electronics Specialists Conference, PESC. 2001*, vol. 2, Vancouver, BC, Canada, June 17–21, 2001, pp. 637–641.
- [13] A. Consoli, S. Musumeci, G. Oriti, and A. Testa, "Active voltage balancing of series connected IGBTs," in *30th Conf. Rec. IEEE-IAS Annual Meeting*, vol. 3, Orlando, FL, USA, Oct. 8–12, 1995, pp. 2752–2758.
- [14] C. Gerster, P. Hofer, and N. Karrer, "Gate-control strategies for snubberless operation of seriesconnected IGBTs," in *27th Annual IEEE Power Electronics Specialists Conference, 1996. PESC'96*, vol. 2, Baveno, Italy, June 23–27, 1996, pp. 1739–1742.
- [15] L.-P. Wong, D.-W. Cheng, M. Chow, and Y.-S. Lee, "Interleaved three-phase forward converter using integrated transformer," *IEEE Trans. Ind. Electron.*, vol. 52, no. 5, pp. 1246–1260, Oct. 2005.
- [16] W. Chen, "High efficiency, high density, polyphase converters for high current applications," Linear Technology, Tech. Rep., Sept. 1999.
- [17] J. Abu-Qahouq, H. Mao, and I. Batarseh, "Multiphase voltage-mode hysteretic controlled dc-dc converter with novel current sharing," *IEEE Trans. Power Electron.*, vol. 19, no. 6, pp. 1397–1407, Nov. 2004.
- [18] P. Andreassen and T. Undeland, "Digital control methods for current sharing of interleaved synchronous buck converter," in *11th European Conference on Power Electronics and Applications, EPE05*, Dresden, Germany, Sept. 11–14, 2005, pp. 910–914.
- [19] J.-R. Tsai, T.-F. Wu, C.-Y. Wu, Y.-M. Chen, and M.-C. Lee, "Interleaving phase shifters for critical-mode boost pfc," *IEEE Trans. Power Electron.*, vol. 23, no. 3, pp. 1348–1357, May 2008.
- [20] J. Rodriguez, J. S. Lai, and F. Z. Peng, "Multilevel inverters: A survey of topologies, controls, and applications," *IEEE Trans. Ind. Electron.*, vol. 49, no. 4, pp. 724–738, Aug. 2002.

- [21] R. Lund, M. D. Manjrekar, P. Steimer, and T. A. Lipo, "Control strategies for a hybrid seven-level inverter," in *Proc. EPE'99*. CD-ROM, 1999.
- [22] Y. Wang, H. Li, X. Shi, and B. Xu, "A novel carrier-based PWM strategy for hybrid multilevel inverters," in *IEEE 35th Annual Power Electronics Specialists Conference, PESC 04*, vol. 6, Aachen, Alemania, June 20–25, 2004, pp. 4233–4237.
- [23] T. A. Lipo and M. D. Manjrekar, "Hybrid topology for multilevel power conversion," US Patent 6005788, Dec. 1999.
- [24] M. Manjrekar, P. Steimer, and T. Lipo, "Hybrid multilevel power conversion system: A competitive solution for high-power applications," *IEEE Trans. Ind. Appl.*, vol. 36, no. 3, pp. 834–841, May/June 2000.
- [25] Y. Enseeiht, "La commutation douce dans la conversion statique de l'énergie électrique," Ph.D. dissertation, Thèse du grade de Docteur ès-sciences, L'Institut National Polytechnique de Toulouse, France, 1988.
- [26] Y. Qiu, "High-frequency modeling and analyses for buck and multiphase buck converters," Ph.D. dissertation, Faculty of the Virginia Polytechnic Institute and State University, Nov. 2005.
- [27] X. Zhou, P. Xu, and F. Lee, "Novel current-sharing control technique for low-voltage high-current voltage regulator module applications," *IEEE Trans. Power Electron.*, vol. 15, no. 6, pp. 1153–1162, Nov. 2000.
- [28] J. Sun, Y. Qiu, M. Xu, and F. C. Lee, "High-frequency dynamic current sharing analyses for multiphase buck vrs," *IEEE Trans. Power Electron.*, vol. 22, no. 6, pp. 2424–2431, Nov. 2007.
- [29] Y. Qiu, J. Sun, M. Xu, K. Lee, and F. Lee, "Bandwidth improvements for peak-current controlled voltage regulators," *IEEE Trans. Power Electron.*, vol. 22, no. 4, pp. 1253–1260, July 2007.
- [30] J.-J. Shieh, "Peak-current-mode based single-wire current-share multimodule paralleling dc power supplies," *IEEE Trans. Circuits Syst. I*, vol. 50, no. 12, pp. 1564–1568, Dec. 2003.
- [31] R. W. Erickson and D. Maksimovic, *Fundamentals of Power Electronics, Second Edition*. Springer Science+Business, Inc. ISBN-0-7923-7270-0, 2001.
- [32] M. Xu, J. Zhou, K. Yao, and F. Lee, "Small signal modeling of a high bandwidth voltage regulator using coupled inductors," *IEEE Trans. Power Electron.*, vol. 22, no. 2, pp. 399–406, Mar. 2007.

- [33] P. L. Wong, Q. Wu, P. Xu, B. Yang, and F. C. Lee, "Investigating coupling inductors in the interleaving qsw vrm," in *Fifteenth Annual IEEE Applied Power Electronics Conference and Exposition, APEC 2000*, vol. 2, New Orleans, LA, USA, 06–10, 2000, pp. 973–978.
- [34] J. Zhou, "High frequency, high current density voltage regulators," Ph.D. dissertation, Faculty of the Virginia Polytechnic Institute and State University, Electrical and Computer Engineering, Apr. 2005.
- [35] R. Ridley, "A new, continuous-time model for current-mode control [power-convertors]," *IEEE Trans. Power Electron.*, vol. 6, no. 2, pp. 271–280, Apr. 1991.
- [36] R. G. Retegui, S. A. González, M. Benedetti, R. García-Gil, J. M. Espí, and J. Castelló, "A new fixed frequency hysteresis current control controller suitable for wind energy sources," *International Review of Electrical Engineering*, vol. 2, no. 6, pp. 820–826, Nov./Dec. 2007.
- [37] R. G. Retegui, M. Benedetti, R. Petrocelli, and N. Wassinger, "New modulator for multi-phase interleaved DC/DC converters," in *13th International European Power Electronics Conference and Applications, EPE09*, Barcelona, Spain, Sept. 08–12, 2009.
- [38] R. G. Retegui, M. Funes, P. Antoszczuk, and M. Benedetti, "New modulator for multi-phase interleaved DC/DC converters," in *2nd Argentine Conference on Micro-Nanoelectronics Technology and Applications, (CAMTA 2009)*, Bariloche, Argentina, Oct. 01–02, 2009.
- [39] R. A. G. Retegui, M. Funes, P. Antoszczuk, and M. Benedetti, "Modulador para convertidores polifásicos interleaved DC/DC: Análisis de estado estacionario y transitorio," in *10th Simposio Argentino de Tecnología 2009, (AST 2009)*, Mar del Plata, Argentina, Aug. 24–25, 2009.
- [40] O. Katsuhiko, *Sistemas de control en tiempo discreto, Segunda Edición*. Pearson Education. ISBN-978-968-880-593-0, 1996.
- [41] M. Benedetti, A. Rudometkin, G. Uicich, J. Gruber, and R. Pittin, "The auto-tuning pid controller using the parameter estimation," in *EP2 Forum 98, Electrical Power Technology in European Physics Research ESRF*, Grenoble, France, Oct. 21–22, 1999.
- [42] E. Mosca, "Optimal, predictive, and adaptive control, book review," *IEEE Control Systems Magazine*, ISSN: 0272-1708, Dec. 1995.
- [43] I. Cha and C. Han, "Adaptive control systems for line-commutated converters," in *International Conference on Intelligent Robots and Systems IROS '99*, Kyongju, South Korea, Oct. 17–21, 1998.

-
- [44] I. D. Landau, R. Lozano, and M. M'Saado, *Adaptive Control*. Springer-Verlag New York, Inc. ISBN:354076187X, 1998.
- [45] <http://www.xilinx.com>.
- [46] M. Benedetti and J. Guillet, "Etude et realisation d'un nouveau filtre passif," Organisation Européenne pour la Recherche Nucléaire, CERN, PS-SM-Note 78-7, Tech. Rep., 1978.

Apéndices

Apéndice A

Síntesis de convertidores estáticos

A.1. Introducción

El convertidor estático de potencia (C. E.) es un montaje hecho con interruptores a semiconductores que permite mediante un comando conveniente regular la transferencia de energía entre un generador y un receptor. Tal transferencia de energía puede ser en ciertos casos reversible. Para tener en cuenta esa reversibilidad los términos fuente de entrada y fuente de salida reemplazarán a los de generador y receptor. En efecto, en el momento de funcionamiento reversible, la fuente de salida pasa a ocupar el rol de generador y la fuente de entrada el de receptor.

La síntesis de un C. E. consiste en definir un cierto tipo de conversión de energía entre una fuente de entrada y una fuente de salida a partir de las condiciones de la carga. Para ello será necesario determinar:

- La estructura del convertidor, es decir, la cantidad y ubicación de los interruptores, así como la presencia o no de uno o más elementos de almacenamiento de energía es decir, capacitores o inductores.

- Las características estáticas y las características dinámicas de los interruptores.

El objetivo de este apéndice es describir una técnica formal y puramente lógica, propuesta por [25], de sintetizar C. E. a partir del conocimiento de las condiciones de la carga. Para ello es necesario introducir algunos conceptos como: características estáticas y dinámicas de los interruptores, caracterización de fuentes de entrada y salida y reglas de interconexión entre fuentes.

A.2. Características estáticas y dinámicas de los interruptores

A.2.1. Característica estática

En régimen estático el interruptor se comporta como una resistencia no lineal, muy baja en el estado de conducción y muy alta en el estado de bloqueo.

Considerando la convención de signos de tensión y corriente como la de un dipolo receptor (Fig. A.1), la característica estática $I_K(V_K)$ que representa al conjunto de puntos de funcionamiento del interruptor, esta compuesta por dos ramas situadas íntegramente en los dos cuadrantes en los cuales $V_K \cdot I_K > 0$, una mas próximas al eje de I_k (estado de conducción) y la otra mas próxima al eje de V_k (estado de bloqueo). Cada una de estas ramas podrían ser unidireccionales.

Si se considera un interruptor ideal, su característica estática se superpone a los ejes más próximos. En esta representación, exceptuando el caso trivial de un cortocircuito y de un circuito abierto, los cuales corresponden respectivamente a un interruptor cerrado y a uno abierto, todo interruptor que asegure verdaderamente su función poseerá una característica compuesta por al menos dos

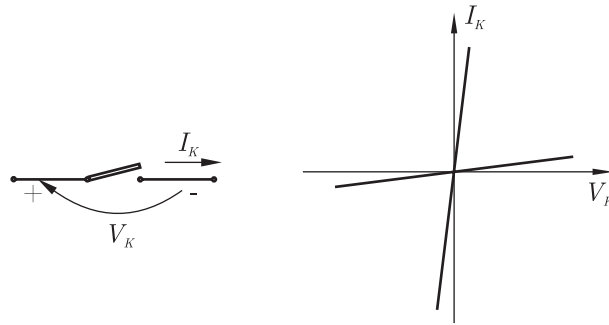


Figura A.1: Características estáticas de un interruptor

segmentos ortogonales. Uno para el estado ON ó encendido y otro para el estado OFF o apagado.

La característica estática, que es una propiedad intrínseca del interruptor, puede en los casos de los interruptores a semiconductores, poseer más de dos segmentos en el plano $I_K((V_K))$. La figura A.2 muestra las características estáticas de algunos dispositivos.

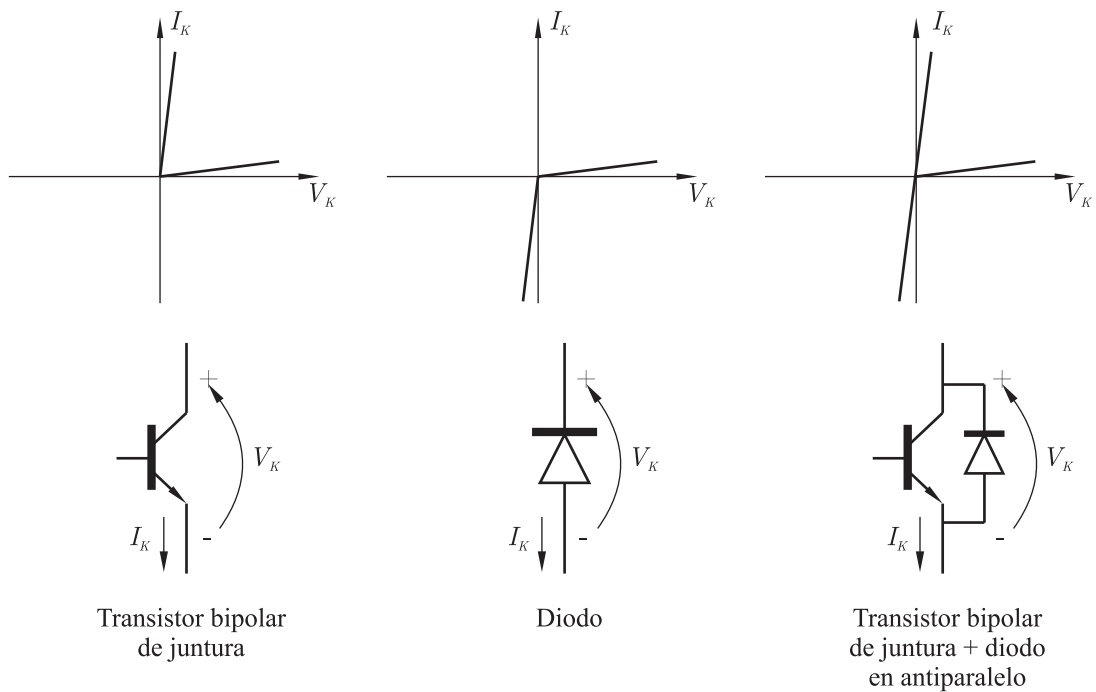


Figura A.2: Características estáticas de interruptores a semiconductores

Se puede ver que el primer y segundo dispositivo presenta características unidireccionales de tensión y corriente (dispositivos de dos segmentos) en tanto que el tercer dispositivo presenta características bidireccionales en corriente y unidireccionales en tensión (dispositivo de tres segmentos).

A.2.2. Característica dinámica

Es la transición del estado de conducción al estado de bloqueo o viceversa, que corresponde por lo tanto en el plano $I_K(V_K)$ a la transición del punto de funcionamiento del interruptor en un determinado semieje a otro semieje perpendicular.

La trayectoria seguida por el punto constituye la "característica dinámica de conmutación" del interruptor. Esta característica no es una propiedad intrínseca del dispositivo, contrariamente a su característica estática, sino que depende de las condiciones impuestas por el circuito exterior. Dejando de lado los fenómenos de secundarios y siendo el interruptor un elemento disipativo, el trayecto del punto de funcionamiento solo puede estar en los cuadrantes en los que $V_K \cdot I_K > 0$.

Tanto para el encendido como para el bloqueo, se distinguen dos modos de cambio de estado (o modos de conmutación): la conmutación forzada y la conmutación natural. Los interruptores de conmutación forzada poseen además de sus electrodos principales, un electrodo de comando sobre el cual es posible actuar para provocar un cambio de estado de manera casi instantánea. En un dispositivo de conmutación natural, el elemento conmuta naturalmente cuando el punto de funcionamiento, desplazándose sobre la característica estática, pasa por cero. La figura A.3 muestra dos dispositivos con diferentes modos de conmutación.

Luego, los interruptores utilizados en los convertidores estáticos se pueden clasificar en función de sus características estáticas, en interruptor de dos, tres

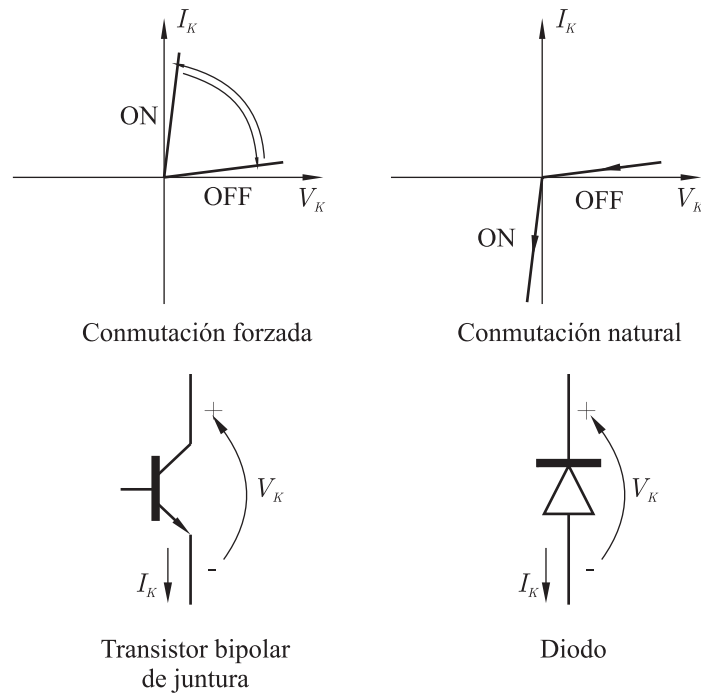


Figura A.3: Conmutación forzada y natural

o cuatro segmentos y por la naturaleza de sus conmutaciones al encendido o al bloqueo, en forzadas o naturales.

A.3. Caracterización de las fuentes

A.3.1. Tipos de fuentes

Cuando se desea hacer la síntesis de un convertidor, los únicos elementos conocidos son las fuentes de entrada y de salida. La primera etapa consiste entonces en caracterizar estas fuentes para luego deducir la estructura del convertidor. Se pueden distinguir dos tipos de fuente, la fuente de tensión y la fuente de corriente. La definición clásica de estas fuentes es la siguiente:

Fuente de tensión: Toda aquella fuente capaz de imponer una tensión cualquiera sea la corriente de carga. Esto implica que la impedancia serie de la fuente

es nula (o despreciable frente a la impedancia de la carga).

Fuente de corriente: Toda aquella fuente que es capaz de imponer una corriente cualquiera sea la carga. Esto implica que la impedancia serie de la fuente es infinita (o muy grande frente a la impedancia de carga).

Esta caracterización corresponde a una propiedad permanente. Sin embargo, el funcionamiento de los convertidores estáticos, a causa de la presencia de interruptores, provocan variaciones instantáneas de algunas magnitudes. Es por lo tanto natural tratar de generalizar las definiciones de las fuentes, no de forma permanente, si no de forma instantánea. Esto conduce a las siguientes definiciones:

Fuente de corriente: Se dice que una fuente es de corriente, desde el punto de vista dinámico, cuando la corriente que la atraviesa no presenta discontinuidades ante variaciones de la carga. El inductor puede ser un ejemplo de este tipo fuente.

Fuente de tensión: Se dice que una fuente es de tensión, cuando las discontinuidades de tensión no son producidas por la carga. El capacitor puede ser un ejemplo.

A.3.2. Reversibilidad de las fuentes

La determinación de la reversibilidad de las fuentes de entrada y de salida es fundamental para deducir las características estáticas de los interruptores utilizados. Se dice que la tensión o la corriente que caracteriza a un generador o a un receptor es continua si es unidireccional, en cambio se dice que es alterna si es periódica y tienen valor medio nulo.

Un generador o un receptor son reversibles en corriente si la corriente que lo atraviesa se puede invertir. En caso de reversibilidad del sentido de transferencia de energía (cambio de signo de potencia) los generadores y receptores pueden

intercambiar sus roles de manera instantánea (reversibilidad instantánea) o de manera permanente (reversibilidad permanente).

Las entradas/salidas de un convertidor pueden entonces caracterizarse como fuentes de tensión o de corriente, continua o alterna, reversibles o no en tensión o en corriente. Para la determinación de las características estáticas de los interruptores no hace falta hacer distinción entre magnitudes alternas y magnitudes reversibles, puesto que solo difieren en un factor de escala de tiempo.

A.4. Reglas de interconexión de fuentes

Durante el funcionamiento, el convertidor estático conecta por medio de sus interruptores las fuentes entre las cuales controla el intercambio de energía. Para que dichas conexiones sean realizables, hay que respetar ciertas reglas.

- No se debe poner en cortocircuito una fuente de tensión, pero puede dejársela a circuito abierto.
- No se debe dejar a circuito abierto una fuente de corriente, pero puede dejársela en cortocircuito.
- No se deben conectar entre si dos fuentes de la misma naturaleza.

A.5. Descripción del método de síntesis

Tendiendo en cuenta las definiciones y reglas enunciadas se describen los siguientes pasos para la síntesis de un C. E.

- Determinar la naturaleza de la fuente de entrada y de salida a fin de deducir la configuración de base a partir de los siguientes esquemas.

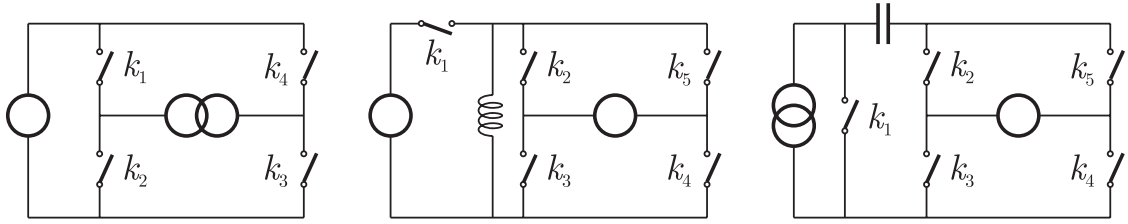


Figura A.4: Configuraciones base de convertidores estáticos

- Deducir de las condiciones de la carga, las reversibilidades en tensión y en corriente de las fuentes de entrada y de salida.
- Identificar sobre la configuración de base correspondiente las secuencias de funcionamiento necesarias, teniendo en cuenta las reversibilidades en tensión y en corriente y los controles de energía deseados. Efectuar las simplificaciones de la estructura de base si es necesario y deducir el esquema del C. E.
- Para las diferentes secuencias, observar el sentido de la corriente en los interruptores encendidos y el signo de la tensión en bornes de los que están bloqueados. Deducir la característica $I_K((V_K))$ de cada interruptor.
- Deducir de un estudio en profundidad de las condiciones de la carga y en particular de las formas de onda deseadas el encadenamiento de las diferentes secuencias de funcionamiento. Para cada conmutación representar el punto de funcionamiento de cada interruptor antes y después de la conmutación.
- Conociendo la característica estática y los modos de conmutación de cada interruptor, deducir la clase de interruptor a utilizar.

A.6. Ejemplo de síntesis de un convertidor

A modo de ejemplo, se considera el diseño de un convertidor para una fuente pulsada de corriente. La figura A.5 muestra las características de tensión y corriente requeridas en la carga. La carga es del tipo RL , sin embargo, a los efectos

de simplificar el análisis se asume que es inductiva pura.

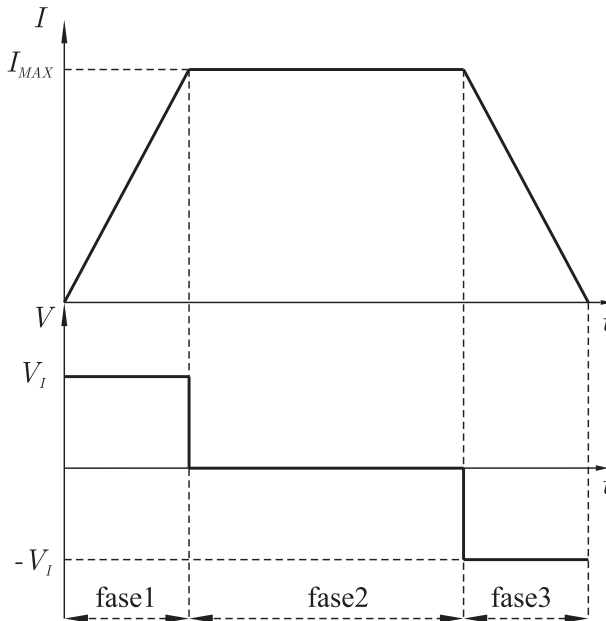


Figura A.5: Formas de onda de tensión y corriente con carga inductiva

A.6.1. Caracterización de la fuente de entrada salida

La fuente de entrada es una fuente de tensión reversible en corriente. Esta reversibilidad es necesaria ya que se prevé, durante la fase 1, que la fuente de entrada entregue energía a la carga y que durante la fase 3 la energía de la carga retorne al generador. La salida es una carga inductiva, por lo tanto se va a considerar a la misma como una fuente de corriente. A partir de este análisis se determina que la estructura básica del convertidor es la directa, representada en la figura A.6.

A.6.2. Secuencia de operación del convertidor

En la figura A.5 se pueden identificar tres fases diferentes en la generación del pulso de corriente. Cada una de estas fases está asociada a un estado diferente

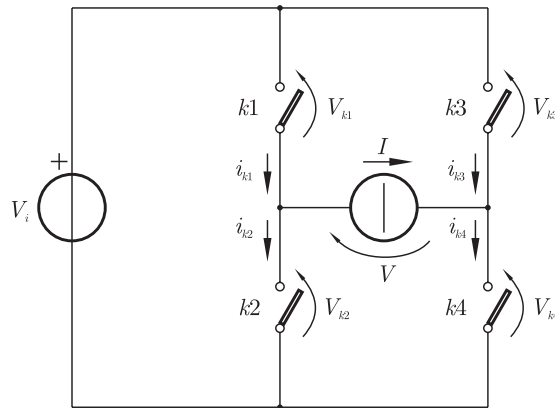


Figura A.6: Estructura básica de un convertidor directo

de las llaves.

En la fase 1 la fuente de entrada alimenta a la carga, por lo tanto teniendo en cuenta las características de la fuente de entrada y salida se determina que las llaves $K1$ y $K4$ deben estar cerradas y que las llaves $K2$ y $K3$ deben estar abiertas.

En la fase 2 la corriente en la carga debe mantenerse en un valor constante. Luego, asumiendo que la carga es inductiva pura, se puede ver que resulta necesario introducir una secuencia de rueda libre, ya sea por $K2 - K4$ ó por $K1 - K3$. En este caso se considera, por ejemplo, $K2 - K4$.

En la fase 3 se inicia la descarga del inductor y por lo tanto el retorno de la energía a la fuente de entrada. En este caso, se establece que la condición de las llaves debe ser: $K2$ y $K3$ cerradas y $K1$ y $K4$ abiertas. En el cuadro 1 se resumen las diferentes fases con el estado de las llaves.

Fases	Estado de las llaves
1	$K1 = K4 = \text{cerradas}$ $K2 = K3 = \text{abiertas}$
2	$K2 = K4 = \text{cerradas}$ $K1 = K3 = \text{abiertas}$
3	$K2 = K3 = \text{cerradas}$ $K1 = K4 = \text{abiertas}$

Cuadro A.1: Estado de las llaves en las diferentes fases

A.6.3. Características estáticas y dinámicas de los interruptores

A partir de la secuencia de operación de los interruptores y observando el sentido de la corriente en los interruptores encendidos y el signo de la tensión en los interruptores bloqueados se deducen los siguientes diagramas $I_K((V_K))$ para cada una de las llaves. En estos diagramas se ha asumido características estáticas de dispositivos ideales.

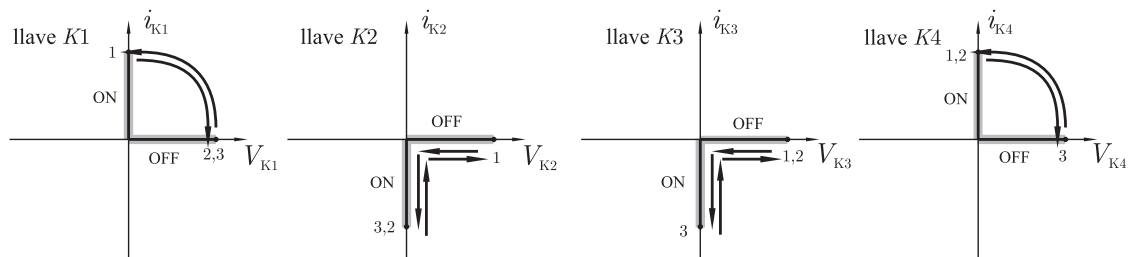


Figura A.7: Característica estáticas y de conmutación de los interruptores

Se puede observar que $K1$ y $K4$, presentan características de conmutación con comando al encendido y al pagado. Estas características junto con las estáticas se corresponden con las de un transistor bipolar de juntura (TBJ) o con las de un IGBT (Insulated Gate Bipolar Transistor). En el caso de las llaves $K2$ y $K3$ las características estáticas y de conmutación se corresponden con las de un diodo. Es decir, presentan un encendido y apagado natural y unidireccionalidad en

corriente. La figura A.8 muestra las características estáticas y dinámicas asociadas con cada dispositivo.

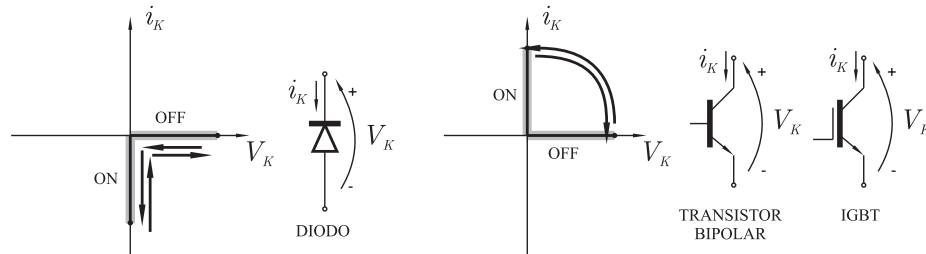


Figura A.8: Ejemplos de características estáticas y de conmutación.

Finalmente, efectuando una sustitución de estos dispositivos en la estructura general del convertidor directos se obtiene el esquema de la figura A.9.

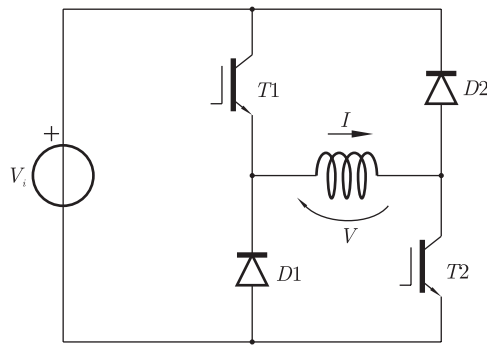


Figura A.9: Estructura final del convertidor

En este apéndice se presentó una metodología formal de síntesis de convertidores estáticos. Dicha método permite a partir de las especificaciones de la fuente de entrada y la carga obtener los dispositivos requeridos como así también las características estáticas y de conmutación de los mismos.

Apéndice B

Control de acoplamiento de estructuras

B.1. Introducción

La conexión de las diferentes etapas, al inicio del flat-top, puede generar respuestas transitorias debidas a posibles diferencias entre la corriente de la carga, la corriente del generador polifásico y la tensión del capacitor de acople. Asimismo, aun si las condiciones iniciales de las etapas del circuito son las de régimen permanente, los transitorios se pueden producir por desajustes en las condiciones iniciales del controlador del lazo externo. Esto se debe a que la operación del controlador se habilita cuando las condiciones iniciales del circuito son distintas de cero.

A los efectos de representar esta problemática, se muestra en la figura B.1 la estructura del convertidor en el instante posterior inmediato al acoplamiento.

La naturaleza resonante de este circuito determina que los posibles transitorios producidos sean respuestas oscilatorias amortiguadas cuya duración y amplitud pueden superar las especificaciones de precisión requeridas por estas fuentes. Por

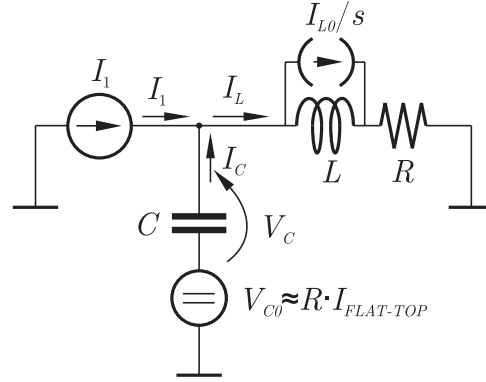


Figura B.1: Circuito equivalente del sistema al momento de acople

esta razón, resulta necesario realizar un estudio de las distintas alternativas de control a fin reducir la amplitud y la duración del transitorio a valores aceptables para esta aplicación.

Existen diferentes formas de controlar estos transitorios, las cuales se basan en agregar un circuito de compensación (amortiguamiento pasivo), controlar la corriente I_1 (control por trayectoria de estados) y realimentar las variables de estados. A continuación se describen en detalle cada una de ellas.

B.2. Amortiguamiento pasivo

La compensación pasiva es una de las técnicas más utilizadas, la cual consiste en el agregar una rama $R_P \cdot C_P$ al circuito RLC . Este esquema amortigua el sistema a la frecuencia de resonancia sin modificar el comportamiento en baja frecuencia. La figura B.2 muestra el esquema circuital de esta compensación.

El agregado de C_P permite que la resistencia R_P actúe principalmente a la frecuencia de oscilación, evitando de esta forma la disipación innecesaria de potencia en continua. Sin embargo, el agregado de esta red reduce el rendimiento global del sistema. Por otro lado, el diseño de esta red depende estrictamente de

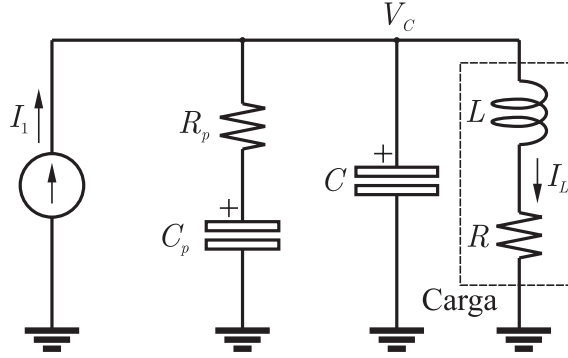


Figura B.2: Circuito para amortiguamiento pasivo

los parámetros de la carga, lo cual reduce la flexibilidad de ajuste en la compensación.

En [46] se detallan métodos de diseño para obtener los valores de C_P , y R_P de acuerdo al comportamiento deseado del filtro. No obstante, el criterio de diseño más frecuente se puede resumir en los siguientes pasos:

- Inicialmente se asume que la impedancia del capacitor C_P a la frecuencia de oscilación es menor que R_P . De esta forma, se puede considerar que la red de compensación esta formada únicamente por la resistencia R_P . Tendiendo en cuenta esta aproximación se calcula el factor de amortiguamiento del circuito como:

$$\xi = \frac{R}{2} \cdot \sqrt{\frac{C}{L}} + \frac{1}{2 \cdot R_P} \cdot \sqrt{\frac{L}{C}} \quad (\text{B.1})$$

- Debido a que el objetivo es eliminar las oscilaciones, se calcula R_P para obtener un valor de $\xi = 1$. Luego:

$$R_P = \frac{L}{2\sqrt{LC} - CR} \quad (\text{B.2})$$

- En general se cumple $CR \ll \sqrt{LC}$, por lo tanto, la resistencia de compensación se puede calcular en forma aproximada como:

$$R_P \approx \frac{1}{2} \sqrt{\frac{L}{C}} \quad (\text{B.3})$$

- Como se indico anteriormente la impedancia de C_P a la frecuencia de resonancia debe ser menor que R_P . Un criterio comúnmente adoptado es:

$$\frac{1}{\omega_0 \cdot C_P} = \frac{R_P}{2} \quad (\text{B.4})$$

Donde $\omega_0 \approx 1/\sqrt{LC}$.

Sustituyendo B.3 en B.4 se obtiene:

$$C_P \approx 4 \cdot C \quad (\text{B.5})$$

Luego, se puede ver que el capacitor requerido para la red de compensación debe ser 4 veces mayor que el capacitor de acople.

Las suposiciones efectuadas en el diseño de la red de compensación constituyen una solución práctica que evita resolver el sistema de tercer orden. Si bien, estas suposiciones proporcionan resultados muy aproximados, resulta necesario tener en cuenta algunas consideraciones. En principio, el agregado de C_P incrementa el orden del sistema y modifica la condición de amortiguamiento crítico, obteniéndose de esta forma dos polos complejos conjugados y un polo real, cuyas expresiones están dadas por:

$$p_1 \approx -\frac{1}{(R_P \cdot C)} \quad (\text{B.6})$$

$$p_{2,3} \approx -\frac{C_P R_P}{2L \cdot (C_P + C)} \pm j \frac{1}{\sqrt{L(C_P + C)}} \quad (\text{B.7})$$

Otro aspecto importante es que la frecuencia de oscilación obtenida es menor que la frecuencia de oscilación del sistema sin compensar. Esta disminución de frecuencia constituye un inconveniente ya que contribuye a incrementar el tiempo transitorio. La solución habitual es establecer que la suma de las capacidades sea igual al valor original del capacitor de acople. La relación entre estas capacidades esta dada por:

$$C_1 = 1/5 \cdot C \quad (\text{B.8})$$

$$C_P = 4/5 \cdot C \quad (\text{B.9})$$

Donde C_1 y C_P son los nuevos valores de capacidad de acople y compensación respectivamente. Esta nueva condición obliga a recalcular R_P con el capacitor C_1 . Este esquema de compensación, se puede realizar en forma consecutiva o conjunta con el lazo de control externo. En la forma consecutiva la red de compensación ajusta las variables del sistema a los valores próximos de flat-top y cuando se detecta que los mismos están dentro de los límites de precisión deseada se habilita la operación del lazo de control externo. De esta forma, se busca reducir la acción de control requerida por el lazo externo al momento de acoplamiento. Esta metodología de operación consecutiva determina que la duración del transitorio este definida por la repuesta del circuito de compensación y las condiciones iniciales de las variables. Por ejemplo, si se asume que las corrientes iniciales en I_1 y en I_L son iguales y que los capacitores están descargados, se obtiene la siguiente expresión para la corriente de carga.

$$i_L(t) \approx i_L(0) - I_1 \cdot R \cdot \sqrt{\frac{(C_P + C)}{L}} \cdot e^{-A \cdot t} \sin \beta t \quad (\text{B.10})$$

Donde $A = \frac{C_P \cdot R_P}{2 \cdot L \cdot (C_P + C)}$ y $\beta = \frac{1}{\sqrt{(C_P + C) \cdot L}}$.

A partir de B.10 es posible determinar el tiempo tx requerido para que la corriente en la carga se encuentre dentro de los límites de precisión definida por p .

$$tx \approx -\frac{1}{A} \cdot \ln \left(\frac{p}{R} \cdot \sqrt{\frac{L}{(C_P + C)}} \right) \quad (\text{B.11})$$

La figura B.3 muestra la forma de onda del transitorio de acoplamiento para este caso particular.

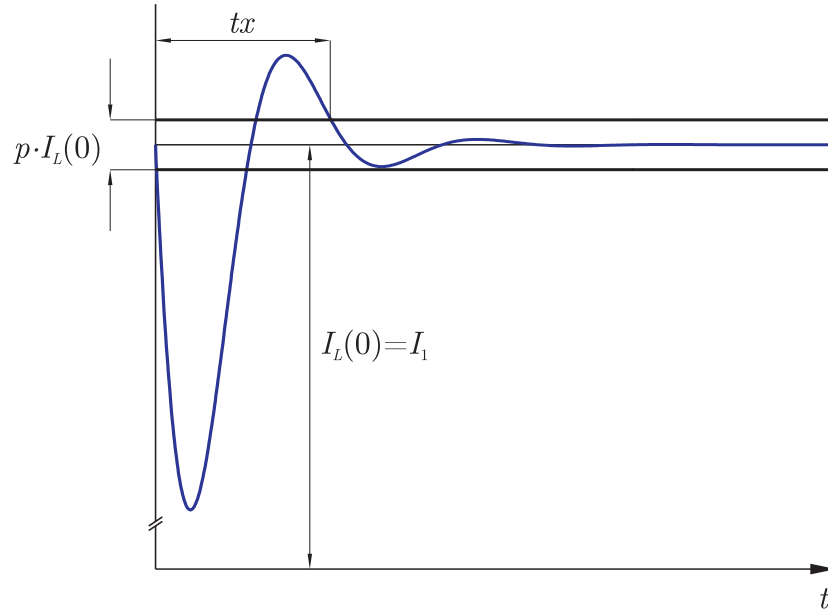


Figura B.3: Transitorio de acoplamiento

Si bien el caso planteado permite una determinación simple del tiempo tx , por lo general las situaciones más frecuentes involucran diferencias en las condiciones iniciales de las corrientes que pueden extender aun mas este tiempo.

A partir del momento en que se obtiene la condición dada por tx , es decir que $I_L \leq I_{REF} \cdot (1 \pm p)$, se conecta el controlador del lazo cerrado considerando como planta a compensar el circuito RLC y la red de amortiguamiento.

En el modo de operación conjunta el lazo control externo se inicia cuando se detecta que I_L alcanza el valor de referencia. De esta forma el funcionamiento del lazo externo queda incluido en la etapa del transitorio. A diferencia del caso anterior, el comportamiento del transitorio va a estar determinada por la característica del lazo externo. El controlador requerido por este lazo debe, al igual que en la compensación consecutiva, compensar los polos del circuito de amortiguación pasiva. El método de compensación clásico consiste en realizar una cancelación de polos de la planta por medio del agregado de ceros en el compensador. En general por razones prácticas esta metodología no permite efectuar una cancelación exacta de estos polos, con lo cual se corre el riesgo de que los términos remanentes generen comportamientos transitorios de baja frecuencia. Además, este tipo de compensación hace compleja la implementación del controlador y vuelve al sistema más susceptible a los ruidos de perturbación.

Nuevamente, el inconveniente de los métodos de compensación pasiva es que los valores de C_P y R_P están íntimamente relacionados con los valores de la carga, por lo tanto frente a cambios en la misma, sus valores deben ser recalculados, ocasionando de esta forma una pérdida de flexibilidad en la compensación. La diferencia entre usar compensación pasiva con operación consecutiva o conjunta del lazo externo esta en la magnitud de la acción de control. En el caso de operación conjunta la acción de control del lazo externo es mayor debido a que este opera para corregir el transitorio de acoplamiento. En la operación consecutiva el lazo de control no entra en funcionamiento hasta que las variables del sistema están próximas a los valores de régimen permanente. De esta forma, el acoplamiento del controlador se da prácticamente en condiciones de error nulo.

B.3. Control por trayectoria de estados

Esta nueva técnica de control de transitorio propuesta surge del análisis de la trayectoria de las variables del circuito en el plano de estados. Para comprender el principio de operación de este control se considera la figura B.4.

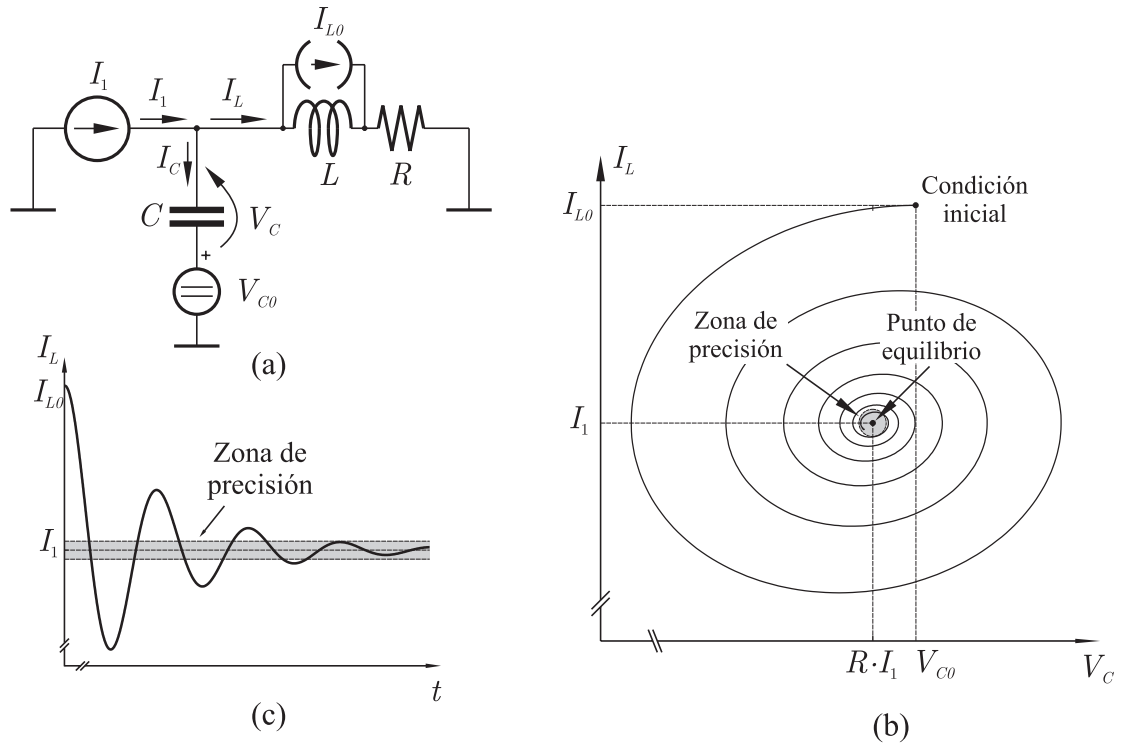


Figura B.4: Transitorio de acoplamiento

a) Circuito equivalente b) Plano de estados c) Evolución temporal de I_L

La figura B.4a muestra el circuito equivalente del sistema en el instante inmediato al acoplamiento, la figura B.4b muestra la trayectoria de estado del sistema sin acción de control y la figura 4c la evolución temporal de la corriente en la carga.

En figura B.4b se puede observar que existe un punto en el plano de estados denominado punto de equilibrio, el cual representa la condición ideal de estado estacionario, dada por I_1 y $R \cdot I_1$. Si durante el acoplamiento la condición inicial de

I_L y V_C coinciden con los valores del punto de equilibrio, no se produce transitorio. Por el contrario, si en el momento de acople el valor de I_L y V_C no coincide con la condición de equilibrio, las variables del sistema evolucionaran con una respuesta oscilatoria amortiguada a partir de las condiciones iniciales hacia el estado de régimen permanente (ver figura B.4c). Las características de esta evolución se encuentran gobernadas por los valores de L y C . En el plano de estados esta evolución queda representada como la trayectoria que va desde la condición inicial hacia el punto de equilibrio.

Analizando el plano de estados se puede ver que el punto de equilibrio opera como centro de la trayectoria de estados. Si en este sistema se modifica el punto de equilibrio de forma tal que la trayectoria de estado resultante pase por el punto correspondiente a la condición deseada de estado estacionario se habrá obtenido una técnica para controlar el transitorio de acople en un semiperiodo de oscilación. El método propuesto se basa en modificar I_1 transitoriamente de forma de hacer que la nueva trayectoria resultante pase por el punto de equilibrio deseado (I_1 , $R \cdot I_1$). La figura B.5 muestra las trayectorias de estados obtenidas con este control.

Se puede observar que ajustando el generador de entrada a I_1' (aproximadamente el valor intermedio entre I_{L0} y el I_1 deseado) se modifica el centro de la trayectoria de estados de forma tal que la curva resultante pasa en medio periodo de oscilación por la zona de precisión. Sin embargo, es importante aclarar que la variación de I_1 desplaza el centro de la trayectoria de estados siguiendo la recta indicada en la figura. Esta recta es consecuencia de la relación que la resistencia de carga establece entre la corriente I_1 y la tensión V_C de régimen permanente. En las aplicaciones típicas de fuentes pulsadas, donde las potencias en juego son elevadas, esta recta es prácticamente perpendicular (baja resistencia de carga). Sin embargo, por cuestiones de generalidad se la ha incorporado al estudio. Como consecuencia de la recta la acción de control a través de I_1 queda restringida a

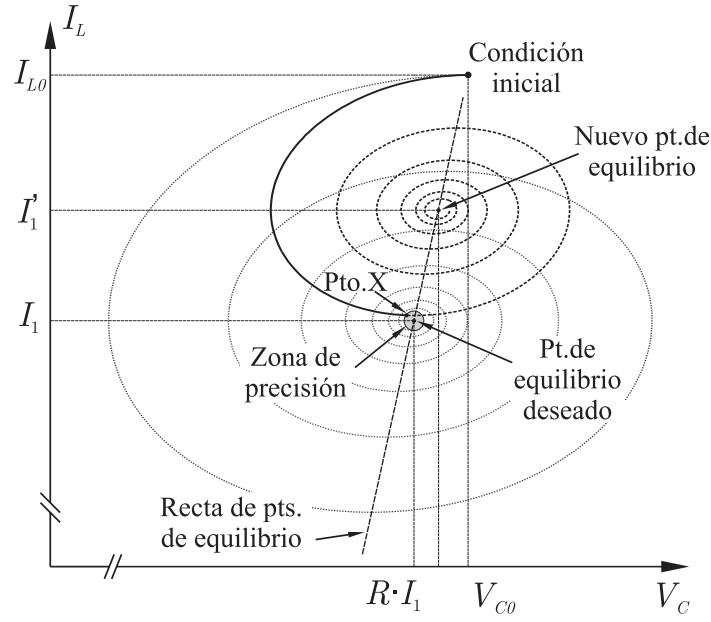


Figura B.5: Control por trayectoria de estados

casos de acoplamiento con condiciones iniciales de V_C próximas a las de régimen permanente. Es decir, si bien pueden existir diferencias importantes entre I_1 e I_{L0} , la tensión V_{C0} debe ser próxima a la de flat-top. Luego, se puede concluir que este método de control requiere la carga inicial del capacitor.

Teniendo en cuenta el amortiguamiento del sistema (ξ) se puede calcular la corriente de control I'_1 como:

$$I'_1 = I_L(0) - \frac{\Delta I}{(1 + e^{-\frac{\xi \cdot \pi}{2}})} \quad (\text{B.12})$$

Donde $\Delta I = [I_L(0) - I_1]$ y $\xi = -\frac{R}{2} \sqrt{\frac{C}{L}}$.

Este valor de I'_1 debe ser la referencia del convertidor polifásico solo durante el tiempo transitorio. Una vez que se detecta que I_L alcanza la zona de precisión se retorna I_1 al valor inicial con lo cual todas las condiciones del circuito corresponden a las condiciones estacionarias deseadas. De esta forma se da por finalizado el transitorio de acoplamiento y a partir de ese instante se inicia la operación del

lazo de control externo.

El controlador a implementar debe compensar los polos del circuito RLC . El empleo de la técnica clásica de compensación basada en la cancelación no es la solución mas adecuada ya que los polos del circuito son complejos conjugados.

Otra solución es realizar una realimentación de estados para el circuito RLC y un lazo de control externo para la corriente de carga. La realimentación de estados permite reasignar los polos del circuito RLC y simplificar la expresión del controlador del lazo externo. Esta metodología, se explica con más detalle en la siguiente sección.

La ventaja de utilizar en forma consecutiva el control por trayectoria de estados y los controles por realimentación es que el acoplamiento del controlador del lazo externo se realiza en condiciones próximas a las de régimen permanente. De esta forma, se reduce la acción de control al momento de acoplamiento.

Una desventaja de este método es que la duración del transitorio queda definida por las características del circuito RLC , es decir:

$$tx = \pi \cdot \sqrt{LC} \quad (\text{B.13})$$

Como se indico anteriormente el ajuste de este tiempo solo se puede realizar por medio del capacitor de acople. Sin embargo, este ajuste resulta una relación de compromiso entre el filtrado del ripple de alta frecuencia y la duración del transitorio.

Para que la operación del control por trayectoria de estados sea posible se debe cumplir que el convertidor polifásico debe ser capaz de seguir el cambio en la referencia de I_1 en mucho menor tiempo que la mitad de un ciclo de oscilación. De esta manera el convertidor polifásico se comporta, frente al circuito RLC , como un escalón de entrada.

B.4. Control por realimentación de estados

El control por realimentación de estados es otra forma de compensar el circuito RLC durante el acoplamiento, sin agregar elementos adicionales al sistema. Esta técnica de control permite reasignar en forma electrónica los polos del circuito de forma de obtener el comportamiento deseado. Para que sea posible la reasignación de todos polos se debe cumplir que el sistema debe ser totalmente controlable. Si este es el caso, por medio de esta realimentación es posible obtener cualquiera de los posibles comportamientos de un sistema de segundo orden: sub-amortiguado, sobre-amortiguado o amortiguamiento critico.

La figura B.6 muestra el sistema de control completo en el cual se ha resaltado la realimentación de estados del circuito RLC por medio de las ganancias K_1 y K_2 .

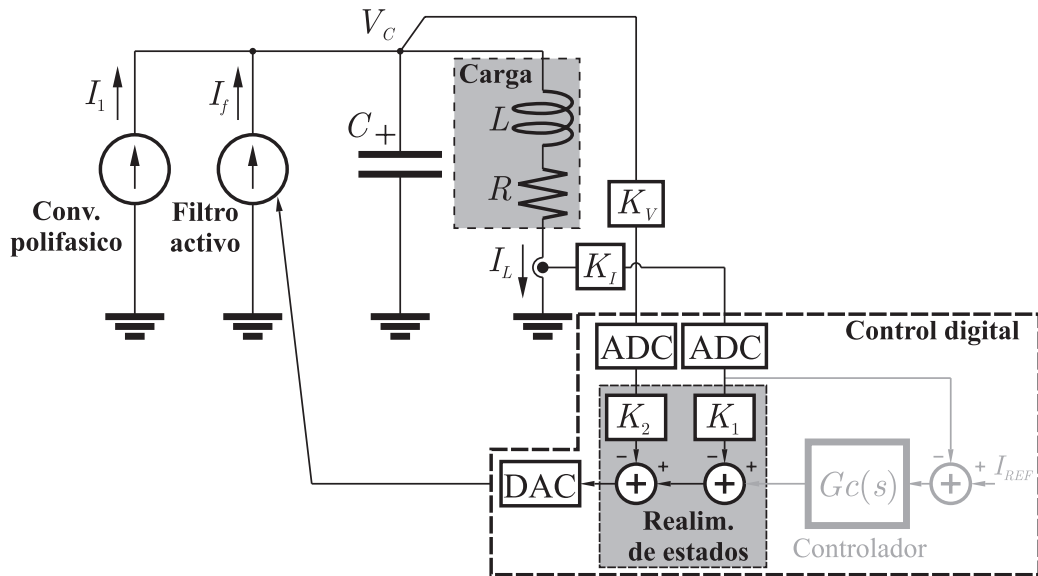


Figura B.6: Esquema de compensación por realimentación de estados

A los efectos de simplificar el análisis, se considera al convertidor polifásico como un generador de corriente I_1 y al filtro activo como un generador controlado de corriente I_f . En el caso del filtro activo se asume que el ancho de banda del

mismo es mayor que la dinámica de los lazos de realimentación y que su capacidad de corriente es tal que no se produce saturación durante el control.

Para determinar la ganancia de realimentación es necesario obtener el modelo de estado discreto de la planta a partir de las matrices $\mathbf{A}$ y $\mathbf{B}$ del modelo continuo y del periodo de muestreo T .

$$\begin{cases} \mathbf{x}(k+1) = \mathbf{G} \cdot \mathbf{x}(k) + \mathbf{H} \cdot \mathbf{u}(k) \\ \mathbf{y}(k) = \mathbf{C} \cdot \mathbf{x}(k) \end{cases} \quad (\text{B.14})$$

$$\text{Donde: } \mathbf{G} = e^{\mathbf{A}T} \text{ y } \mathbf{H} = \left(\int_0^T e^{\mathbf{A}\lambda} d\lambda \right) \mathbf{B}$$

Previo al cálculo de las ganancias de realimentación se debe determinar, a través de la matriz controlabilidad $\mathbf{M}$, que el sistema sea totalmente controlable. Es decir, en este caso se debe cumplir que el rango de $\mathbf{M}$ debe ser 2.

El cálculo de $\mathbf{M}$ se realiza a partir de la siguiente expresión:

$$\mathbf{M} = \begin{bmatrix} \mathbf{H} & \mathbf{GH} & \dots & \mathbf{G}^{n-1}\mathbf{H} \end{bmatrix} \quad (\text{B.15})$$

Esta condición que en principio resulta trivial para el modelo continuo, en el caso de un control discreto se debe verificar para la frecuencia de muestreo seleccionada. En lo subsiguiente para el desarrollo analítico del método se va a asumir que el sistema es totalmente controlable.

Existen diferentes formas de determinar las ganancias de realimentación $Kd1$, $Kd2$ [40]. Sin embargo, dado el bajo orden de la planta, el procedimiento adoptado consiste en igualar los coeficientes de la ecuación característica del sistema realimentado con la ecuación característica deseada. Como los coeficientes del sistema realimentado son función del periodo T y de las ganancias de realimentación, a partir de esta igualación se obtiene las ecuaciones que permiten calcular dichas ganancias.

Para el cálculo de la ecuación característica deseada se deben determinar los polos en el plano discreto a partir del valor deseado en el plano continuo. El mapeo del plano continuo al discreto se realiza empleando la transformada Z .

$$z_1 = e^{-p_1 \cdot T} \quad (\text{B.16})$$

Donde p_1 es la frecuencia del polo en el plano continuo y z_1 su correspondiente valor en el plano discreto. Una vez determinados los polos en Z se calcula la ecuación característica deseada como:

$$(z + z_1) \cdot (z + z_2) \quad (\text{B.17})$$

Para el caso particular de amortiguamiento crítico la ecuación característica esta dada por:

$$(z + z_1)^2 = z^2 + 2z_1 \cdot z + z_1^2 \quad (\text{B.18})$$

Los coeficientes de (B.17) ó (B.18) se deben igualar con los respectivos coeficientes de la ecuación obtenida a partir de las matrices del sistema. Luego, esta ecuación se puede determinar como:

Donde los α_i son los coeficientes función de T y de las ganancias de realimentación.

La realimentación de la planta por variables de estado presenta a lazo cerrado una ganancia en continua, K_{0d} , cuyo valor depende de las ganancias de realimentación.

$$K_{0d} = \frac{1}{(1 + K_{d1} + RK_{d2})} \quad (\text{B.19})$$

A diferencias de los métodos de compensación anteriores esta técnica disminuye la ganancia del sistema compensado. Sin embargo, esta característica no representa un inconveniente ya puede ser compensada por el controlador del lazo externo.

Una de las ventajas de esta compensación, que la diferencia del resto, es que la dinámica del transitorio se puede controlar a través las ganancias de realimentación. Esta flexibilidad en el ajuste del sistema es fundamental en este tipo de aplicación en el cual las características de la carga pueden ser muy diferentes.

La posibilidad de reasignar los polos a una frecuencia mayor que el ancho de banda deseado permite además simplificar el controlador del lazo externo a uno de tipo integral. De esta forma, se facilita la implementación del sistema de control y la inicialización del controlador durante la etapa de acoplamiento.

B.5. Comparación de los métodos

A los efectos de evaluar los distintos métodos de compensación de transitorio se efectuaron simulaciones en MATLAB considerando en todos los casos los mismos requerimientos. Los parámetros y especificaciones del sistema simulado se resumen en el Cuadro B.1.

Parámetros	
Inductancia de carga (L)	1 mH
Resistencia de carga (R)	150 m Ω
Capacitor de acople (C)	2 μ F
Especificaciones	
Corriente de flat-top (I_{REF})	2 kA
Ancho de banda (ω_C)	10 kHz
Margen de fase	$\geq 50^\circ$
Error a entrada al escalón	nulo
Precisión de corriente en el flat-top	100ppm

Cuadro B.1: Parámetros y especificaciones del sistema

Para simplificar el análisis se considera al convertidor polifásico como un generador ideal de corriente de valor I_{REF} y al filtro activo como un generador ideal de corriente controlado. Los valores de la tabla fueron ajustados para responder a las características reales de una fuente de corriente pulsada de elevada corriente.

En todos los casos se considero la implementación de un controlador digital para el lazo externo a fin de evaluar la complejidad y la acción de control del mismo. Los casos de compensación evaluados son:

- **Compensación pasiva 1:** Esta compensación comprende el agregado de la red pasiva $R_P \cdot C_P$ ajustada para obtener amortiguamiento próximo al crítico. El controlador del lazo externo tiene un polo en el origen, un polo en alta frecuencia y dos ceros que cancelan los polos de la planta amortiguada. La operación del controlador se habilita cuando las variables del sistema están próximas a los valores deseados de régimen permanente.

- **Compensación pasiva 2:** Esta compensación es igual a la anterior con la diferencia que el controlador del lazo externo se habilita desde el inicio de la etapa de acoplamiento.

- **Compensación por realimentación de estado:** En esta compensación se ajustan las ganancias de realimentación para reasignar los polos de la planta por encima de la frecuencia de corte (ω_C) y se utiliza un controlador tipo integral para el lazo externo.

- **Compensación por trayectoria de estado:** Esta compensación ajusta la corriente del generador I_1 para que la corriente en la carga converja en medio periodo de oscilación al valor de régimen permanente. Cuando se detecta esta condición se habilita la operación de un control interno por realimentación de estados y un controlador tipo integral para el lazo externo.

En las simulaciones efectuadas se considero en todos los casos la carga inicial del capacitor al valor de régimen permanente. En el caso de la corriente de carga

se asume un error inicial de 4 amperios respecto del valor de referencia. La figura B.7 muestra la respuesta transitoria de la corriente en la carga obtenida con los diferentes métodos de compensación.

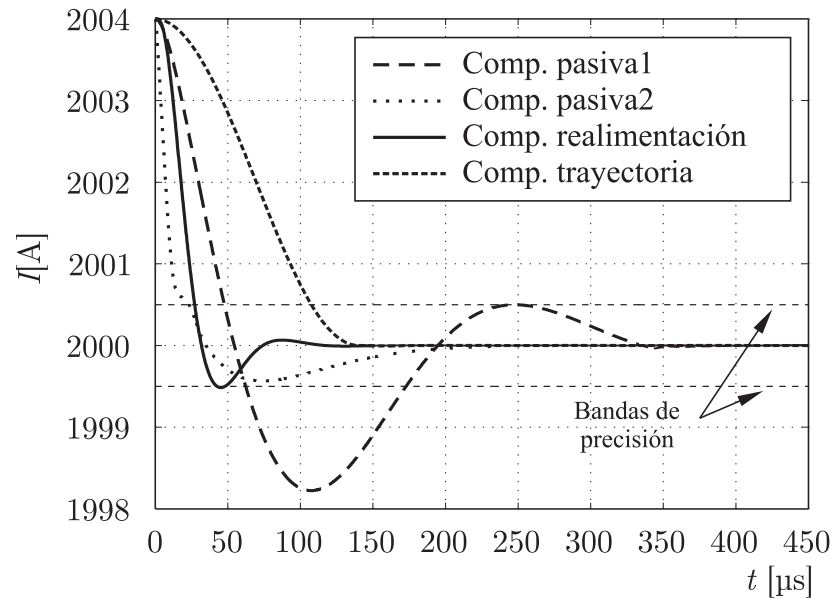


Figura B.7: Transitorio de I_L con los distintos métodos de compensación.

Los resultados obtenidos muestran que la **compensación pasiva 1** presenta el mayor tiempo transitorio con una respuesta oscilatoria amortiguada. El hecho de que el control del lazo externo se habilite cuando las variables están próximas a los valores de régimen permanente hace que la evolución de la corriente I_L durante el transitorio dependa de la característica de la compensación pasiva.

En el caso de la **compensación pasiva 2** la evolución de la corriente I_L durante el transitorio depende de la característica del lazo externo. Los errores de cancelación entre los polos de la planta y los ceros del controlador pueden generar componentes residuales que afectan la respuesta transitoria. En la figura B.7 se puede observar que debido a que la cancelación de los polos se efectúa con ceros reales la respuesta del sistema presenta componentes no deseadas que extienden la duración del transitorio.

La **compensación por trayectoria de estado** presenta una respuesta transitoria cuya duración corresponde a la mitad del periodo de oscilación del circuito *RLC*. Esta característica determina que la única forma de reducir este tiempo es mediante el ajuste del capacitor de acoplamiento. Como se indico en otra oportunidad este ajuste representa una relación de compromiso con el rechazo de ripple de alta frecuencia.

La **compensación por realimentación de estado** presenta el menor tiempo transitorio. Esta respuesta queda definida por la transferencia del lazo de compensación externo. Al reasignar los polos de la planta por encima de la frecuencia de corte el ajuste de I_L a la zona de precisión es rápida y se encuentra definida por la frecuencia ω_C .

Otro aspecto importante que se debe tener en cuenta para comparar los diferentes métodos propuestos, es la acción de control requerida, la cual esta limitada por el rango de operación del filtro activo.

La figura B.8 muestra la corriente del filtro activo para cada uno de los métodos. En esta figura se puede observar que el método de compensación pasivo 1 y el control por trayectoria de estados presentan la menor acción de control. Esto se debe fundamentalmente al hecho de que el control del lazo externo, en ambos casos, se habilita una vez que las variables están próximas a los valores de régimen permanente. Sin embargo, el hecho de reducir la señal de control tiene como contrapartida la dependencia del tiempo transitorio con la frecuencia de oscilación de la planta.

Los métodos de compensación pasiva 2 y de realimentación de estados presentan mayores requerimientos de control debido a que la operación del lazo externo se realiza desde el instante inicial de acoplamiento. Sin embargo, en la figura B.8 se puede observar que el control pasivo 2 requiere una señal de control mucho mayor que la técnica por realimentación de estados. Esto se debe principalmente

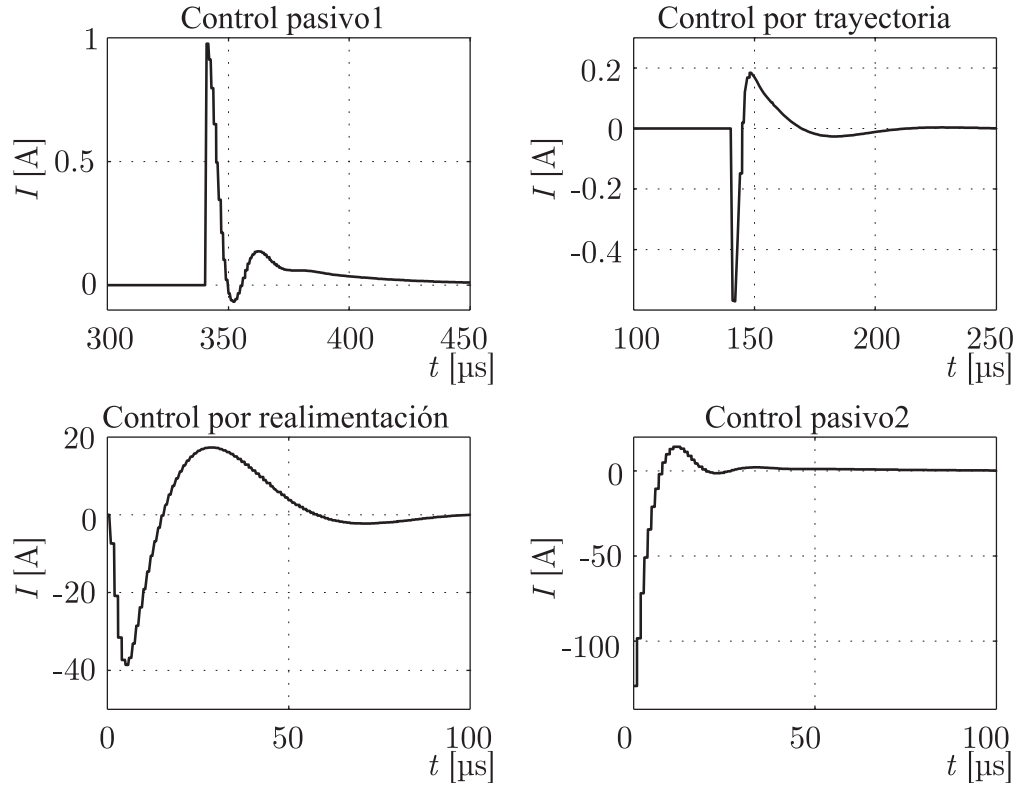


Figura B.8: Corriente del filtro activo con los distintos métodos de compensación

a la diferencia en el controlador del lazo externo. En el caso del control pasivo 2 la existencia de ceros en el controlador hace que la diferencia entre I_{L0} e I_{REF} (error de corriente del lazo externo) produzca una acción de control abrupta. En el caso del control por realimentación de estados este cambio abrupto no se produce debido a la acción integradora del controlador.

La elección de uno u otro método de compensación dependerá de las condiciones de precisión, valor de capacitor de acople y duración del transitorio, las cuales son particulares de cada aplicación. Sin embargo, en base a los resultados obtenidos y a las condiciones de ajuste se puede estimar como método más convenientes la realimentación de estados.

Apéndice C

Análisis del sistema en la etapa de bajada

C.1. Introducción

Al final del flat-top se inicia la etapa de bajada, la cual tiene como objetivo recuperar la energía almacenada en la carga y en el convertidor polifásico sobre la fuente de entrada. Como consecuencia de la apertura de todas las llaves del sistema la estructura del convertidor queda conformada de la siguiente manera.

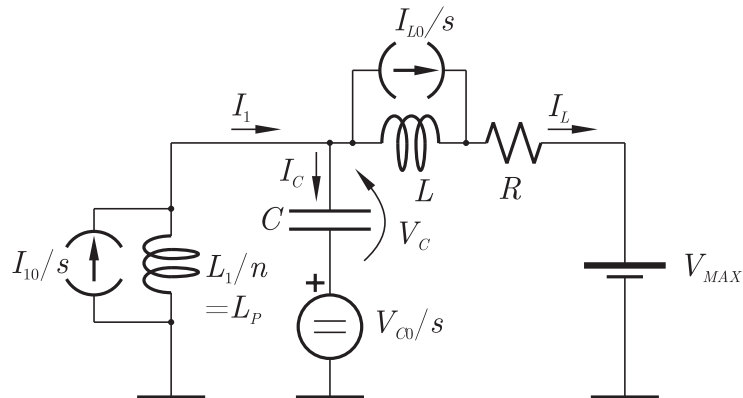


Figura C.1: Circuito del convertidor durante la etapa de bajada

En este circuito se va a asumir que las inductancias del convertidor polifásico son iguales entre si y que la resistencia serie de las mismas es despreciable. Si bien esto no es exactamente así, la existencia de dispersiones en las inductancias del convertidor, no afecta significativamente la respuesta de las variables del circuito. Por lo tanto, sin pretender perder generalidad y a los efectos de simplificar el análisis se considera a la inductancia del convertidor polifásico como una única inductancia equivalente L_P .

Los principales aspectos que se van a analizar de este circuito son la respuesta de la corriente en la carga y de la tensión en el capacitor. Esto se debe a que es importante evaluar que durante toda esta etapa las variables del circuito no superen los límites operacionales de los diferentes dispositivos.

Debido a las características lineales del circuito la evolución de las variables se puede calcular descomponiendo el análisis en respuesta homogénea y particular. La respuesta homogénea corresponde a la evolución natural del sistema y contempla solo las condiciones iniciales de los elementos. La respuesta particular, por su parte, tiene en cuenta la acción de la fuente externa, por lo tanto parte de la solución va a tener influencia de la misma.

C.2. Respuesta homogénea

En la figura C.2 se muestra el circuito para el cálculo de la respuesta homogénea.

Las ecuaciones de este circuito con:

$$\begin{cases} S \cdot L_P \cdot I_{1H}(s) - L_P \cdot i_1(0) = -V_{CH}(s) \\ S \cdot L \cdot I_{LH}(s) - L \cdot i_L(0) + R \cdot I_{LH}(s) = V_{CH}(s) \\ S \cdot C \cdot V_{CH}(s) - C \cdot v_C(0) = I_{CH}(s) \end{cases} \quad (C.1)$$

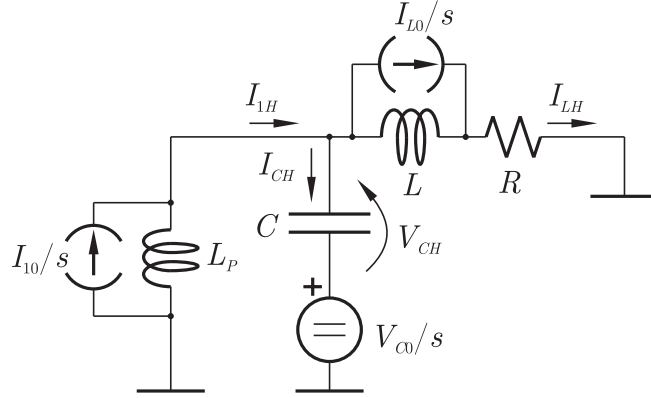


Figura C.2: Circuito equivalente para respuesta homogénea

A partir de estas ecuaciones se determina en primer lugar la respuesta de la tensión del capacitor de acoplamiento.

C.2.1. Respuesta homogénea de la tensión

Operando se obtiene la siguiente expresión para el cálculo de la tensión en el capacitor.

$$V_{CH}(s) = V_{CH1}(s) + V_{CH2}(s) + V_{CH3}(s)$$

$$V_{CH}(s) = \frac{s \cdot L \cdot L_P \cdot [i_1(0) - i_L(0)]}{\Delta} + \frac{i_1(0) \cdot R \cdot L_P}{\Delta} + \frac{s \cdot C \cdot L_P \cdot (s \cdot L + R) \cdot v_C(0)}{\Delta} \quad (C.2)$$

Donde el polinomio denominador $\Delta = C \cdot L \cdot L_P \cdot s^3 + C \cdot L_P \cdot s^2 + (L + L_P) \cdot s + R$.

Los polos de este polinomio determinan la naturaleza de las variables del sistema, por lo tanto, resulta necesario factorizar el mismo. El cálculo de estos polos resultar difícil de realizar en forma exacta e inclusive complica el análisis del sistema. Por lo tanto, teniendo en cuenta las consideraciones del capítulo 2

se efectuaron simplificaciones que no afectan el objetivo del análisis. Es decir, se asume que la inductancia L_P es mucho menor que L y como consecuencia que $L_P \approx L_P // L$. Estas suposiciones permiten plantear la siguiente aproximación del polinomio denominador:

$$\Delta \approx (L_P + L) \cdot \left(s + \frac{R}{(L_P + L)} \right) \cdot (C \cdot L_P // L \cdot s^2 + 1) \quad (\text{C.3})$$

Esta aproximación asume que el circuito tiene una componente oscilatoria pura, cuando en realidad existe una respuesta oscilatoria amortiguada con una constante de tiempo dada por:

$$\tau_\Delta \approx \frac{2 \cdot L^2}{R \cdot L_P} \quad (\text{C.4})$$

En general dado el bajo valor de L_P y R esta constante de tiempo resulta mucho mayor que el tiempo de bajada. Por lo tanto, las oscilaciones existentes en esta etapa se pueden considerar de amplitud constante. A continuación se analizan por separado los distintos términos de V_{CH} .

Término V_{CH1}

$$V_{CH1}(s) = \frac{s \cdot L // L_P \cdot [i_1(0) - i_L(0)]}{\left(s + \frac{R}{(L_P + L)} \right) \cdot (C \cdot L_P // L \cdot s^2 + 1)} \quad (\text{C.5})$$

Se puede observar que este termino esta formado por una respuesta exponencial y una oscilatoria. En ambos casos la amplitud de estos términos va a depender de las diferencias de corriente entre el convertidor polifásico y la carga en el momento inicial de bajada. Luego, aplicando la transformada inversa de Laplace se obtiene:

$$v_{CH1}(t) = -\frac{R \cdot L_P // L}{(L_P + L)} \cdot [i_1(0) - i_L(0)] \cdot \left[e^{-\frac{R}{(L_P + L)}} - \cos \beta t \right] + \sqrt{\frac{L_P // L}{C}} \cdot [i_1(0) - i_L(0)] \cdot \sin \beta t \quad (C.6)$$

Este término de la tensión se puede eliminar haciendo que $i_L(0)$ e $i_1(0)$ sean iguales al inicio de la etapa de bajada. Esta situación no representa ninguna limitación en el sistema ya que solo constituye una demora despreciable en el inicio del final de flat-top. Esta cancelación se puede lograr independiente del valor de la corriente de la carga en el flat-top.

Término V_{CH2}

$$V_{CH2}(s) = \frac{i_1(0) \cdot R \cdot L_P}{(L_P + L) \cdot \left(s + \frac{R}{(L_P + L)} \right) \cdot (C \cdot L_P // L \cdot s^2 + 1)} \quad (C.7)$$

Este término depende únicamente de la condición inicial de la corriente del convertidor polifásico, por lo tanto no se puede cancelar bajo ninguna condición. La expresión temporal correspondiente esta dada por:

$$v_{CH2}(t) \approx \frac{i_1(0) \cdot R \cdot L_P}{L} \left[e^{-\frac{R}{(L_P + L)}} - \cos \beta t \right] \quad (C.8)$$

Término V_{CH3}

$$V_{CH3}(s) = \frac{L_P \cdot v_C(0)}{(L_P + L)} \cdot \frac{C \cdot L \cdot s^2 + s \cdot C \cdot R}{\left(s + \frac{R}{(L_P + L)} \right) \cdot (C \cdot L_P // L \cdot s^2 + 1)} \quad (C.9)$$

Si se descompone esta última expresión en fracciones parciales se obtiene:

$$\begin{aligned}
 V_{CH3}(s) = & \frac{R^2 \cdot C \cdot L_P \cdot v_C(0)}{L^2 \cdot \left(s + \frac{R}{(L_P+L)}\right)} + \left[1 - \frac{C \cdot L_P^3}{L^2}\right] \cdot \frac{v_C(0) \cdot s}{(s^2 + \beta^2)} + \\
 & + \frac{R \cdot \sqrt{C \cdot L_P} \cdot \beta \cdot v_C(0)}{L \cdot (s^2 + \beta^2)}
 \end{aligned} \tag{C.10}$$

Donde $\beta^2 = 1/C \cdot L_P // L$.

Analizando en detalle los residuos de cada uno de estos términos se puede ver que el segundo término es el más significativo. Esto se cumple fundamentalmente para el caso en que β es muy grande y la resistencia de carga es baja. Teniendo en cuenta estas consideraciones y aplicando la transformada inversa de Laplace se llega a:

$$v_{CH3}(t) \approx v_C(0) \cdot \cos \beta t \tag{C.11}$$

Finalmente, si se consideran las aproximaciones realizadas y se tiene en cuenta que el final del flat-top se produce con la condición $i_L(0) = i_1(0)$ se obtiene la siguiente solución homogénea para la tensión del capacitor.

$$v_{CH}(t) \approx \frac{i_1(0) \cdot R \cdot L_P}{L} \left[e^{-\frac{R}{(L_P+L)}t} - \cos \beta t \right] + v_C(0) \cdot \cos \beta t \tag{C.12}$$

C.2.2. Respuesta homogénea de la corriente de carga

Operando con las ecuaciones (C.1) se obtiene la siguiente expresión para la corriente en la carga:

$$I_{LH}(s) = I_{LH1}(s) + I_{LH2}(s) + I_{LH3}(s)$$

$$I_{LH}(s) = \frac{L_P \cdot i_1(0)}{(L_P + L) \left(s + \frac{1}{\tau}\right) \cdot \left(\frac{s^2}{\beta^2} + 1\right)} + \frac{i_L(0) \cdot (s^2 + \alpha^2)}{\left(s + \frac{1}{\tau}\right) \cdot (s^2 + \beta^2)} + \frac{v_C(0)/L \cdot s}{\left(s + \frac{1}{\tau}\right) \cdot (s^2 + \beta^2)} \quad (C.13)$$

Donde $\tau = (L_P + L)/R$ y $\alpha^2 = 1/C \cdot L_P$.

Luego, aplicando la transformada inversa de Laplace a cada uno de estos términos se obtienen las siguientes expresiones temporales:

$$i_{LH1}(t) \approx \frac{i_1(0) \cdot L_P}{L} \left[e^{-\frac{R}{(L_P+L)t}} - \cos \beta t \right] \quad (C.14)$$

$$i_{LH2}(t) \approx i_L(0) \cdot e^{-\frac{R}{(L_P+L)t}} - \frac{L_P}{L} \cdot i_L(0) \cdot \cos \beta t \quad (C.15)$$

$$i_{LH3}(t) \approx \sqrt{\frac{C \cdot L_P}{L^2}} \cdot v_C(0) \cdot \sin \beta t \quad (C.16)$$

Agrupando estos resultados en una única expresión se tiene:

$$i_{LH}(t) \approx \left[\frac{i_1(0) \cdot L_P}{L} - i_L(0) \right] \cdot e^{-\frac{R}{(L_P+L)t}} + \left[\frac{(i_1(0) - i_L(0)) \cdot L_P}{L} \right] \cdot \cos \beta t + \sqrt{\frac{C \cdot L_P}{L^2}} \cdot v_C(0) \cdot \sin \beta t \quad (C.17)$$

Nuevamente, es posible aquí también eliminar términos utilizando la condición $i_L(0) = i_1(0)$. Luego, bajo esta condición la corriente en la carga va a estar dada por:

$$i_{LH}(t) \approx i_L(0) \cdot e^{-\frac{R}{(L_P+L)t}} + \sqrt{\frac{C \cdot L_P}{L^2}} \cdot v_C(0) \cdot \sin \beta t \quad (C.18)$$

C.3. Respuesta particular

La figura C.3 muestra el circuito para el cálculo de la respuesta particular.

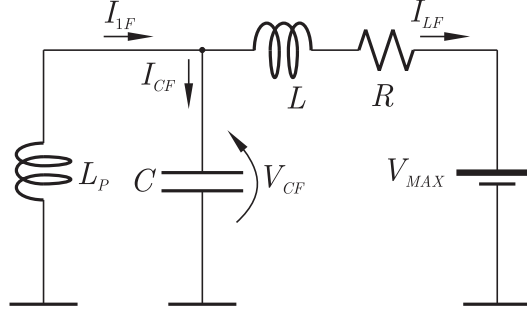


Figura C.3: Circuito equivalente para respuesta particular

Las ecuaciones de este circuito son:

$$\begin{cases} S \cdot L_P \cdot I_{1F}(s) = -V_{CF}(s) \\ S \cdot L \cdot I_{LF}(s) + R \cdot I_{LF}(s) = V_{CF}(s) - V_{MAX}(s) \\ S \cdot C \cdot V_{CF}(s) = I_{CF}(s) \end{cases} \quad (C.19)$$

C.3.1. Respuesta particular de la tensión

A partir de las ecuaciones (C.19) se obtiene la siguiente expresión en el campo transformado para la tensión del capacitor de acople:

$$V_{CF}(s) = \frac{s \cdot L_P \cdot V_{MAX}(s)}{(L_P + L) \cdot \left(s + \frac{R}{(L_P + L)} \right) \cdot (C \cdot L_P / L \cdot s^2 + 1)} \quad (C.20)$$

Considerando una entrada en escalón de amplitud V_{MAX} y descomponiendo en fracciones parciales se obtiene:

$$V_{CF}(s) = \frac{V_{MAX} \cdot L_P}{(L_P + L)} \cdot \frac{1}{\left(s + \frac{1}{\tau}\right)} - \frac{V_{MAX} \cdot L_P}{(L_P + L)} \cdot \frac{s}{(s^2 + \beta^2)} + \frac{R \cdot L_P}{L^2} \sqrt{C \cdot L_P} \cdot \frac{\beta \cdot V_{MAX}}{(s^2 + \beta^2)} \quad (C.21)$$

Donde $\tau = (L_P + L)/R$ y $\beta^2 = 1/C \cdot L_P // L$.

Al igual que en los desarrollos anteriores es posible despreciar el tercer termino de la expresión (C.21) asumiendo que β es grande, R es baja y $L_P \ll L$. Luego, aplicando la transformada inversa de Laplace se tiene:

$$v_{CF}(t) = \frac{V_{MAX} \cdot L_P}{L} \cdot \left[e^{-\frac{R}{(L_P + L)}t} - \cos \beta t \right] \quad (C.22)$$

La expresión (C.22) muestra que debido a la aplicación de la tensión V_{MAX} existe un término exponencial y otro término oscilatorio. La máxima amplitud de estos términos va a depender de la tensión V_{MAX} y de la relación que exista entre L_P y L . Al igual que en el resto de las expresiones, la disminución de L_P en relación con L favorece una baja respuesta oscilatoria.

C.3.2. Respuesta particular de la corriente

La solución particular en el campo transformado para la corriente de carga es:

$$I_{LF}(s) = \frac{-V_{MAX}(s) \cdot (C \cdot L_P \cdot s^2 + 1)}{(L_P + L) \cdot \left(s + \frac{R}{(L_P + L)}\right) \cdot (C \cdot L_P // L \cdot s^2 + 1)} \quad (C.23)$$

Luego, considerando una entrada en escalón y efectuando una descomposición en fracciones parciales se obtiene:

$$\begin{aligned}
 I_{LF}(s) = & -\frac{V_{MAX} \cdot \alpha^2 \cdot \tau}{L \cdot \beta^2} \cdot \frac{1}{s} + \frac{V_{MAX} \cdot \alpha^2 \cdot \tau}{L \cdot \beta^2} \cdot \frac{1}{\left(s + \frac{1}{\tau}\right)} + \\
 & + \frac{V_{MAX} \cdot (\alpha^2 - \beta^2)}{L \cdot \beta^2} \cdot \frac{\beta}{(s^2 + \beta^2)}
 \end{aligned} \tag{C.24}$$

Donde $\tau = (L_P + L)/R$, $\beta^2 = 1/C \cdot L_P//L$ y $\alpha^2 = 1/C \cdot L_P$.

Haciendo uso de la aproximación $L_P \approx L_P//L$ se puede considerar que los términos α^2 y β^2 son prácticamente iguales. Por lo tanto, la expresión (C.24) se pueden aproximar como:

$$I_{LF}(s) \approx -\frac{V_{MAX}}{R} \cdot \frac{1}{s} + \frac{V_{MAX}}{R} \cdot \frac{1}{\left(s + \frac{1}{\tau}\right)} \tag{C.25}$$

Luego, aplicando la transformada inversa se obtiene:

$$i_{LF}(t) \approx -\frac{V_{MAX}}{R} \cdot \left[1 - e^{-\frac{R}{(L_P+L)}t}\right] \tag{C.26}$$

Se puede observar que la expresión (C.26) responde a la característica decreciente deseada de la corriente en esta etapa. Si la constante de tiempo es mucho mayor que el tiempo de bajada de la corriente, se puede considerar que el decremento de la corriente de la carga se produce en forma de rampa.

C.4. Respuesta total

C.4.1. Respuesta total de la corriente

La respuesta total de la corriente en la carga se obtiene realizando la suma de la solución homogénea y particular. Luego, se tiene que:

$$i_L(t) \approx -\frac{V_{MAX}}{R} \cdot \left[1 - e^{-\frac{R}{(L_P+L)}}\right] + i_L(0) \cdot e^{-\frac{R}{(L_P+L)}} + \sqrt{\frac{C \cdot L_P}{L^2}} \cdot v_C(0) \cdot \sin \beta t \quad (C.27)$$

Analizando la magnitud de cada termino de la corriente se puede ver que la componente oscilatoria es muy pequeña comparada con los términos exponenciales. Esto es mas cierto aún, en la medida que el término β sea mas grande.

Se puede observar que el hecho de haber considerado el final del flat-top con la condición $i_L(0) = i_1(0)$ ayudo a eliminar términos oscilatorios en la corriente de carga durante la etapa de bajada.

C.4.2. Respuesta total de la tensión

La respuesta aproximada de la tensión del capacitor de acople esta dada por:

$$v_C(t) = \left[\frac{(V_{MAX} + i_1(0) \cdot R) \cdot L_P}{L} \right] \cdot e^{-\frac{R \cdot t}{(L+L_P)}} + \left[v_C(0) - \frac{(V_{MAX} + i_1(0) \cdot R) \cdot L_P}{L} \right] \cdot \cos \beta t \quad (C.28)$$

A diferencia de la corriente en la carga la cancelación del término oscilatorio en la tensión v_C no es posible debido a que depende de la corriente de flat-top. Establecer una condición óptima para las condiciones iniciales de las variables resulta imposible ya que V_{MAX} es constante y $v_C(0)$ e $i_1(0)$ cambian de un pulso a otro.

La oscilación en v_C esta presente aun en el caso de que se haya elegido la condición de igualdad de corriente que minimiza la oscilación en I_L . Por lo tanto, la única condición que se debe cumplir es que no se sobrepasen las tensiones del circuito, por lo que resulta necesario agregar diodos de protección en el circuito.

Apéndice D

Publicaciones

D.1. Introducción

Los trabajos que se presentan a continuación resumen la investigación realizada durante los últimos años.

New Converter Topology for High Performance Pulsed Current Sources, European Organization for Nuclear Research(CERN)-Technical Note AB-PO TN2008-05, EDMS 899334, March 2008.

En este trabajo se proponen y analizan diferentes estructuras topológicas para el desarrollo de fuentes de corriente pulsada de alta corriente y alta precisión. El desarrollo de estas nuevas estructuras tiene por objeto reemplazar los actuales convertidores a descarga capacitiva existentes en el CERN por convertidores switching con tecnología y técnicas de control actuales. Las diferentes estructuras propuestas son simuladas y comparadas teniendo en cuenta los diferentes aspectos de implementación. Finalmente, se realiza un análisis de los dispositivos semiconductores a ser utilizados.

Controller of a New Pulsed Source for LINAC 4 (MEGADISCAP)", European Organization for Nuclear Research (CERN)-Note TE/EPC TN2009-003, CDS 1201648, August 2009.

En este trabajo se presenta la implementación de un sistema de control para una nueva topología multi-estructura de fuente de corriente pulsada. Esta nueva topología se desarrolla teniendo en cuenta aspectos de diseño e implementación. Además, se define una estrategia de control y se adopta una plataforma apropiada para su implementación. Se realizaron simulaciones y ensayos experimentales con un prototipo a escala reducida a fin de validar la estrategia de control adoptada.

New Modulator for Multi-Phase Interleaved DC/DC Converters", 13th Internacional European Power Electronics Conference and Applications, EPE09, 8-10 September, Barcelona, Spain, 2009.

En este trabajo se presenta un nuevo modulador para convertidores interleaved polifásico el cual es capaz de tolerar cambios abruptos en la tensión diferencial de entrada-salida y en la referencia. El modulador propuesto reduce el tiempo de ajuste y el error de corriente producido por los cambios abruptos. Esta característica permite validar el uso de este modulador para aplicaciones de alta potencia, alta tensión y alta corriente con variaciones abruptas de sus parámetros.

A new multiple stages converter topology for high power and high precision fast pulsed current sources", 13th Internacional European Power Electronics Conference and Applications, EPE09, 8-10 September, Barcelona, Spain, 2009.

En este trabajo se presenta una fuente de corriente pulsada de alta corriente y alta precisión basada en la interconexión de estructuras convertidoras simples adaptadas a los diferentes rangos de operación del sistema durante la generación del pulso. La estructura propuesta fue implementada en un prototipo a escala reducida con el objeto de validar las consideraciones de diseño realizadas.

FPGA-based Modulator for Multi-phase Interleaved DC/DC Converters”, 2nd Argentine Conference on Micro-Nanoelectronics Technology and Applications (CAMTA 2009), October 1-2, Bariloche, Argentina, 2009.

En esta publicación se presenta la implementación en FPGA de un modulador para convertidores interleaved polifásicos. El diseño realizado permite la implementación modular del control para las diferentes fases.

Modulador para Convertidores Polifásicos Interleaved DC/DC: Análisis de estado estacionario y transitorio”, 10th Simposio Argentino de Tecnología 2009 (AST 2009), 24-25 Agosto, Mar del Plata, Argentina, 2009.

En este trabajo se realiza un estudio de la influencia de variación de parámetros en el algoritmo de modulación para convertidores polifásicos interleaved DC/DC. Se presenta una descripción teórica del método y se analiza el mismo por medio de simulaciones, las cuales contemplan aspectos de cuantización y desbalances en el sistema.

Nueva Topología de Convertidor para Fuente de Corriente Pulsada de Altas Prestaciones. In: XXI Congreso Argentino de Control Automático (AADECA2008), 2008, Buenos Aires. 2008.

En esta publicación se presenta el diseño de una nueva estructura topológica para una fuentes de corriente pulsada de (2 kA), con una precisión de corriente en el flat-top de (500ppm) y una duración de pulso de 2 ms. En este trabajo se presenta el diseño y las simulaciones del convertidor propuesto.

Flexible FPGA Interface for Three-Phase Power Modules”, Latin American Applied Research. Vol. 37, No. 1, pp. 47-51, January 2007.

En este trabajo se propone el desarrollo de una interfaz inteligente para el control de Inversores de Potencia. Esta interfaz permite adaptar cualquier plataforma de control con los

diferentes Módulo de Potencia (PM) sin tener que modificar el hardware existente. La interfaz genera los tiempos muertos para el control de las llaves y las señales de protección en caso de sobre-corrientes y sobre-tensiones en el sistema. La implementación de la interfaz en FPGA permite un control modular de las diferentes fases.

A New Fixed Frequency Hysteresis Current Control Controller Suitable for Wind Energy Sources. International Review of Electrical Engineering, Nro. 6, Vol 2, ISSN 1827-6660 November-December 2007, pg 820-826.

Este trabajo presenta una nueva técnica digital de control de corriente de frecuencia fija para inversores alimentados por tensión. Esta técnica si bien es de aplicación general fue presentada para el control de corriente de generadores eólicos. El algoritmo propuesto sincroniza los cruces por cero del error de corriente de cada fase con una señal de sincronismo externa. Esta sincronización permite acotar el espectro del ripple de conmutación y controlar el seguimiento de la referencia de corriente con mínimo error transitorio. Para efectuar los ensayos de estado estacionario y transitorio se implemento el sistema en un DSP (ADCP-21992) de Analog Devices.

New Converter Topologies for High Performance Pulsed Current Sources

Jean-Marc Cravero, Carlos A. Martins
CERN, AB-PO

Rogelio Garcia Retegui, Mario Benedetti
Laboratorio de Instrumentación y Control
Universidad Nacional de Mar del Plata- Argentina

5 March 2008

ABSTRACT

In the field of particle accelerators, pulsed power converters are widely used to deliver current pulses with different amplitudes. At CERN, most of these converters are based on capacitor discharge topologies to power different types of magnet loads such as pulsed septum, steerer dipoles, solenoids, quadrupoles, bending magnets, etc. These topologies are not adapted to deliver high current pulses with the necessary precision at long flat-top, in the order of a few milliseconds. To overcome these limitations, this document presents a detailed study for novel converter topologies in replacement of traditional capacitor discharge converters. The goal is to define new converter structures that can deliver high current pulses with a precision flat-top current using modern converter technology. First, the requirements concerning the pulsed converters are presented. Three different topologies are then proposed, simulated and compared. The most suitable one is adopted and different control modes are studied in detail to reach the specified performances. A specific converter design is presented along the document and detailed simulations are performed to validate the obtained results. Finally, the technological aspects concerning the semiconductors are presented.

KEYWORDS: Power Converter, Pulsed Current Source, IGBT, Control, Linac4.

1. INTRODUCTION

Pulsed power converters are used both to achieve high magnetic fields in extremely compact deflecting or focusing magnet loads and to perform particular short duration current or voltage pulse shapes in different devices used in particles accelerators [1].

Classical capacitor discharge converters are composed of a capacitor bank that is first charged and then discharged in a magnet load. A resonant damped circuit is formed by the capacitor bank and the inductive load. Great improvement has been achieved in these converters:

- the use of a third harmonics circuit to increase the flat-top length,
- the use of an active filter to increase the flat-top precision,
- the use of a linear mode stage to modify the pulse shape,



Controller of a new pulsed source for Linac 4 (MEGADISCAP)

Jean Marc Cravero, Carlos A. Martins, J. L. Gómez Costa

C.E.R.N. – TE/EPC – Geneva – Switzerland

Nicolás Wassinger, Rogelio García Retegui, Mario Benedetti, Walter Kloster

Laboratorio de Instrumentación y Control

Universidad Nacional de Mar del Plata - Argentina

Keywords: MEGADISCAP, Controller, Linac

Abstract

This document presents the implementation of a control system for a new multiple-stage pulsed current source converter. A new topology [1] that has been proposed to overcome some limitations inherent to capacitor discharge converter is presented in detail and explained. Its implementation is described and the design considerations adopted are accounted for. Besides, a control strategy is proposed, which has been implemented using an existing control board with some modifications on the acquisition system. A prototype whose current and voltage are scaled down with respect to those required for the converters that will be used for CERN Booster injection with LINAC 4 has been built. This reduced scale system has been simulated taking into account the control system implementation. Finally, the topology operating principle has been validated, the results obtained with the scaled down prototype have been compared with simulations and the need for more hardware resources for the control system implementation has been demonstrated.

1. Introduction

Pulsed power converters are used both to achieve high magnetic fields in extremely compact deflecting or focusing magnet loads and to perform particular short duration current or voltage pulse shapes in different devices used in particles accelerators [2].

Traditional capacitor discharge converters are composed of a capacitor bank that is first charged and then discharged in a magnet load. A resonant damped circuit is formed by the capacitor bank and the inductive load. Great improvement has been achieved in these converters:

- the use of a third harmonics circuit to increase flat-top length,
- the use of an active filter to increase flat-top precision,
- the use of a linear mode stage to modify pulse shape,
- the installation of an energy recovery circuit to reduce the power drawn from the mains,

New Modulator for Multi-Phase Interleaved DC/DC Converters

[†]Rogelio Garcia Retegui, [†]Mario Benedetti,[‡]Roberto Petrocelli, [†]Nicolás Wassinger and [†]Sebastián Maestri.

[†] UNIVERSIDAD NACIONAL
DE MAR DEL PLATA

Juan B. Justo 4302
Mar del Plata, Argentina
Phone: +54 (223) 481-6600
Fax: +54 (223) 481-0046
Email: somaestri@fi.mdp.edu.ar
URL: <http://www3.fi.mdp.edu.ar>

[‡] CONSORCI PER A LA CONSTRUCCIÓ,
EQUIPAMENT I EXPLOTACIÓ DEL
LABORATORI DE LLUM SINCROTRÓ

Carretera BP 1413, Km. 3.3
Barcelona, Spain
Phone: +34 93 592 43 00
Fax: +34 93 592 43 01
Email: r.petrocelli@cells.es
URL: <http://www.cells.es>

Acknowledgments

This work was supported by CELLS (Consorti per a la Construcció, Equipament i Explotació del Laboratori de Llum Síncrotró, España), LIC (Laboratorio de Instrumentación y Control - Departamento de Electronica - Facultad de Ingeniería - Universidad Nacional de Mar del Plata, Argentina), CONICET (Consejo Nacional de Investigaciones Científicas y Técnicas de la República Argentina), and ANPCyT (Agencia Nacional de Promoción Científica y Tecnológica de la República Argentina).

Keywords

<<Power Supply>>, <<Converter Control>>, <<Interleaved Converters>>.

Abstract

This work introduces a new modulator for multi-phase interleaved converters, capable of tolerating abrupt changes both in the differential input-output voltage and the reference; while it reduces the interleaved adjustment time and the error during the transient. The proposed method can be applicable to high power systems.

Introduction

Multi-phase interleaved DC/DC converters are widely used in low voltage, high current applications such as PC sources [1, 2]. Figure 1 shows a multi-phase converter.

The current control technique used in these converters distributes the total output current I_T among the phases at a I_T/n value, where n represents the number of phases in use. The switching ripples of each phase are interleaved and therefore the ripple of the output current is minimized.

This minimization reduces the requirements on the output capacitor as well as the losses associated with its equivalent series resistance (ESR), without increasing the switching frequency [2].

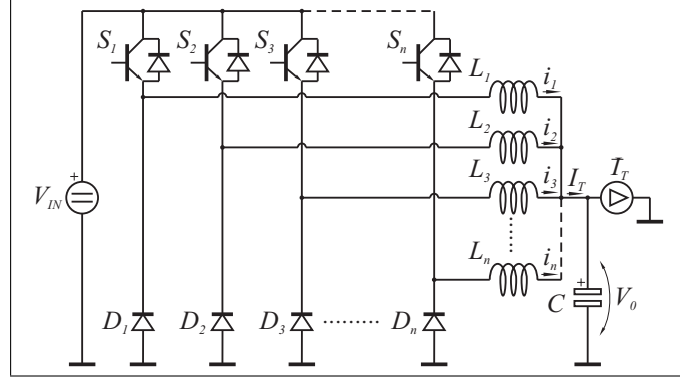


Figure 1: Multi-phase interleaved DC/DC converters

Figure 2 shows the ideal case for a three-phase system, where the addition of all ripples equals zero due to a proper time shift of T/n . This ideal condition is only valid to certain relations between input and output voltages and for perfectly balanced systems. Otherwise, the ripple attenuation will depend on the phases balance and/or on the differential input-output voltage ($\Delta V = V_{in} - V_0$), since the latter modifies the current slopes [2, 3].

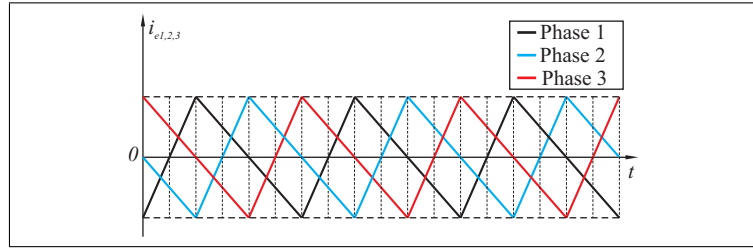


Figure 2: Ideal condition of ripple cancellation

The typical application of multi-phase interleaved converters is on DC/DC converters where the differential input-output voltage has very little variations or becomes practically constant. Usually, the output voltage V_0 is constant and the V_{in} voltage follows the average variations of the main voltage. Thus, the modulators required are simple and present a low dynamic response [4, 5, 6].

Multi-phase interleaved converters would constitute a multi-component solution for high pulsed current applications with advantages when compared with topologies based on series, parallel or series/parallel switch arrays. Though the interleaved multi-phase converter topology is an attractive alternative for high power converters (where input-output voltage variations are faster), the low dynamic response of the typical modulators constitutes a serious drawback.

An abrupt change in the ΔV voltage generates a disadjustment in the interleaving ripples. The phase shifts among the phase currents are recovered after a time named "adjustment time" T_a . In traditional modulators, this time extends along several switching periods, generating an intolerable error between the reference and output currents in high performance converters.

This work proposes a new modulator for interleaved converters with a minimum time T_a , suitable for high voltage, high current applications such as pulsed sources, whose current varies abruptly with significant changes in the differential voltage [7, 8].

Proposed Method

Figure 3a shows the waveforms of each phase current error¹ in ideal conditions of steady state for a three-phase interleaved converter. This condition is defined as the coincidence of the zero crossing of the phase current error signals with the synchronizing pattern shown in Figure 3b.

¹The phase current error is defined as the error between the phase current and the reference current.

The synchronizing signals shows a time shift equal to T/n , which produces the interleave in the phase currents. In order to minimize the ripple, the three phases should be equal to each other and the zero crossing of each phase should coincide with the reference pattern. If, by any reason, the system does not meet this condition, an error between the reference and the zero crossing occurs.

The proposed method is based on producing the proper commutations on the converter switches in order to synchronize the zero crossing instants of the phase current error with the synchronizing pattern, in the shortest time possible.

In order to describe the method, the small and large signals behaviors are analyzed separately. As each phase will be synchronized with the zero crossing pattern independently, for descriptive purposes we include the analysis of only one phase.

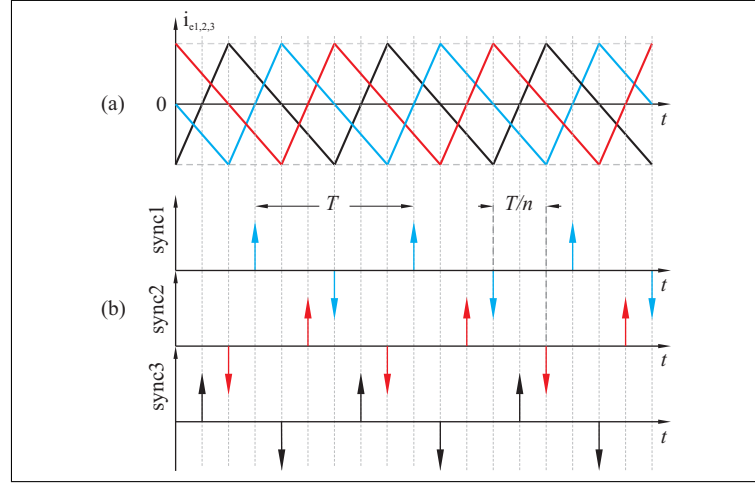


Figure 3: Ideal interleaved operation

Small signal analysis

The small signal analysis studies how the method corrects small perturbations in the system. The small signal condition is defined as those cases where the time error $t_e(k)$ between the zero crossing of the current error and the ideal pattern of a phase is lower than $T_{SYNC}/2$, (see Fig.4)².

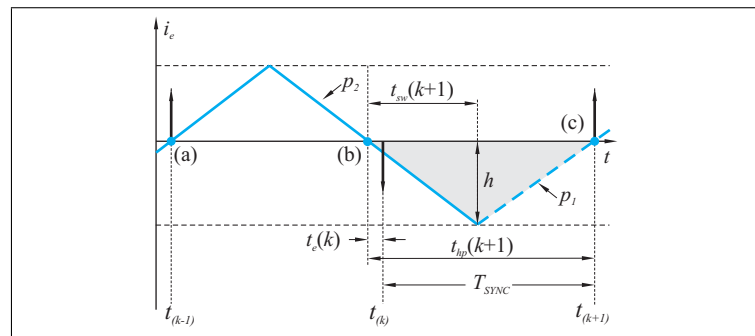


Figure 4: Operation in small signal condition

It is considered that, initially, there is no error between the zero crossing and the reference ideal pattern in point (a). However, if a small change in ΔV , which modifies the slope, occurs after point (a), an error between the zero crossing of the current error and the synchronizing signal time is observed in point (b). This error interval is named $t_e(k)$.

²In this analysis, the current error slopes are assumed to be constant within the commutation period. This overall approximation is valid since the time constant for each phase, L/R , is much higher than the commutation period.

If conditions are not modified, the duration of the next semiperiod $t_{hp}(k+1)$ can be determined in order to avoid a crossing error in point (c) by mean of the following equation:

$$t_{hp}(k+1) = T_{SYNC} - t_e \quad (1)$$

where: $T_{SYNC} = T/2$. The error $t_e(k)$ can be negative or positive depending on whether the crossing occurs before or after the reference.

Observing the waveform shown in Figure 4, the relationships among slopes p_1 and p_2 , the semiperiod $t_{hp}(k+1)$, the commutation time $t_{sw}(k+1)$ and the error amplitude h are found and they are expressed in the following equation.

$$h = -p_2 \cdot t_{sw}(k+1) = p_1 [t_{hp}(k+1) - t_{sw}(k+1)] \quad (2)$$

Where: p_1 and p_2 are the slopes, $t_{hp}(k+1)$ the next semiperiod, $t_{sw}(k+1)$ the next commutation time and h the current ripple amplitud.

Operating with (2), the equation for the next commutation time can be obtained:

$$t_{sw}(k+1) = \left(\frac{p_1}{p_1 - p_2} \right) \cdot t_{hp}(k+1) \quad (3)$$

Expression 3 shows that to calculate the commutation time it is necessary to determine the error slopes, which can be calculated in function of the converter input-output voltages. Thus, if the inductors ESRs are negligible, it can be obtained:

$$p_1 = \frac{V_{IN} - V_0}{L_1} \quad (4)$$

$$p_2 = -\frac{V_0}{L_1} \quad (5)$$

Substituting (4) and (5) in (3) it can be obtained:

$$t_{sw}(k+1) = \left(1 - \frac{V_0}{V_{IN}} \right) \cdot t_{hp}(k+1) \quad (6)$$

Then, it can be seen that, by evaluating (1) and (6), the proposed method is capable of correcting the error in the next period. A similar analysis for the case of a crossing with positive slope originates the following expression:

$$t_{sw}(k+1) = \left(\frac{V_0}{V_{IN}} \right) \cdot t_{hp}(k+1) \quad (7)$$

The analysis developed so far can be extended to cases where the error $t_e(k)$ is generated by small changes in the reference.

Large signal analysis

The abrupt changes in the reference or in ΔV must be detected to avoid erroneous commutations. Figure 5 shows the case of an abrupt drop in the reference, which is produced immediately after the zero crossing between the output current and the reference.

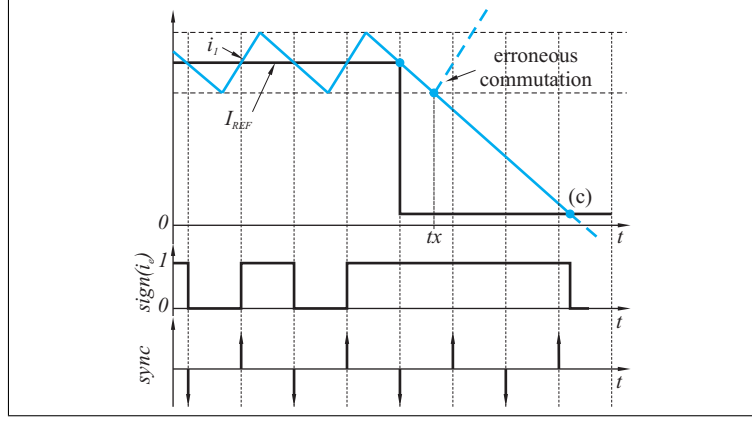


Figure 5: Reference abrupt change

It can be seen that, once the crossing time is detected, the system would calculate the next commutation for the time tx and would generate an erroneous commutation, which would originate an action opposite to the current tracking. Thus, the proper action would be to inhibit this commutation and to repeat the calculation to obtain the next commutation time in the zero crossing of point (c).

The current error sign and the sign of the slope can be combined in order to enable or disable the commutations. If the error slope is negative while the error is positive, the commutation should not be considered. The commutation will be enabled only when both slope and error signs coincide (after point c). This action will only inhibit the erroneous commutation but it will not interfere with the current recovering the interleaved condition.

For the minimum ripple condition not to be affected, the zero crossing of each phase should be adjusted in time and slope with the reference pattern. Figure 6 shows a case of interleaved recovery of one phase, from point c in Figure 5, with two possible solutions.

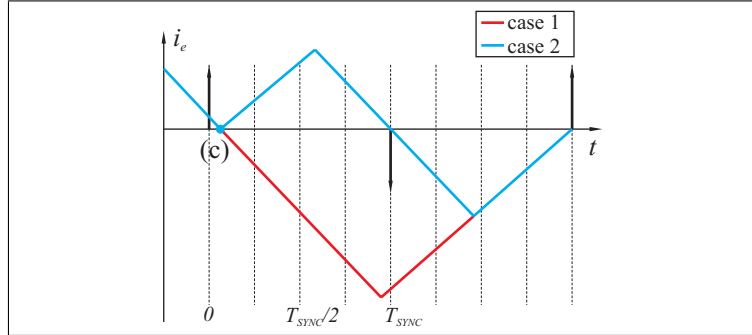


Figure 6: Interleaved recovery after an abrupt change

The error zero crossing originates next to a reference pulse that corresponds to an opposite slope. Thus, for this case and with the proposed calculation, a large commutation time is obtained, which generates a positive semicycle greater than normal (case 1).

This behavior originates an error in the current mean value, which is difficult to correct by means of a control loop.

The optimal solution to minimize this error is shown in case 2. In this case, it is evaluated whether the zero crossing occurs at a distance greater than $T_{SYNC}/2$ of the reference pulse pattern of the appropriate slope. If so, the system performs an anticipated commutation, immediately after the zero crossing, to change the slope and to reach the synchronism in the next zero crossing. When the zero crossing occurs at a distance smaller than $T_{SYNC}/2$, the system continues its evolution and corrects the error as in the small signal case. Thus, as each phase adjusts to its pattern in the shortest time, the correct interleaving of the system is ensured.

Analysis of measurement error

Implementation aspects related to the zero crossing detection that affect the system operation, such as an erroneous zero crossing and the measurement offset on the current, are analyzed in this section.

The zero crossing detection can present measurement errors, for example due to noise, which affect the system operation. To simplify the analysis, the effect originated by an erroneous detection in the zero crossing for a phase is considered. (figure 7).

Initially, the system is considered to be in a steady state without error between the zero crossing and the synchronism pattern (point (a)). If an error occurs in the detection of the zero crossing instant (Δt_1) in point (b), the algorithm performs the calculation of the commutation time, assuming that the current evolution is the one marked by the dotted line. This originates an anticipated commutation in point (c) that modifies the ripple amplitude with regards to the ideal case. It also produces a zero crossing error (Δt_2), in point (d). If this crossing detection is assumed to be correct, the system adjusts the commutation time to correct the zero crossing in point (e). It can be seen that the zero crossing erroneous detection does not affect the control stability, as this is corrected by the algorithm after a commutation period.

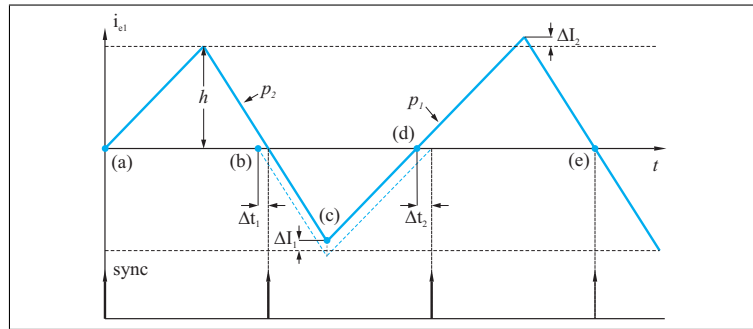


Figure 7: Detection error in the zero crossing

If the current waveform is analyzed, the following expressions can be obtained to calculate the zero crossing error and the amplitude errors generated by the erroneous detection.

$$\Delta t_1 = -\frac{p_1}{p_2} \cdot \Delta t_2 \quad (8)$$

$$\Delta I_1 = \Delta I_2 = \left(-\frac{p_2^2}{p_2 - p_1} \right) \Delta t_1 \quad (9)$$

The amplitude errors affect the mean value of the current phase. This is represented for a phase in figure 8. In order to evaluate the mean value maximum deviation and to simplify the analysis, the mean value is assumed to update in every zero crossing. This way, I_{av1} is obtained from semicycles (1) and (2) and I_{av2} from semicycles (2) and (3). Figure 8 shows that the maximum deviation with regards the ideal mean value is I_{av2} . From expressions (8) and (9), it can be obtained:

$$I_{av2} = \Delta I_1 + h \cdot \left(\frac{\Delta t_2}{T} \right) = \left(-\frac{p_2^2}{p_2 - p_1} \right) \Delta t_1 + \left(-\frac{p_2}{p_1} \right) \frac{\Delta t_1 \cdot h}{T} \quad (10)$$

where h is the ripple amplitude in stationary state ideal condition and $T = 2 \cdot T_{SYNC}$. When slopes are equal, $p_1 = p_2 = p$, it can be obtained:

$$I_{av2} = \Delta t_1 \cdot p \quad (11)$$

The expression (11) shows that the error in the mean value generated by an erroneous detection in the zero crossing depends on the slopes value and the time error in the detection. This value can not be corrected by the system and it should be filtered by the load.

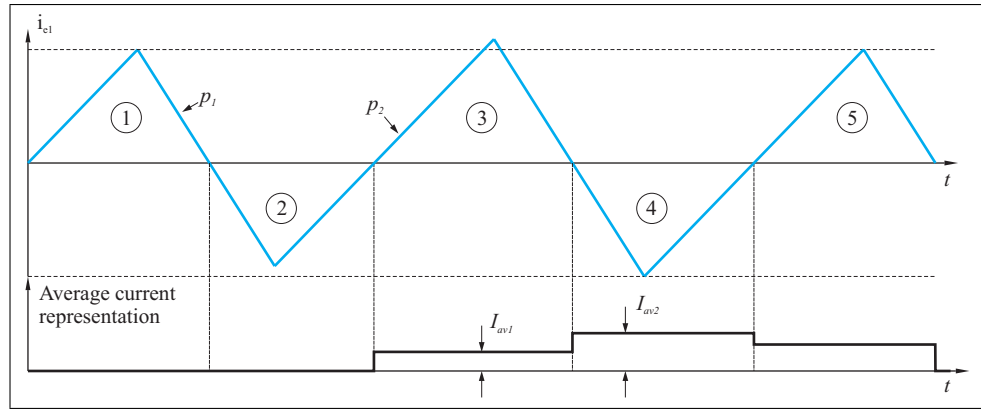


Figure 8: Transitory error in the current mean value

Another aspect to be analyzed is the effect that the offset in the measurement produces on the current. Figure 9 shows the measured current, in dotted line, and the real current in solid line.

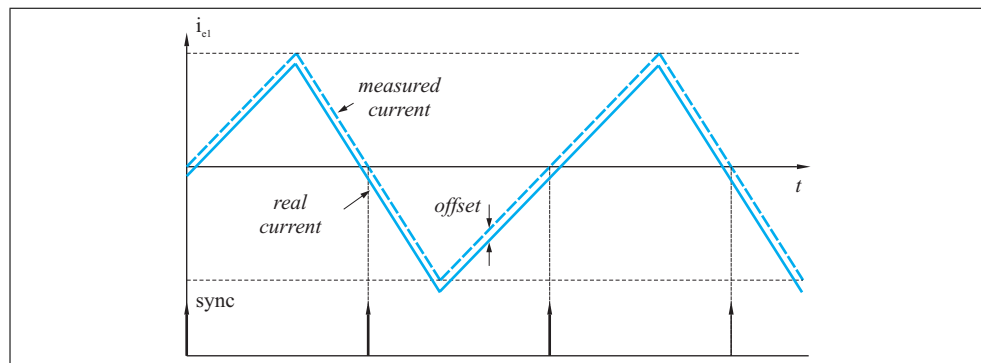


Figure 9: Offset in the current measurement

In this case, the system adjusts the zero crossings of the measured current (dotted line), so the output current is affected by the measurement offset. Since this offset is constant, it is corrected by the control loop of the system external current. Otherwise the problem might be solved by manually adjusting the reference.

Conclusion

A new modulator for multi-phase interleaved converter is presented. This modulator optimizes the transitory adjustment time T_a and the transitory error, either generated by abrupt changes in the reference and/or variations in the differential input-output voltage. This capacity makes the method suitable for high power applications such as pulsed current sources.

References

- [1] D.K.-W. Leung-Pong Wong Cheng, M.H.L. Chow, Yim-Shu Lee, "Interleaved three-phase forward converter using integrated transformer" in: IEEE Transactions on Industrial Electronics, 52(5), 1246-1260, 2005.
- [2] W. Chen, "High Efficiency, High Density, PolyPhase Converters for High Current Applications", in: Linear Technology: AN77, 1999.
- [3] R.A. García Retegui, S. A. Gonzalez, M. Benedetti, R. García Gil, J.M. Espí, J. Castello, "A New Fixed Frequency Hysteresis Current Controller Suitable for Wind Energy Sources," International Review Of Electrical Engineering, v. 2, n. 6, p. 820-825, 2007.
- [4] J. Abu-Qahouq, H. Mao and Issa Batarseh, "Multiphase Voltage-Mode Hysteretic Controlled DC-DC Converter with Novel Current Sharing", in: IEEE Transactions on Power Electronics, 19(6), 1397-1407, 2004.

- [5] P. Andreassen and T. Undeland, "Digital Control Methods for Current Sharing of Interleaved Synchronous Buck Converter", in EPE-2005, ISBN:90-75815-08-5, 2005.
- [6] J. Tsai, T. Wu, C. Wu, Y. Chen and M. Lee, "Interleaving Phase Shifters for Critical-Mode Boost PFC", in: IEEE Transactions on Power Electronics, 23(3), 2008.
- [7] R. García Retegui, M. Benedetti, Jean Marc Cravero, Carlos A. Martins, "New Converter Topology for High Performance Pulsed Current Sources", European Organization for Nuclear Research (CERN) - Technical Note AB-PO TN2008-05, EDMS 899334, March 2008.
- [8] B. Sing, K. Al-Haddad and A. Chandra, "An inexpensive pulsed power supply for a septum magnet", in IEEE Transactions on Nuclear Science, 22(3), 1307-1310, 1975.

A new multiple-stage converter topology for high power and high precision fast pulsed current sources

[‡]Jean-Marc Cravero, [‡] Carlos De Almeida Martins,
[†] Rogelio Garcia Retegui, [†] Nicolás Wassinger, [†] Mario Benedetti

[‡] C.E.R.N., TE-EPC

[†] UNIVERSIDAD NACIONAL
DE MAR DEL PLATA

Geneva, Switzerland
URL:<http://www.cern.ch>
Email: jean-marc.cravero@cern.ch
carlos.martins@cern.ch

Mar del Plata, Argentina
URL:<http://www3.fi.mdp.edu.ar>
Email: rgarcia@fi.mdp.edu.ar
nwassinger@fi.mdp.edu.ar

Acknowledgments

This work was supported by Helen Project (High Energy Physics Latin-American European Network) under a collaboration between CERN (European Organization for Nuclear Research), LIC (Laboratorio de Instrumentación y Control - Departamento de Electrónica - Facultad de Ingeniería - Universidad Nacional de Mar del Plata, Argentina), CONICET (Consejo Nacional de Investigaciones Científicas y Técnicas de la República Argentina) and ANPCyT (Agencia Nacional de Promoción Científica y Tecnológica de la República Argentina).

Keywords

<<Pulsed Power Converter>>, <<High Voltage Power Converter>>, <<Particle Accelerator>>

Abstract

A new high current, low rise time and high precision pulse generator is presented. The topology is based on the use of different stages, each one specific for a particular operation range in terms of power and switching frequency. The design and operating principle of the proposed topology are described. Finally, the results obtained from an implemented reduced scale prototype are compared with the simulation ones in order to validate the design.

Introduction

In the field of particle accelerators, pulsed power converters are widely used for several applications [1] [2]. Converters using a capacitor discharge topology with an active filter are the best option whenever a fast rise time, a short settling time and extremely precise flat top are required. This topology is composed of a capacitor bank that is initially charged to be later discharged in the magnetic load. As a high current value is required in the load, its connection with the power converter is performed by means of a matching transformer. The capacitor bank and the magnet load compose a damped resonant circuit. This basic circuit can be further improved with a third harmonic circuit and an active filter to produce high current pulses with a high precision flat-top [3]. However, this system presents some disadvantages:

- Limited flat-top duration regardless of the use of an active filter. The flat-top duration is limited by the period of the resonant discharge current.
- Lack of flexibility in the adjustment of the output current pulse waveform as rise and fall times are imposed by the resonant circuit.
- Strong dependency on load parameters. The power circuit values are closely related to the load.
- Reduced efficiency. Power dissipation circuits are often required to allow pulse-to-pulse modulation of the output current amplitude.

- High RMS value of the current pulse. The sinusoidal shape in the load current increases the RMS value with regards to a trapezoidal pulse, with the subsequent increment of load temperature.

For years, thyristors have been used as the discharge switch in this type of converters, as they can handle high voltage and current ranges [4]. However, the turn-off process of these devices is not controlled, which represents a drawback to develop new converter topologies. For this reason, modern semiconductors such as IGBTs or IGCTs with controlled turn-off and increased current handling capabilities are gradually replacing thyristors in capacitor discharge based systems [5] [6] [7]. In the field of high current pulsed sources, their use offers new possibilities to develop converters with improved performances. In order to study new alternative converters with these switches, the waveforms required by the power sources are analyzed. However, there is not a unique modern device capable of operating with pulsed currents of few kilo-amperes, several kilovolts voltages and fast commutating speeds. In order to overcome these limitations, the present work develops a new topology based on the sequential interconnection of simple structures using semiconductors that operate at different voltages, currents and speed ranges.

Application, description and requirements

In the field of particle accelerators, the aim of using pulsed converters is generally to supply an inductive load, formed by different types of magnets, to produce a high magnetic field that has to be constant during the beam length. In this kind of application, a trapezoidal waveform is the best solution to reduce the RMS current in the load and therefore to reduce the necessary magnet cooling. This current waveform implies the application of the maximum voltage (with reverse polarity) during rise and fall times, which allows the reduction of the current pulse duration (Fig. 1).

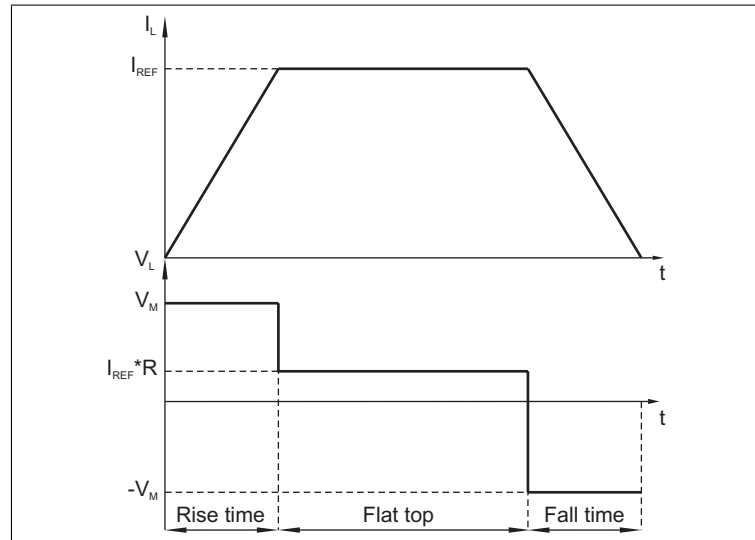


Figure 1: Trapezoidal load current waveform and corresponding applied voltage

If I_{REF} is the magnet load flat-top current, the applied voltage can be calculated as:

$$V_M = \frac{I_{REF} \cdot L_{load}}{t_{rise}} + I_{REF} \cdot R_{load} \quad (1)$$

If a traditional full-bridge structure and a hysteresis control are considered, the voltage and current waveform applied to the load are as shown in figure 2.

The switching frequency required to reach a particular ripple current ΔI during the flat top is given by:

$$f^{sw} = \frac{V_M}{2 \cdot L_{load} \cdot \Delta I} \quad (2)$$

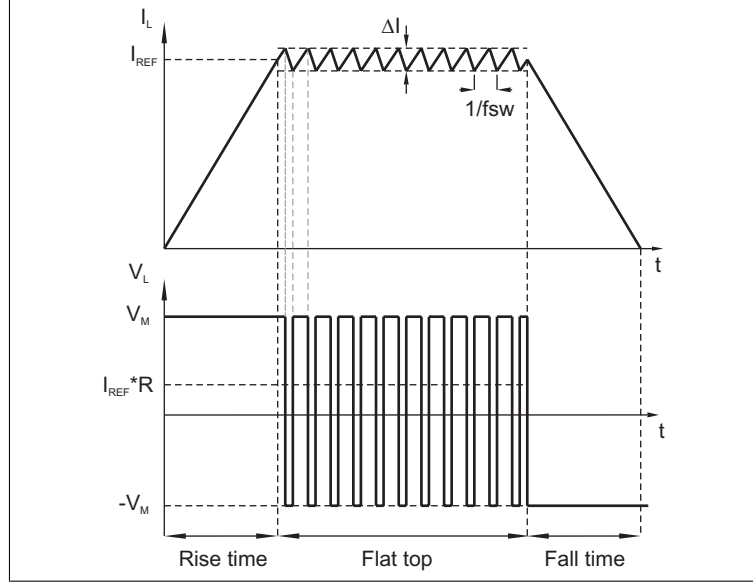


Figure 2: Current and voltage waveforms with full-bridge topology

If 1 is substituted in 2 and if the value of the load resistance is considered negligible, due to the low influence of this term in typical pulsed magnet loads, it can be obtained:

$$f_{sw} = \frac{1}{2 \cdot p \cdot t_{rise}} \quad (3)$$

where $p = \Delta I / I_{REF}$, is the load current precision during the flat-top current.

Equation 3 shows that the required switching frequency depends on the magnet current precision and the rise time. At CERN, in commonly used pulsed power supplies for high current applications, it is necessary to control the flat-top current with a precision in the range of $5 \cdot 10^{-4}$ and a typical value for I_{REF} is a few kilo-amperes. If we consider the pulsed converters that will be used for the injection of protons from Linac IV to the PS-Booster, the basic requirements are shown in Table I.

Table I: Power converter requirements for Linac IV to PS-Booster protons injection at CERN

Converter output current during flat-top	2kA
Load inductance seen by the converter	1 mH
Load resistance seen by the converter	0.15 Ω
Rise time	1 ms
Flat-top duration	2 ms

In order to fulfill these requirements, it is necessary to apply a voltage of 2.3 kV on the magnet load and a corresponding switching frequency of 1 MHz would be required. For voltages of several kilovolts, semiconductor (and their drivers) commonly available on the market can not be operated at such switching frequencies. This technological limitation requires the development of new topologies for high current and high precision current sources in order to use standard controlled semiconductor devices, avoiding series, parallel or serial/parallel connections with their associated drawbacks.

Proposed topology

Figure 1 shows that there are three distinct time intervals in the pulse generation scheme: rise time, flat-top and fall time. In each of these intervals, different requirements for the semiconductors can be identified. The maximum voltage and current must be handled simultaneously during rise and fall time, though using the switches with a low commutating frequency. On the other hand, during flat-top, a lower voltage must be handled and a high switching frequency is necessary to obtain a high precision in the current.

From the previous considerations, the use of two voltage sources is proposed: a high voltage one to produce an output current pulse with short rise and fall times, and a low voltage one to be connected to the load during flat-top, allowing the use of semiconductors with higher switching frequencies. In applications where the devices switching frequency is not enough to obtain the required precision; a third structure, named active filter, must be added. Figure 3 shows a general scheme of the proposed system, composed of two voltage sources, an active filter and the load.

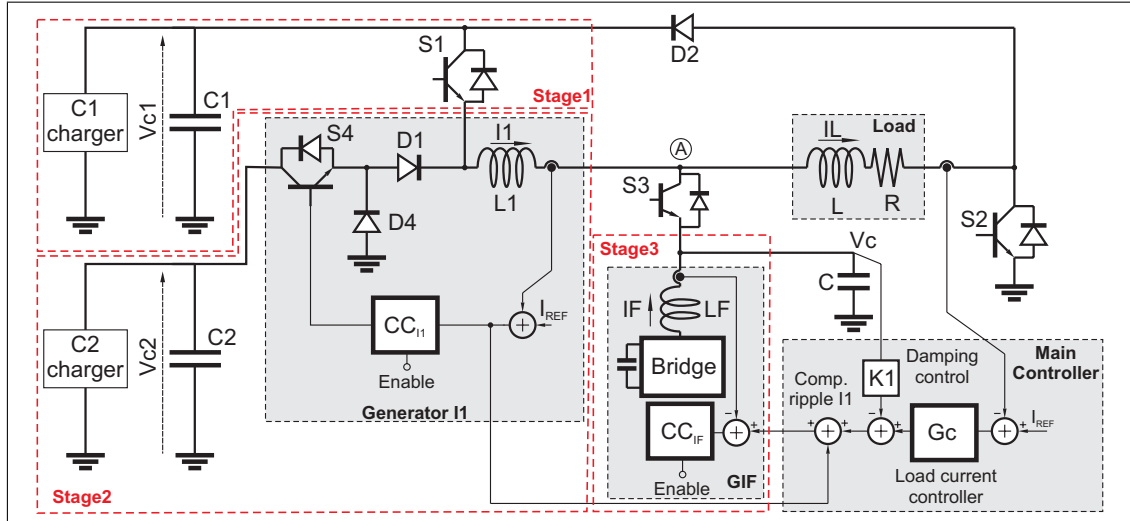


Figure 3: Simplified schematic of the proposed topology

A high voltage source (Stage 1) formed by capacitor bank C1 is used to ramp the load current via L1. A low voltage source (Stage 2) formed by the capacitor bank C2, charged at a voltage close to $I_{REF} \cdot R$, is used to supply the base load current during the flat top. The use of either stage is controlled by the state of switch S1.

In Stage 2, S4 is controlled in switching mode operation in order to generate the I1 current. This current is a base current, generally with a ripple level much higher than the one required by the high precision criteria.

Stage 3 is an active filter that cancels the I1 current ripple and maintains a high precision level during the flat top. The active filter operates at low voltage and low current, which allows the use of high switching frequency devices.

The current controls of I1 and IF are performed by using a hysteresis control to obtain the minimum transient time. Capacitor C, connected in parallel with the load, is used to absorb the current differences between current I1, IL and IF that may arise in node (A).

Operation principle

Figure 4 shows the current waveforms of the proposed system and the state of the different semiconductor switches during the three operation modes.

Rise time: Switches S1 and S2 are turned ON and S3 and S4 are turned OFF. The enable signal is turned OFF (Fig. 3) to inhibit the operation of controllers I1 and IF. The voltage applied on the magnet load (L-R) and on the inductance L1 is V_{C1} . The IF generator and the capacitor C are not connected to the load as S3 is OFF. The magnet current IL increases with a slope given by $(V_{C1})/(L1+L)$ if the magnet resistance is considered negligible.

Flat top: When the current IL reaches the reference value I_{REF} , S1 is turned OFF and S3 is turned ON. The turn-off of S1 allows the current I1 to flow either through D4 or S4, depending on the state of S4 that is used in switch mode operation. The turn-on of S3 allows the connection of capacitor C and the IF generator to the converter output. At the same time, the operation of controllers I1 and IF is initiated by the enable signal.

Fall time: To decrease the magnet current, S1, S2, S3 and S4 are turned OFF. The energy stored in the magnet load and inductor L1 returns to the capacitor bank C1 through diodes D1, D2 and D4.

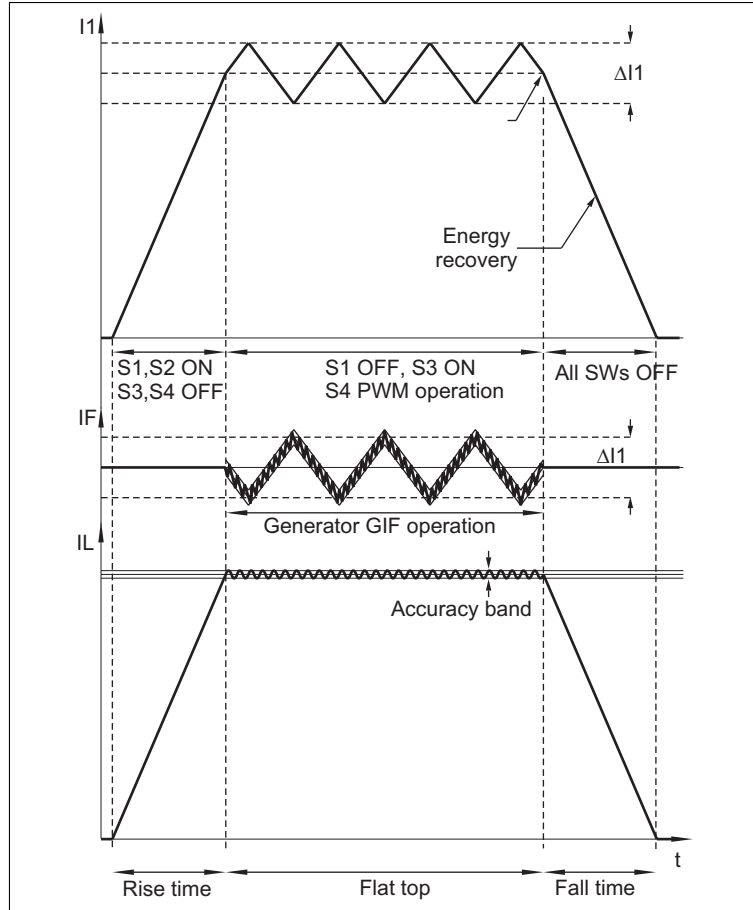


Figure 4: Current waveforms and operation principle

Power system implementation

Concerning the semiconductor devices required for the power system, one of the goals of this study was to be able to use standard semiconductor devices and drivers. For the design of the prototype converter, with requirements given in table I, we obtain from equation (1) an operating voltage of 2.3 kV. With these requirements, S1 and S2 are standard 3.3 kV IGBT modules using commercially available drivers. As the pulse current duration is longer in S2, the pulse power capability requirement is more stringent for S2 than S1 and its corresponding junction temperature rise has been estimated to be close to 10°C. This figure allows a very low stress on the semiconductor module and guarantees a long lifetime as regards thermal cycling capability.

S4 is used in switch mode operation and it is highly desirable that its switching frequency be as high as possible in order to reduce the ripple current on I_L and hence lower the active filter operating current. Considering the drivers available on the market for the associated IGBT's, the maximum operational switching frequency has been estimated at 10 kHz. S4 has only to withstand the low voltage from V_{C2} . By using a high voltage diode for D1, S4 is also protected from the high voltage source V_{C1} and a low voltage IGBT module can be used. The junction temperature increase for S4, taking into account the 10 kHz switching frequency, has been estimated to be close to 10°C.

For the active filter, a maximum switching frequency of 100 kHz with 1.2 kV / 100 A IGBT devices was targeted using commercial drivers. S3 is a high voltage module (3.3 kV) but with a low current rating.

Control system analysis and simulations

As the system is composed of different interconnected sources, the control architecture and analysis has been focused on the transient generated each time a change in the converter structure is made.

The current control of I_l is a simple hysteresis modulator that is triggered when the load current value reaches the value of I_{REF} . The hysteresis bands are evaluated at each discharge pulse according to the value of I_{REF} to keep the switching frequency constant.

To control the active filter, the control system has to perform three actions that are realized by the Main Controller Block (see figure 3):

- the first control loop (internal loop) compensates the I_l current ripple by injecting in the system a current resulting from the difference between the load current reference and I_l ,
- the second control loop (middle loop) is used to damp the oscillations generated by the connection of capacitor C to the load. This compensation is performed through a single state variable feedback K_1 to obtain a critical damping of the LC circuit,
- the third control loop (external loop with controller G_c) regulates the load current. This external control loop shall have a high dynamic (bandwidth in the range of 10..20 kHz) in order to stabilize the flat-top current with minimal transient disturbances.

When the load current reaches the I_{REF} value, S_3 is turned on, the capacitor C is connected in parallel to the load and the active filter starts to operate. One of the system major difficulties is the setting of the initial conditions of capacitor C and those of the different controllers during this transient. The load current has to reach I_{REF} with the required precision in a minimum response time. It has been decided not to preset any initial value for C and the different controllers in order to simplify the control system design. In fact, with a suitable bandwidth for the damping loop, the transient can be absorbed in a short time as regards the flat-top current duration.

The whole system has been simulated and evaluated using Matlab and Simulink. The results are presented in figure 5. The picture on the left shows the transient response of the load current when S_3 is closed. It can be noted that the resulting transient is absorbed in less than $200\mu s$ for a precision of 500ppm. The figure on the right, a zoom on the load current during flat-top, shows that the corresponding operating precision is close to 100ppm.

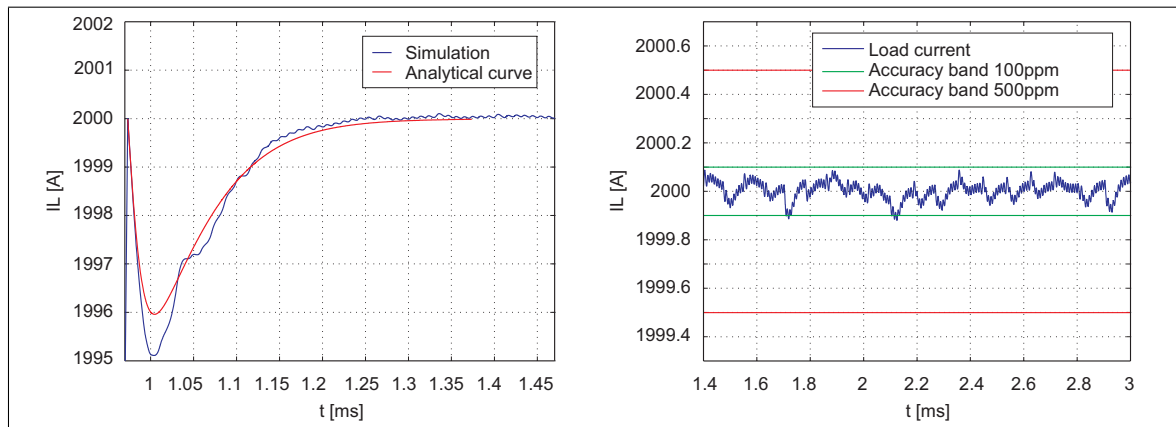


Figure 5: Simulated load current waveforms during transient (left) and steady-state (right)

Control system implementation

To implement the proposed control system, a specific electronic board using digital control has been developed. Figure 6 shows a block diagram of the implemented control board which is composed of a FPGA, a DSP and an analog/digital acquisition module.

The FPGA is the main block of the control system, it performs the following tasks:

- generation of the different commands for the semiconductors (S_1 , S_2 , S_3 , S_4),
- management of the control and communication with the analog/digital acquisition module,
- achievement of the I_l current control using hysteresis modulation,
- realization of the active filter control by driving the H-bridge using hysteresis current control for IF.

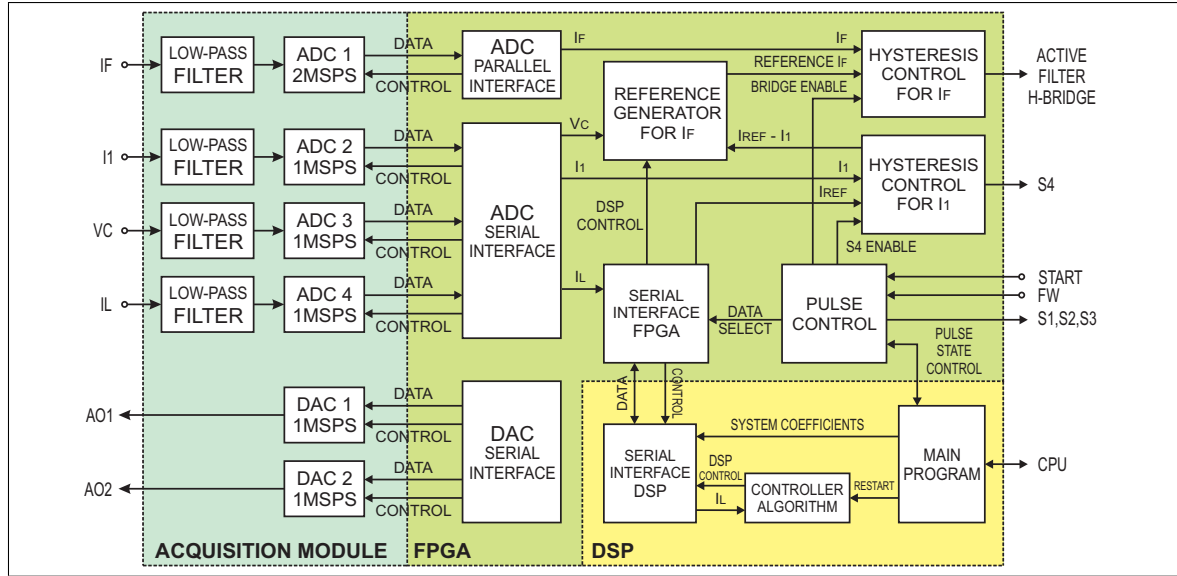


Figure 6: Diagram of the digital control board

The DSP executes the control algorithm for IL regulation (external loop part) and manages the hysteresis band for I1 and IF according to the I_{REF} value supplied by an external supervision system.

The acquisition board consists of 4 ADC converters, three are used to measure currents and one to measure voltage, with their corresponding differential input filters. The measurement of I1 is performed with a Hall effect current sensor and measurements of IL and IF through a Pearson-type current transformer. This board is also equipped with two DAC converters that can generate test signals to debug the system.

To implement IF digital hysteresis control, at least 20 samples per commutation cycle are used so as to limit the amplitude error in bands crossing detection. As the maximum switching frequency is 100kHz, an acquisition frequency of 2MHz is adopted.

The V_C damping loop is implemented in the FPGA and, being a simple operation, the maximum acquisition frequency of the channel is employed, i.e. 1MHz. The same approach is adopted for the I1 controller, as just one comparison is required; therefore, the acquisition frequency is set to 1MHz. Regarding IL control loop, a trade-off between the acquisition speed and the resources needed for the calculations is considered. A sampling frequency of 200kHz is adopted, twenty times above the cut-off frequency required for the system. The hardware used to implement the digital control board uses:

- a Texas Instruments 100MHz DSP TMS320F2809 model,
- a Xilinx FPGA XCS40XL model with a 40MHz clock frequency,
- 16-bit resolution ADC AD7621 converters, one used at 2MSPS and three at 1MSPS,
- 14-bits DAC AD5641 converters, 2 units are used at 1MHz for testing purposes.

Experimental results

A full scale prototype, currently under testing, has been designed and constructed taking into account the requirements shown in Table I. To validate the proposed topology and the associated control system, a low power scale prototype has also been developed. The current and voltage values of this prototype have been scaled down to laboratory levels and the active filter switching frequency has been reduced to 50kHz to cope with the provisional digital implementation. Figure 7 shows a complete current pulse generation.

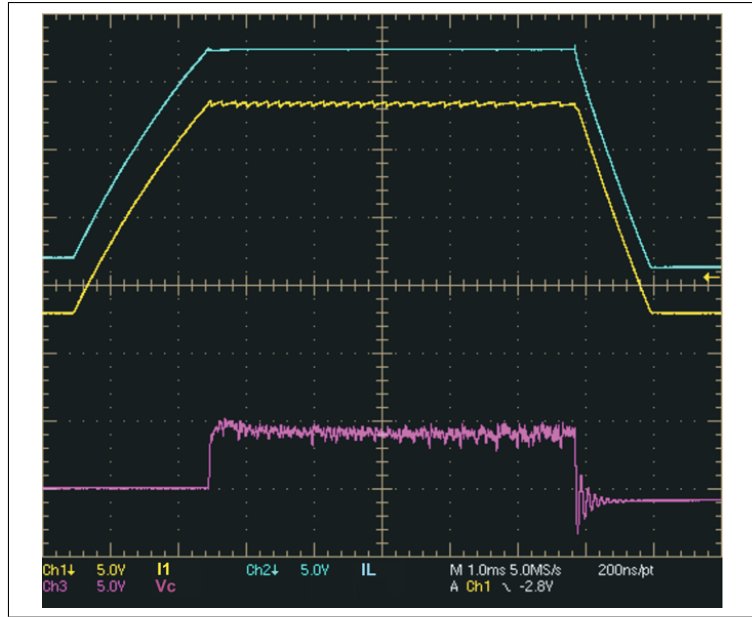


Figure 7: Measurement of a complete pulse

A complete simulation of the proposed topology is carried out with Matlab-Simulink software. The effects of the discrete control system are included together with the characteristics of power devices.

The main parameters of the simulated system are: $VC1 = 20V$, $VC2 = 10V$, $VC3 = 10V$, $GI1$ switching frequency = 5 kHz, GIF switching frequency = 50 kHz and Control loop bandwidth = 5 kHz. Figure 8 shows the corresponding time response during flat-top for the main signals of the power system.

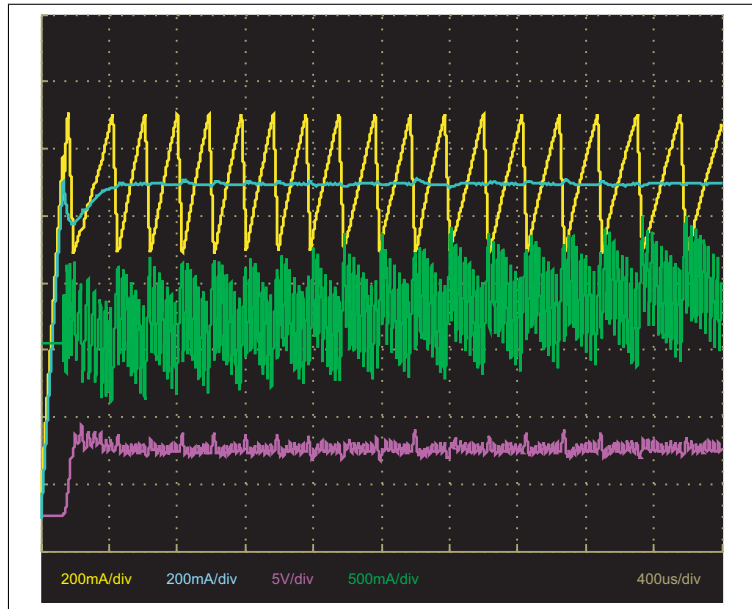


Figure 8: Simulation of the scaled-down prototype (zoom on the flat-top)

Figure 9 shows the same measurements taken on the scaled-down prototype with the implemented control system. For comparison purposes, scales were the same as those used in the simulations.

The results displayed in figure 9 show that the system behaves as foreseen by the simulations. In fact, the simulated model that integrates the different effects of digital control (communication and calculation delays, A/D conversions, etc) clearly reflects the real behavior of the system. From these results, the final tests with the full scale prototype can be pursued with a successful perspective.

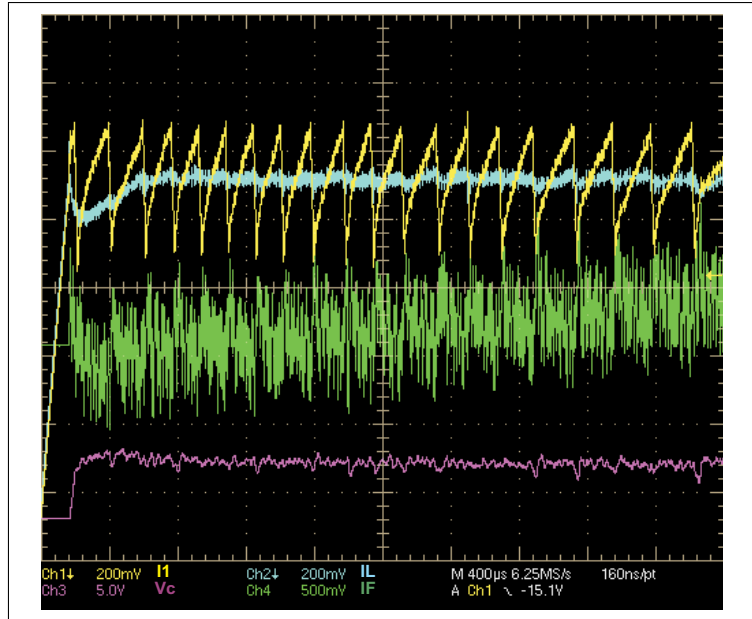


Figure 9: Experimental results of the scaled-down prototype (zoom on the flat-top)

Conclusion

A new converter topology that allows the generation of high current pulses with high precision flat-top and short rise and fall times has been presented. This proposed structure presents several advantages when compared to traditional capacitor discharge converters:

- more flexibility with regards to magnet load parameters and operational requirements,
- better standardization in pulsed converter design,
- energy recovery inherent to the system,
- current pulses with extended flat-top duration.

To validate this converter structure and associated control system, different simulations have been realized and a scale-down prototype has been built. The similarity between the simulation results and the measurements made with the experimental prototype are promising for the final testing of the full scale prototype and future operational converters.

References

- [1] Voelker F.: "Pulsed capacitor discharge power converter: an introductory overview", CAS-CERN Accelerator School: Power Converters for Particle Accelerators Conference, 1990.
- [2] Sing B., Al-Haddad K., Chandra A.: "An inexpensive pulsed power supply for a septum magnet", IEEE Transactions on Nuclear Science, 22(3), 1307-1310, 1975.
- [3] Royer J.P.: "High current with high precision flat-top capacitor discharge power septum magnets", CERN/PS 95-13 EP2 Forum 95, Electrical Power Technology in European Physics Research, 1995.
- [4] Humme C.R., Singh H., Piccone D.: "Thyristor for pulsed power applications", IEEE International Power Modulator Symposium, Monterey, CA, USA. pp. 78-80, 2000.
- [5] Cravero J.M., Royer J.P.: "The IGBT as an element of switch discharge with a linear mode use in capacitor discharge power converters", EP2 Forum 98, Electrical Power Technology in European Physics Research, ESRF, Grenoble, pp. 139-145, 1998.
- [6] Scharholz S., Scheider R., Spahn E., Welleman A., Gekenidis S., "Investigation of IGBT devices for pulsed power applications", IEEE International Pulsed Power Conference, Digest of Technical Papers, pp. 349-352, 2003.
- [7] Schuetze T., Breg H. and Schilling O.: "The new 6.5kV IGBT module: a reliable device for medium voltage applications", EUPEC-Infineon Technology Company, Technical Document, 2006.

FPGA based Modulator for Multi-phase Interleaved DC/DC Converters

R. Garcia Retegui, M. Funes, P. Antoszczuk, M. Benedetti

Abstract—This work introduces a FPGA based modulator for poly-phase interleaved converters, capable of tolerating abrupt changes both in the differential input-output voltage and the reference. This system reduces the interleaved adjustment time and the error during the transient. It present high modularity and is suitable to high accuracy power sources applications.

I. INTRODUCTION

Poly-phase interleaved DC/DC converters are widely used in low voltage, high current applications such as PC sources [1]. This technique distributes the total output current I_T among the phases at a $\frac{I_T}{n}$ value, where n represents the number of phases in use. The switching ripples of each phase are interleaved and therefore the ripple of the output current is minimized. The ripple attenuation reduces the requirements on the output capacitor as well as the losses associated with its equivalent series resistance (ESR), without increasing the switching frequency [2].

Fig. 1 shows a three-phase converter and Fig. 2 shows the ideal case of ripple cancelation for a three-phase system. This ideal condition is only valid to certain relations between input and output voltages and for perfectly balanced systems. Otherwise, the ripple attenuation will depend on the phases balance and/or on the differential input-output voltage ($\Delta V = V_{in} - V_0$), since the latter modifies the current slopes [2], [3]. The typical application of poly-phase interleaved converters is on DC/DC converters where the differential input-output voltage has very little variations or becomes practically constant. Usually, the output voltage V_0 is constant and the V_{in} voltage follows the average variations of the main voltage. Thus, the modulators required are simple and present a low dynamic response [4], [5], [6].

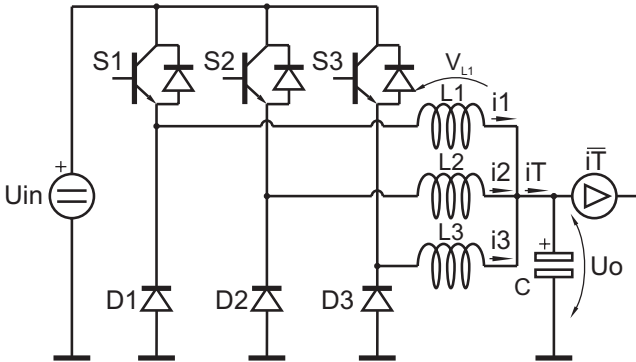


Fig. 1: Three-phase converter topology

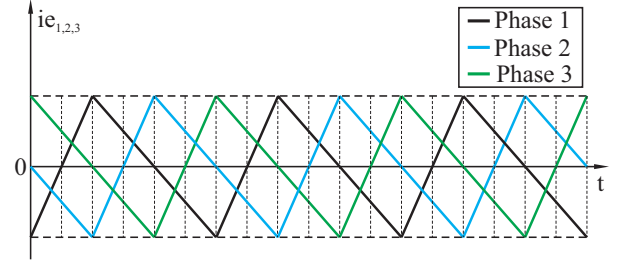


Fig. 2: Ideal condition of ripple cancelation.

High pulsed current applications can take the advantages of poly-phase interleaved converters if it is compared with topologies based on series, parallel or series/parallel switch arrays. Though the interleaved poly-phase converter topology is an attractive alternative for high power converters (where input-output voltage variations are faster), the low dynamic response of the typical modulators constitutes a serious drawback. An abrupt change in the ΔV voltage generates a disadjustment in the interleaving ripples. The phase shifts among the phase currents are recovered after a time named "adjustment time" T_a . In traditional modulators, this time extends along several switching periods, generating an intolerable error between the reference and output currents in high performance converters. This work proposes a new modulator for interleaved converters with a minimum time T_a , suitable for high voltage, high current applications such as pulsed sources, whose current varies abruptly with significant changes in the differential voltage [7], [8].

High current applications may need three or more switching phases to reduce switches losses or to improve accuracy. This implies high calculation requirements to control all PWM modulators. Besides the system could be implemented in a DSP (Digital Signal Processor), its sequential computation execution limit the system to a low phase number or switching frequency. In contrary, FPGA technology utilization allows the individual phase controller able to be replicated for poly-phase control systems without performance reduction. This work presents a FPGA based modulator that profits the logic system architecture. The developed modulator is later compared with its ideal model simulated in MATLAB-SIMULINK.

II. MODULATION ALGORITHM

Fig. 3a shows the waveforms of each phase current error in ideal conditions of stationary state for a three-phase interleaved converter. The phase current error is defined as the error between the phase current and the reference current. This

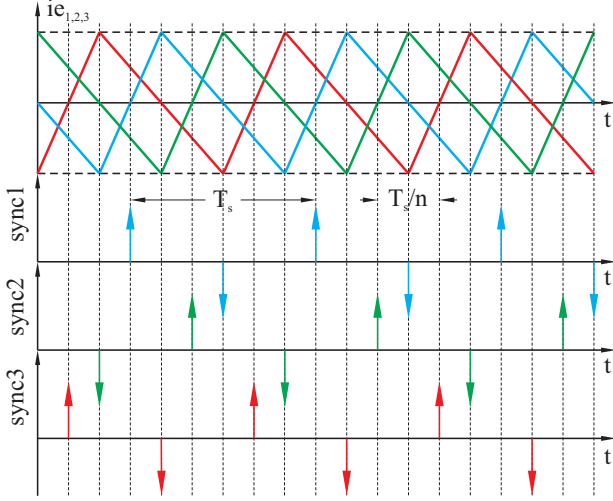


Fig. 3: Ideal interleaved operation.

condition is defined as the coincidence of the zero crossing of the phase current error signals with the synchronizing pattern shown in Fig. 3b. The synchronizing signals shows a time shift equal to $\frac{T}{n}$, which produces the interleave in the phase currents. In order to minimize the ripple, the three phases should be equal to each other and the zero crossing of each phase should coincide with the reference pattern. If, by any reason, the system does not meet this condition, an error between the reference and the zero crossing occurs. The proposed method is based on producing the proper commutations on the converter switches in order to synchronize the zero crossing instants of the phase current error with the synchronizing pattern, in the shortest time possible. In order to describe the method, the small and large signals behaviors are analyzed separately. As each phase will be synchronized with the zero crossing pattern independently, for descriptive purposes we include the analysis of only one phase.

A. Small signal analysis

The small signal analysis studies how the method corrects small perturbations in the system. The small signal condition is defined as those cases where the time error $t_e(k)$ between the zero crossing of the current error and the ideal pattern of a phase is lower than $\frac{T}{2}$ (Fig. 4).

It is considered that, initially, there is no error between the zero crossing and the reference ideal pattern in point (a). However, if a small change in ΔV , which modifies the slope, occurs after point (a), an error between the zero crossing of the current error and the synchronizing signal time is observed in point (b). This error interval is named $t_e(k)$.

If conditions are not modified, the duration of the next semiperiod $t_{hp}(k+1)$ can be determined in order to avoid a crossing error in point (c).

$$t_{hp}(k+1) = T - t_e \quad (1)$$

The error $t_e(k)$ can be negative or positive depending on whether the crossing occurs before or after the reference.

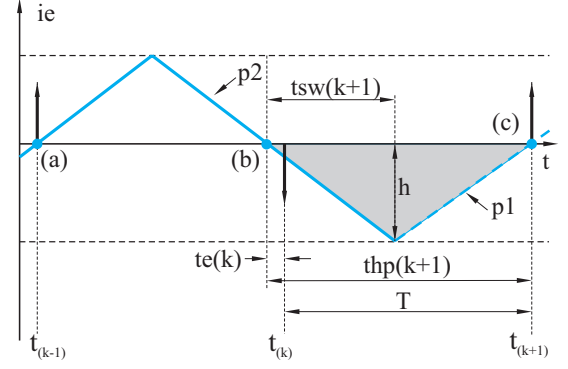


Fig. 4: Operation in small signal condition.

Observing the waveform shown in Fig. 4, the relationships among slopes p_1 and p_2 , the semiperiod $t_{hp}(k+1)$, the commutation time $t_{sw}(k+1)$ and the error amplitude h are found and they are expressed in the following equation.

$$h = -p_2 \cdot t_{sw}(k+1) = p_1 \cdot [t_{hp}(k+1) - t_{sw}(k+1)] \quad (2)$$

Operating with eq. 2, the equation for the next commutation time can be obtained:

$$t_{sw}(k+1) = \left(\frac{p_1}{p_1 - p_2} \right) \cdot t_{hp}(k+1) \quad (3)$$

Expression (3) shows that to calculate the commutation time it is necessary to determine the error slopes, which can be calculated in function of the converter input-output voltages. Thus, if the inductors ESRs are negligible, it can be obtained:

$$p_1 = \frac{U_{in} - U_o}{L_1} \quad (4)$$

$$p_2 = -\frac{U_o}{L_1} \quad (5)$$

Substituting eq. (4) and 5 in eq. (3) it can be obtained:

$$t_{sw}(k+1) = \left(1 - \frac{U_o}{U_{in}} \right) \cdot t_{hp}(k+1) \quad (6)$$

Then, it can be seen that, by evaluating eq. (1) and (6), the proposed method is capable of correcting the error in the next period. A similar analysis for the case of a crossing with positive slope originates the following expression:

$$t_{sw}(k+1) = \left(\frac{U_o}{U_{in}} \right) \cdot t_{hp}(k+1) \quad (7)$$

The analysis developed so far can be extended to cases where the error $t_e(k)$ is generated by small changes in the reference.

B. Large signal analysis

The abrupt changes in the reference or in ΔV must be detected to avoid erroneous commutations. Fig. 5 shows the case of an abrupt drop in the reference, which is produced immediately after the zero crossing between the output current and the reference.

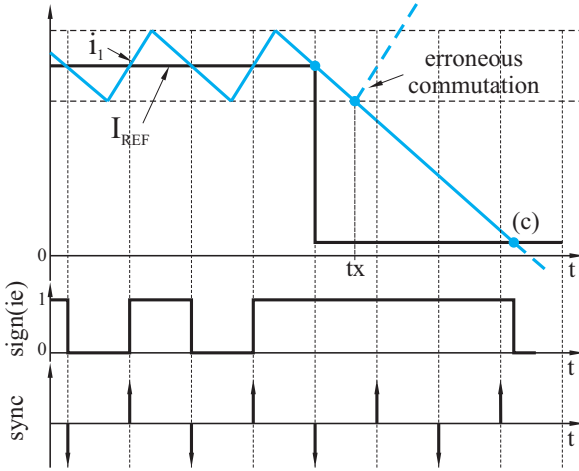


Fig. 5: Reference abrupt change.

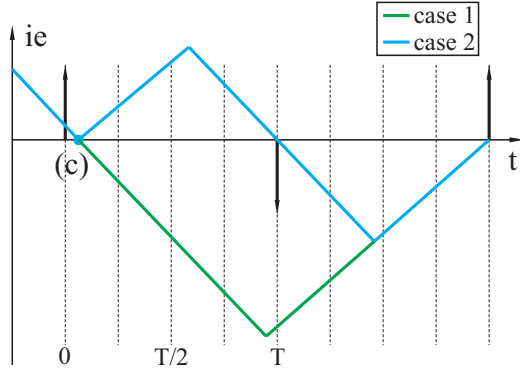


Fig. 6: Interleaved recovery after an abrupt change.

The error zero crossing originates next to a reference pulse that corresponds to an opposite slope. Thus, for this case and with the proposed calculation, a large commutation time is obtained, which generates a positive semicycle greater than normal (case 1). This behavior originates an error in the current mean value, which is difficult to correct by means of a control loop. The optimal solution to minimize this error is shown in case 2. In this case, it is evaluated whether the zero crossing occurs at a distance greater than $\frac{T}{2}$ of the reference pulse pattern of the appropriate slope. If so, the system performs an anticipated commutation, immediately after the zero crossing, to change the slope and to reach the synchronism in the next zero crossing. When the zero crossing occurs at a distance smaller than $\frac{T}{2}$, the system continues its evolution and corrects the error as in the small signal case. Thus, as each phase adjusts to its pattern in the shortest time, the correct interleaving of the system is ensured.

III. FPGA IMPLEMENTATION

The advantage of implementing a PWM modulator in FPGA lies in the fact that it can parallelize both the control and calculation tasks of the commutation times of each phase. The modulator developed for a single phase can be extended to a poly-phase system by replicating it for each phase.

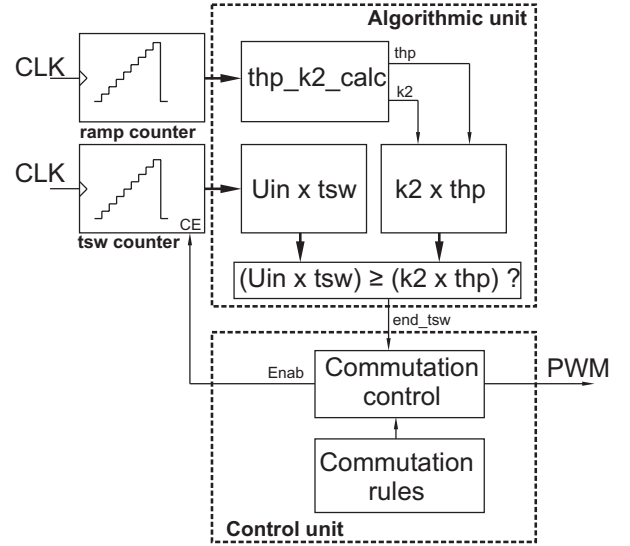


Fig. 7: Main diagram.

The algorithm calculation of the modulator is modified to profit the logic system architecture. Figure 7 shows the block diagram of the PWM modulator proposed for one of the phases, where two main blocks are shown: the control unit and the calculation unit. The latter obtains the switching instant from equation 8.

$$t_{sw}(k+1) = \left(\frac{K_2}{U_{in}}\right) \cdot t_{hp}(k+1) \quad (8)$$

where K_2 is $U_{in} - U_o$ or U_o depending on the slope sign.

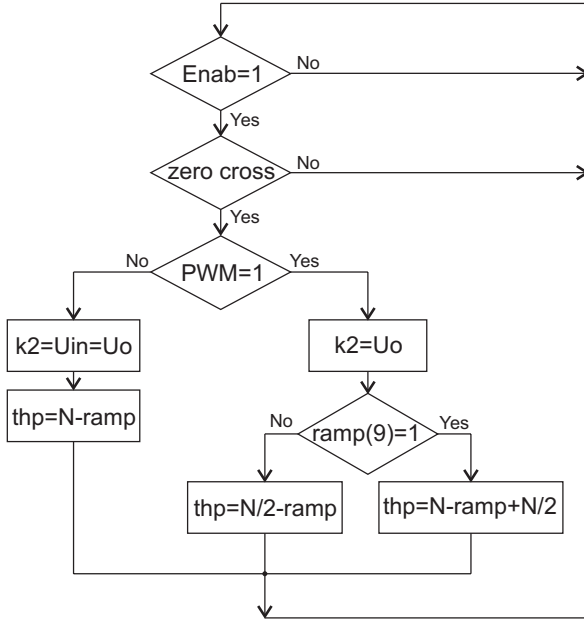
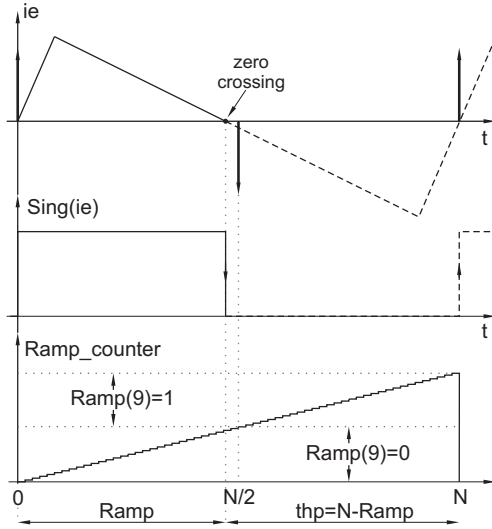
The quotient $\frac{K_2}{U_{in}}$ can be avoided by performing the comparison of the products expressed in equation 9 in every clock cycle,

$$U_{in} \cdot t_{sw}(k+1) > K_2 \cdot t_{hp}(k+1) \quad (9)$$

These products are performed simultaneously, taking advantage from the parallel-like capacity of the tasks. The term t_{sw} is implemented by means of a rising counter that restarts with every signal edge of the current error signal, $sign(i_e)$. The magnitudes t_{hp} and K_2 are obtained from the block $thp-k2_calc$, which is explained with the flux diagram of Fig. 8.

It can be seen from the diagram that the constant K_2 depends exclusively on the PWM output state. The t_{hp} determination is performed by means of the reading of the rising counter *Ramp-counter* during the zero crossing events of the current errors. This counter functions as synchronism signal for the zero crossings reference; so its counting period equals the desired switching frequency period. Figure 9 shows a case of t_{hp} measurement.

In this case, the current zero crossing reference considered is performed with a negative slope, which corresponds to the state $PWM = 0$. As it can be seen, the duration of the semi-period t_{hp} is obtained by subtracting its reading during the zero crossing from the module N counter. The counter bits number n is related to the required precision in the zero crossing adjustment and the switching frequency. It can be determined by equation 10.

Fig. 8: Flowchart of t_{hp} and k_2 calculation.Fig. 9: t_{hp} measurement case.

$$n = \log_2 \left(\frac{f_{clk}}{f_{sw}} \right) \quad (10)$$

where f_{clk} and f_{sw} are the clock and switching frequencies, respectively.

The control unit consists of two blocks. On the one hand, the *commutation control* block; a state machine that generates the PWM signal and controls the calculation unit (fig. 10). On the other hand, the *commutation rules* block generates the input signals to the state machine based on the switching rules. These rules consider anticipated switchings, avoiding erroneous switching and detecting consecutive zero crossing events.

Fig. 11 shows the system implementation in the Xilinx development programm [9]. All blocks have been described

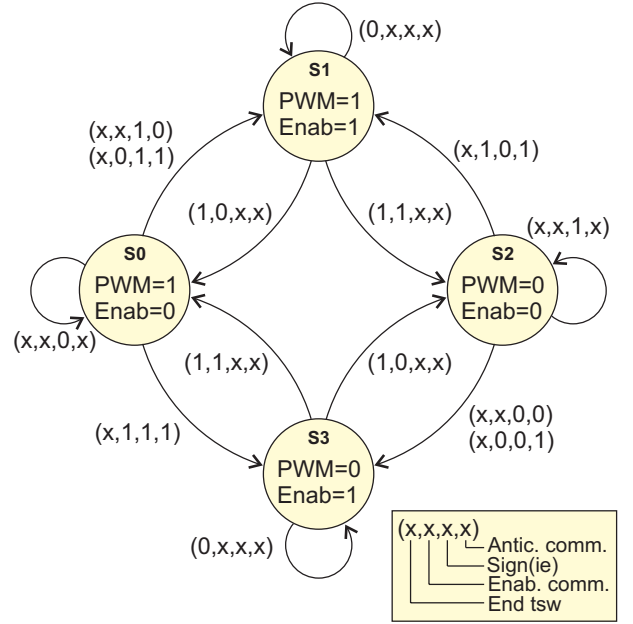


Fig. 10: Commutation State Machine.

in VHDL and presented in schematic view.

IV. EXPERIMENTAL RESULTS

The proposed modulator was implemented in a Xilinx FPGA Spartan 3 XC3S500E. This device can run at synchronous system clock rates up to 200 MHz and has a capacity 4656 slices. It was first simulated with SIMULINK MATLAB, considering the quantization in the operations and times discretization aspects. The objective of this simulation is to obtain the signals of the feedforwarded system, which are later used as test vectors of the FPGA based system. The result of the implemented system are eventually compared with the simulation results in order to evaluate the possible calculation errors due to discretization.

To evaluate the performance achieved with the proposed architecture, it was registered the relative error between the FPGA based and the MATLAB PWM modulator output over 60 consecutive switching times. The simulation result is shown in Fig. 12.

It can be seen that the maximum error obtained in the switching time is lower than 1.5% which is within an acceptable tolerance levels. The FPGA design was assessed in terms of logical resource usage. The resources consumption was of 168 slices for the implementation of a three-phase modulator with the utilization of 6 embedded multipliers. This result shows that in the present FPGA can be implemented a 6-phase systems with very low resource requirements, leading the rest of the FPGA to other control tasks.

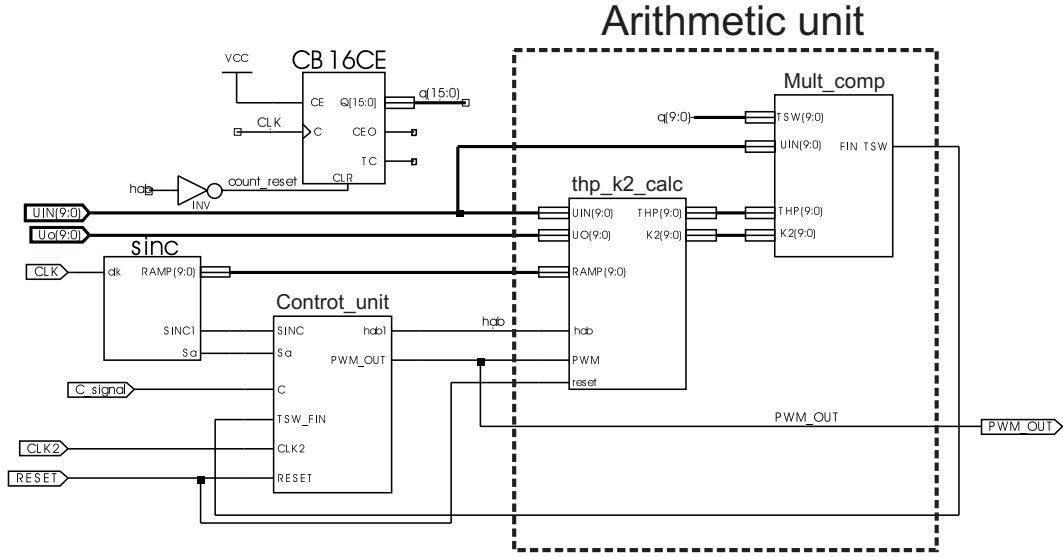


Fig. 11: Main block scheme.

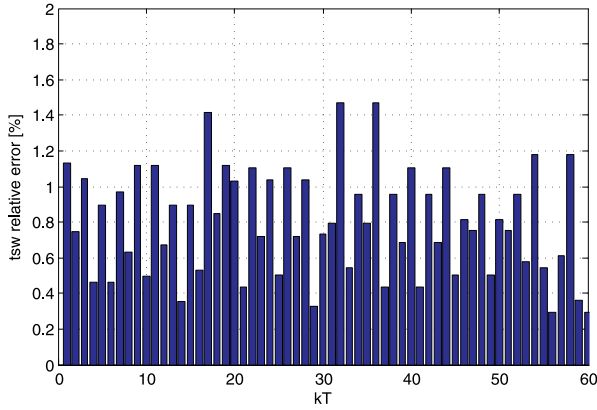


Fig. 12: Switching time relative error.

- [6] J.-R. Tsai, T.-F. Wu, Y.-M. Chen, and M.-C. Lee, "Interleaving control schemes for critical-mode boost pfc," in *Proc. IEEE Power Electronics Specialists Conference PESC 2007*, pp. 2905–2911, 17–21 June 2007.
- [7] W. F. Praeg, "An inexpensive pulsed power supply for a septum magnet," vol. 22, pp. 1307–1310, June 1975.
- [8] F. Voelker, "Pulsed capacitor discharge power converter: An introductory overview," in *CAS-CERN Accelerator School: Power Converters for Particle Accelerators Conference*, 1990.
- [9] "http://www.xilinx.com."

V. CONCLUSIONS

A FPGA based modulator for poly-phase interleaved converter was presented. This modulator was evaluated in contrast with the ideal model in Simulink. Its modular architecture makes the system easily replicable and suitable for high accuracy power sources applications.

REFERENCES

- [1] L.-P. Wong, D.-W. Cheng, M. Chow, and Y.-S. Lee, "Interleaved three-phase forward converter using integrated transformer," vol. 52, pp. 1246–1260, Oct. 2005.
- [2] W. Chen, "High efficiency, high density, polyphase converters for high current applications," tech. rep., Linear Technology : AN77, 1999.
- [3] R. G. Retegui, S. A. Gonzalez, M. B. R. G. Gil, J. Esp, and J. Castello, "A new fixed frequency hysteresis current controller suitable for wind energy sources," *International Review Of Electrical Engineering*, vol. 2, N:6, pp. 820–825, 2007.
- [4] J. Abu-Qahouq, H. Mao, and I. Batarseh, "Multiphase voltage-mode hysteretic controlled dc-dc converter with novel current sharing," vol. 19, pp. 1397–1407, Nov. 2004.
- [5] P. Andreassen and T. Undeland, "Digital control methods for current sharing of interleaved synchronous buck converter," in *Proc. European Conference on Power Electronics and Applications*, pp. 7pp.–P.7, 2005.

Modulador para Convertidores Polifásicos Interleaved DC/DC: Análisis de estado estacionario y transitorio

R. Garcia Retegui^{†‡}, M. Funes^{†‡}, P. Antoszczuk[†], M. Benedetti^{†‡}

Laboratorio de Instrumentación y Control

[†] Universidad Nacional de Mar del Plata

[‡] CONICET

rgarcia@fi.mdp.edu.ar

Resumen En este trabajo se realiza un estudio de la influencia de variación de parámetros en el algoritmo de modulación para convertidores polifásicos *interleaved* DC/DC. Se presenta una descripción teórica del método y se analiza el mismo por medio de simulaciones, las cuales contemplan aspectos de cuantización y desbalances en el sistema.

1. Introducción

Los convertidores polifásicos *interleaved* DC/DC son ampliamente utilizados en aplicaciones de baja tensión y alta corriente, como las fuentes de las computadoras personales (PC) [1]. La técnica utilizada en estos convertidores distribuye la corriente total I_T entre las fases a un valor de $\frac{I_T}{n}$, donde n es la cantidad de fases en uso. Los ripples de conmutación de cada fase son decalados para minimizar el ripple de la corriente de salida y reducir los requerimientos de filtrado de esta etapa, sin incrementar la frecuencia de conmutación [2].

En la Fig. 1 y 2 se muestra un convertidor de trifásico y un caso ideal de cancelación de ripples para este sistema, respectivamente. La condición de cancelación ideal es válida solo para ciertas relaciones entre las tensiones de entrada y salida, y para sistemas perfectamente balanceados. Además, la atenuación del ripple depende del balance de las fases y/o de la tensión diferencial entrada-salida ($\Delta U = U_{in} - U_0$), ya que modifica las pendientes de las corrientes [2,3]. En las aplicaciones típicas de los convertidores DC/DC interleaved, los moduladores requeridos son simples y de baja respuesta dinámica. Esto es debido a que ΔU presenta variaciones muy pequeñas o es prácticamente constante [4,5,6].

En aplicaciones de gran potencia la tensión diferencial ΔU puede cambiar abruptamente. Esto constituye un problema para los moduladores típicos debido a su baja respuesta dinámica. Este cambio genera una variación en el ripple que es corregido luego de un tiempo de ajuste T_a . En los moduladores tradicionales este tiempo se extiende por varios periodos de conmutación, ocasionando errores en la corriente de salida que pueden ser intolerables en convertidores de alta performance.

En [7] se propone un nuevo algoritmo para convertidores interleaved, que admite cambios abruptos en ΔU y en la referencia de corriente con mínimo T_a .

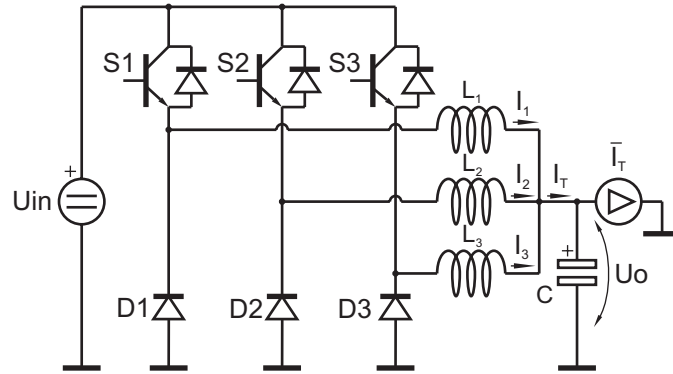


Figura 1. Topología del convertidor de tres fases.

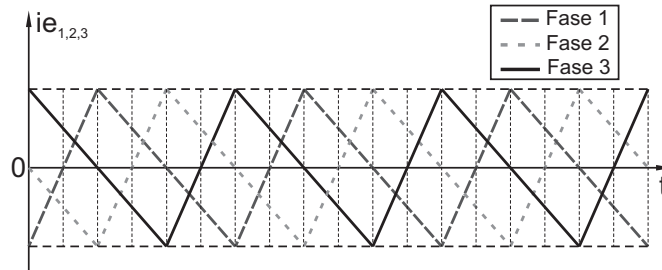


Figura 2. Condición ideal del algoritmo de modulación.

La implementación de este algoritmo en un sistema real presenta aspectos como el computo en una plataforma de precisión finita y la dispersión de los componentes del convertidor que influyen en el desempeño del mismo. En este trabajo se analiza el efecto de la cuantización y la dispersión en el comportamiento de estado estacionario. Adicionalmente se evalúa la respuesta transitoria del sistema ante un cambio abrupto en la referencia y en ΔU .

2. Algoritmo de modulación

La Fig. 3a muestra los errores de corriente de fase¹ para un convertidor trifásico en condición ideal de estado estacionario.

Esta condición ideal corresponde a la coincidencia del cruce por cero del error de corriente con el patrón de sincronismo mostrado en la Fig. 3b. Las señales de sincronismo se encuentran convenientemente desfasadas en $\frac{T}{n}$ de forma tal de producir el decalado deseado en los ripples de corriente. Para minimizar el ripple, las tres fases deben ser iguales entre si y el cruce por cero de cada fase debe coincidir con el patrón de sincronismo. Si, por alguna razón, el sistema no cumple con estas condiciones, se

¹ Este error se define como la diferencia entre la corriente de fase y su referencia.

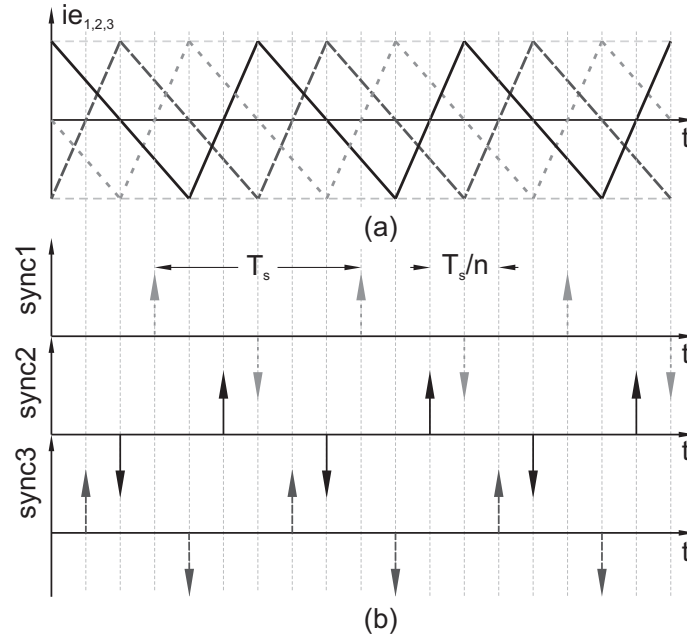


Figura 3. Operación ideal del sistema.

produce un error entre la referencia y los cruces por cero. El método propuesto se basa en generar las conmutaciones de las llaves del convertidor de modo de sincronizar, en el menor tiempo posible, los instantes de cruce por cero del error de corriente de cada fase con el patrón de sincronismo. Debido a que el control se realiza en forma independiente por fase, la descripción del método se efectúa para una fase con perturbaciones de pequeña y gran señal.

2.1. Análisis de pequeña señal

En este análisis se describe la forma en que el método corrige pequeñas perturbaciones en el sistema. La condición de pequeña señal está definida para el caso en que el error de tiempo entre el cruce por cero y el patrón de sincronismo es menor que $\frac{T}{2}$.

Inicialmente, en Fig. 4, se considera que no hay error entre el cruce por cero y el patrón de sincronismo (punto a). Si se produce un pequeño cambio en ΔU , justo después de este punto, se genera una variación en la pendiente que ocasiona un error en el punto (b) denominado $t_e(k)^2$.

² Este análisis se puede considerar también para los casos en que el error es generado por pequeños cambios en la referencia

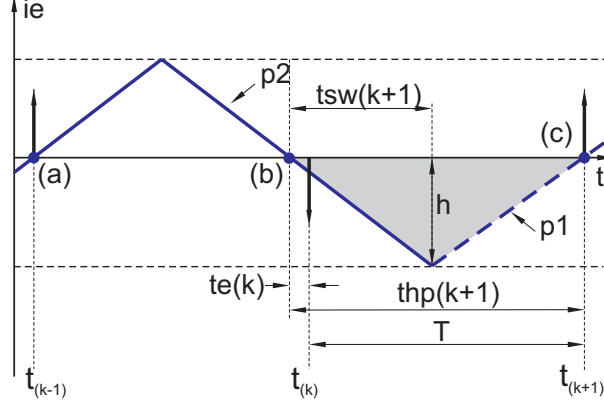


Figura 4. Operación en condiciones de pequeña señal.

Asumiendo, después de esta situación, que las pendientes no se modifican, la duración del próximo semiperiodo $t_{hp}(k+1)$, se puede determinar de modo de evitar un error en el cruce por cero en (c) .

$$t_{hp}(k+1) = T - t_e \quad (1)$$

El error $t_e(k)$ puede ser positivo o negativo dependiendo de si el cruce ocurre antes o después del sincronismo. A partir de la Fig. 4, se obtiene la siguiente relación:

$$h = -p_2 \cdot t_{sw}(k+1) = p_1 \cdot [t_{hp}(k+1) - t_{sw}(k+1)] \quad (2)$$

donde p_1 y p_2 son las pendientes del error de corriente, $t_{hp}(k+1)$ es el semiperiodo deseado, $t_{sw}(k+1)$ el tiempo de conmutación, y h la amplitud del ripple.

Operando con la ec. (2), se obtiene la siguiente expresión para el cálculo del tiempo de conmutación:

$$t_{sw}(k+1) = \left(\frac{p_1}{p_1 - p_2} \right) \cdot t_{hp}(k+1) \quad (3)$$

La ec. (3) muestra que para determinar el tiempo de conmutación es necesario calcular las pendientes del error de corriente. Si se consideran despreciables las resistencias serie de los inductores se puede plantear que:

$$p_1 = \frac{U_{in} - U_o}{L_1} \quad (4)$$

$$p_2 = -\frac{U_o}{L_1} \quad (5)$$

luego, sustituyendo las ecuaciones (4) y (5) en (3) se obtiene:

$$t_{sw}(k+1) = \left(1 - \frac{U_o}{U_{in}} \right) \cdot t_{hp}(k+1) \quad (6)$$

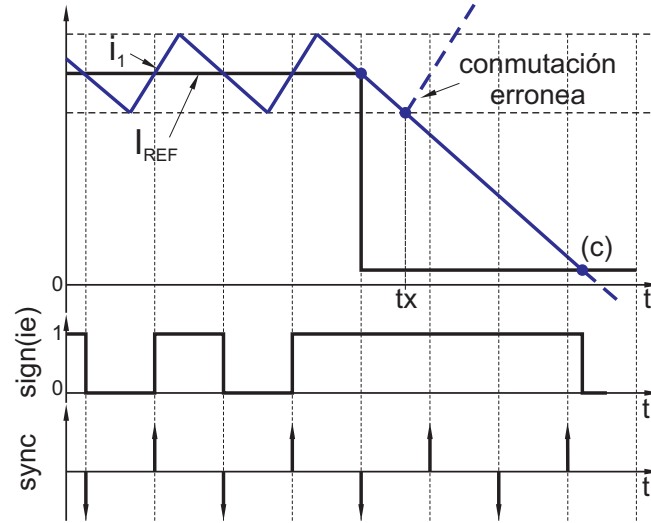


Figura 5. Cambio abrupto en la referencia.

Analizando las expresiones anteriores, se puede ver que el método es capaz de corregir el error en el próximo periodo evaluando las ecuaciones (1) y (6). Si se realiza un análisis similar para el caso de cruce con pendiente positiva se obtiene la siguiente expresión:

$$t_{sw}(k+1) = \left(\frac{U_o}{U_{in}}\right) \cdot t_{hp}(k+1) \quad (7)$$

2.2. Análisis de gran señal

Los cambios abruptos en la referencia o en ΔU deben ser detectados a fin de evitar conmutaciones erróneas. La Fig. 5 muestra el caso de un cambio abrupto en la referencia, el cual se produce inmediatamente después del cruce entre la corriente y la referencia.

Se puede ver que una vez detectado este cruce, el sistema calcula la próxima conmutación para el tiempo t_x , la cual generaría una conmutación errónea. La acción correcta, en este caso, es inhibir la conmutación y esperar el próximo cruce por cero (punto c) para reiniciar los cálculos. La detección de esta condición se puede realizar verificando la correspondencia entre el signo del error y el signo de la pendiente de la corriente. Es decir, la conmutación se habilita cuando el signo del error y el signo de la pendiente son iguales. Esta acción inhibe las conmutaciones erróneas, sin embargo, no controla la recuperación del decaído del ripple de corriente.

Para que la condición de mínimo ripple no se vea afectada, el cruce por cero de cada fase debe ser ajustado con su correspondiente patrón de sincronismo. La Fig. 6 muestra dos casos de recuperación de *interleave*, para el punto (c) de la Fig. 5, en el cual el cruce por cero se produce próximo a un pulso de sincronismo de pendiente opuesta.

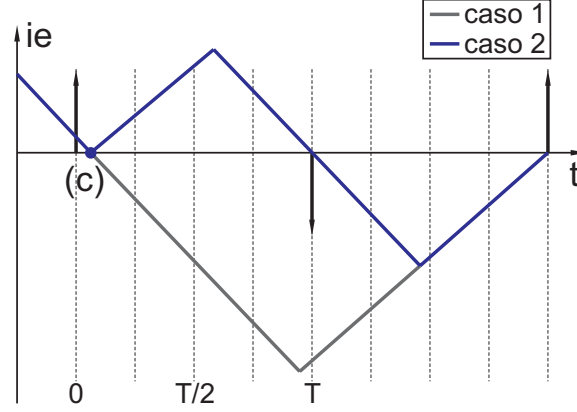


Figura 6. Recuperación del sistema después de un cambio abrupto en ΔU .

En el caso 1 se puede observar que el método realiza los cálculos para ajustar el cruce con la pendiente positiva. Esto origina un semiciclo negativo de mayor amplitud que el deseado provocando un error en el valor medio de la corriente difícil de corregir por un lazo externo de control.

En el caso 2 se muestra la solución óptima para minimizar este error. En este caso, se evalúa si el cruce por cero se produce a una distancia mayor que $\frac{T}{2}$ del pulso de referencia correspondiente a la pendiente adecuada. Si esto es así, el sistema realiza una conmutación anticipada inmediatamente después del cruce por cero para sincronizarse con el próximo cruce. Por otro lado, si el cruce por cero se produce a una distancia menor que $\frac{T}{2}$, el sistema continúa su evolución y corrige el error como una perturbación de pequeña señal.

2.3. Modelado del sistema

El funcionamiento del algoritmo para una fase esta representado en el diagrama en bloques de la Fig. 7. En esta figura los bloques principales son: la unidad aritmética y la unidad de control.

La unidad aritmética se encarga de computar el instante de conmutación por medio de la siguiente expresión:

$$t_{sw}(k+1) = \left(\frac{K_2}{U_{in}}\right) \cdot t_{hp}(k+1) \quad (8)$$

donde K_2 es $U_{in} - U_o$ o U_o dependiendo de la pendiente de la corriente.

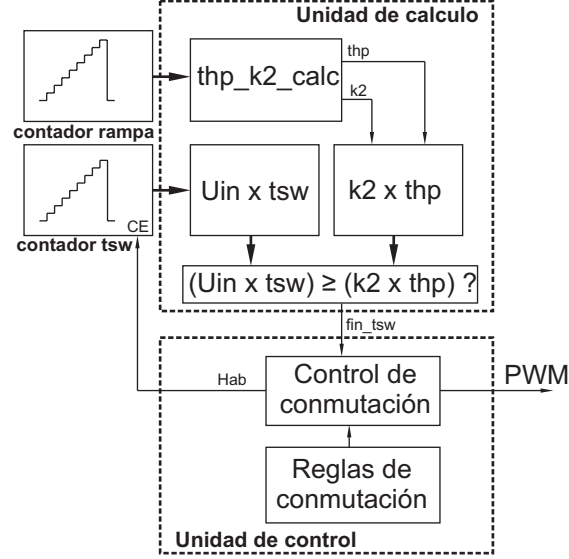


Figura 7. Diagrama en bloques de una fase.

Con el objetivo de ejecutar este algoritmo en una plataforma de precisión finita se evita el cociente $\frac{K_2}{U_{in}}$ mediante la comparación de los productos expresados en la ec. (9) para cada incremento de una rampa³.

$$U_{in} \cdot t_{sw}(k+1) > K_2 \cdot t_{hp}(k+1) \quad (9)$$

El término t_{sw} es generado mediante una cuenta ascendente que se reinicia con cada flanco de la señal de error de la corriente, $sign(i_e)$. La magnitudes t_{hp} y K_2 se obtienen en el bloque *thp-k2-calc* a partir de información proporcionada por la unidad de control.

La unidad de control genera la salida de PWM del modulador a partir de la comparación realizada en la unidad aritmética, contemplando las reglas de conmutación básicas y los casos de conmutación anticipada.

El diagrama en bloques del sistema modelado en MATLAB-SIMULINK se muestra en la Fig. 8. En este modelo se ha considerado la cuantización en las operaciones y la discretización de los contadores. El objetivo de este modelo es verificar el comportamiento del sistema en los estados estacionario y transitorio.

2.4. Ensayos

Estado estacionario: En estado estacionario es de interés evaluar el efecto de la cuantización de los coeficientes del algoritmo y la dispersión en el valor de los inductores

³ En una plataforma *hardware* (FPGA) o *software* (DSP) la implementación de un cociente insinse más recursos que un producto.

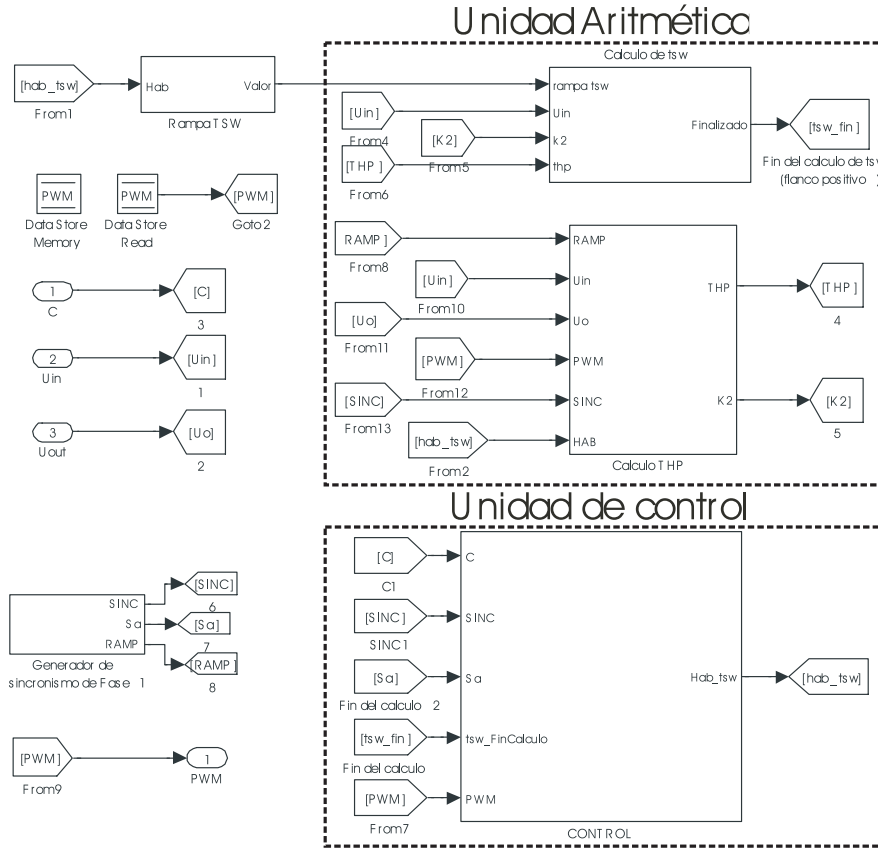


Figura 8. Diagrama en bloques en Simulink.

del convertidor sobre la cancelación del ripple y el valor medio de la corriente de salida. El objetivo es determinar un criterio de diseño que minimice los requerimientos del sistema.

En la Fig. 9 se muestra la cancelación del ripple para dos grados de cuantización del PWM, 8 bits y 10 bits, considerando una dispersión del 10% en el valor de las inductancias.

La curva correspondiente a una longitud de palabra de 10 bits sin dispersión presenta un comportamiento más cercano al ideal, que el correspondiente a una longitud de palabra de 8 bits. Sin embargo, los efectos debido a la cuantización se ven enmascarados por el efecto de la dispersión. Por lo tanto, en este caso el grado de cuantización no es un parámetro decisivo.

El error en el valor medio de la corriente de fase se considera que es solo función de la longitud de palabra. Esto es debido a que la dispersión en los inductores produce un ripple, generado por errores de cancelación, cuyo valor medio es cero.

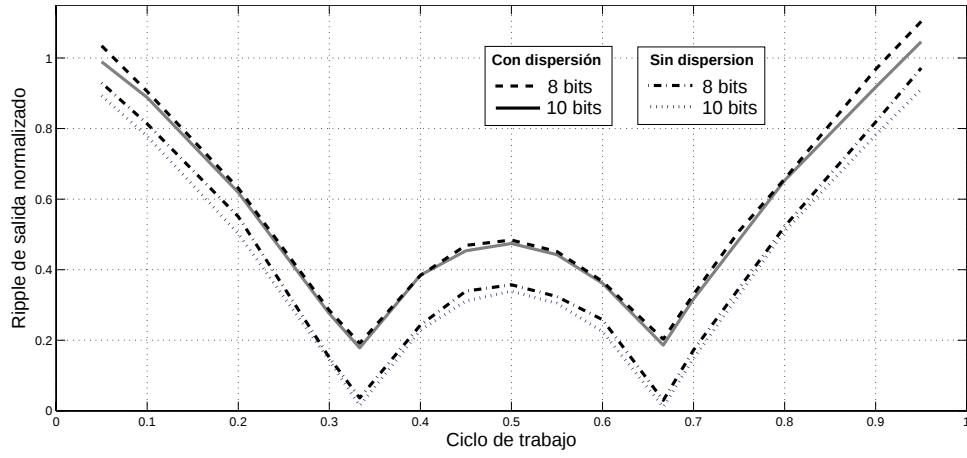


Figura 9. Cancelación del ripple.

El error en el valor medio se analiza en función de la cuantización para dos valores de ciclo de trabajo. Estos ciclos de trabajo representan casos extremos en los cuales se genera la mayor diferencia entre la pendiente positiva y negativa del ripple de corriente. En esta condición, la cuantización del tiempo de conmutación produce una diferencia de amplitud entre el semiciclo positivo y negativo del ripple que ocasiona un error en el valor medio.

La Fig. 10 presenta los resultados obtenidos para distintas longitudes de palabra. Se puede observar que a medida que aumenta la longitud de palabra disminuye el error en el valor medio.

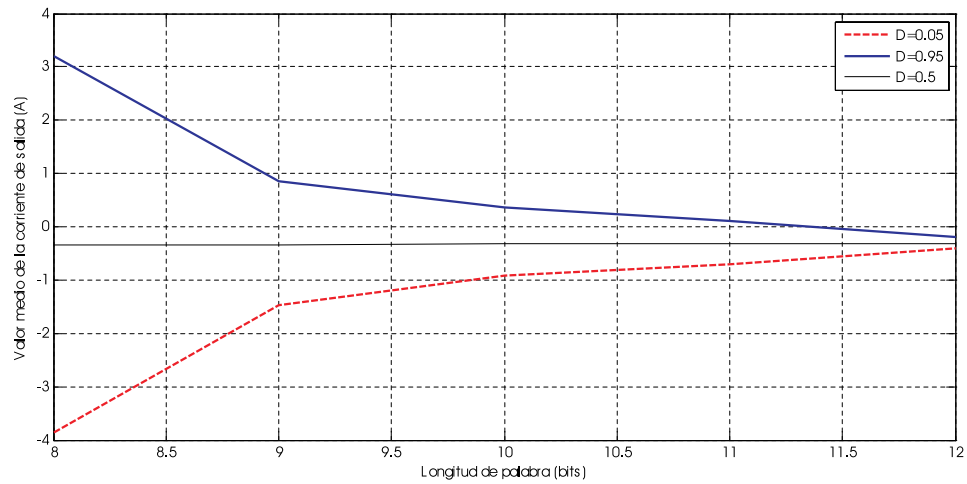


Figura 10. Error en el valor medio de I_T en función de la cuantización del PWM.

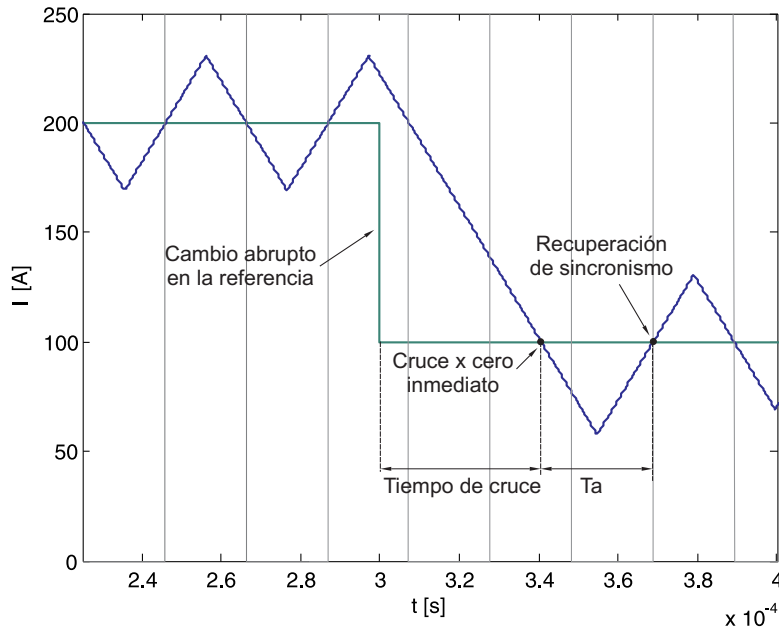


Figura 11. Simulación de un cambio abrupto en la referencia de corriente.

En base a estos resultados, se concluye que la elección de la longitud de palabra tiene un efecto más significativo en el valor medio de la corriente que en la cancelación del ripple.

Efectos transitorios: El algoritmo de modulación de *interleave* analizado se comporta como un sistema discreto, ya que realiza una acción de corrección del tiempo de conmutación con cada cruce por cero del error de corriente. Debido a esto, ante un cambio abrupto en la referencia o en ΔU cada fase corrige esta perturbación un ciclo después del cruce por cero inmediato a la perturbación.

En la Fig. 11 se presenta el caso de un cambio abrupto en la referencia de corriente. A partir de la detección del error con la señal de sincronismo el sistema corrige el tiempo de conmutación para sincronizarse en el próximo cruce. Se puede observar que la recuperación del sincronismo involucra dos tiempos, un tiempo de cruce y un tiempo T_a . El tiempo de cruce no puede ser controlado ya que depende de la amplitud de la perturbación y de la dinámica del convertidor. Por otro lado, el tiempo T_a , depende del algoritmo para que el error con la referencia sea mínimo.

La Fig. 12 presenta el caso de un cambio abrupto en ΔU . Se puede observar que el cambio en la tensión produce una variación en las pendientes de la corriente de fase que ocasiona un cruce por cero que se anticipa al sincronismo. Nuevamente, a partir del error de cruce, el sistema corrige el tiempo de conmutación para recuperar el sincronismo en el próximo semiciclo.

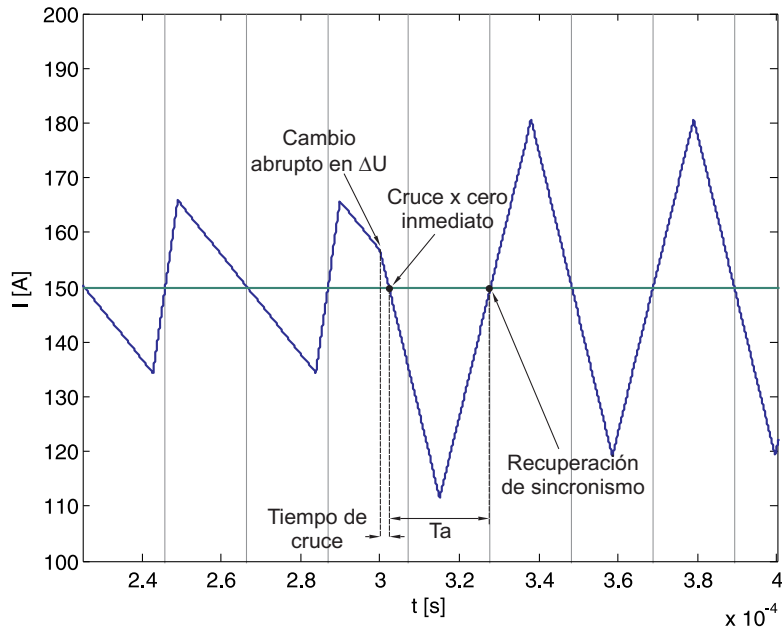


Figura 12. Simulación de un cambio abrupto en ΔU .

3. Conclusiones

En este trabajo se analizó la influencia de la variación de los parámetros en la cancelación del ripple y en el valor medio de corriente de salida para el estado estacionario. Se pudo observar que el efecto producido por el desbalance de los inductores de salida enmascara el error que introduce la cuantización del PWM. Sin embargo, la cuantización resulta determinante en la precisión del valor medio de la corriente de salida. Adicionalmente, se evaluó la respuesta transitoria del sistema ante cambios abruptos en la tensión diferencial entrada-salida y en la referencia. Se determinó que algoritmo recupera del sincronismo en tiempo mínimo.

4. Agradecimientos

Este trabajo ha sido soportado por la Universidad Nacional de Mar del Plata y el CONICET. Los autores pertenecen al Departamento de Electrónica de la UNMDP, Argentina.

Referencias

1. L.-P. Wong, D.-W. Cheng, M. Chow, and Y.-S. Lee, "Interleaved three-phase forward converter using integrated transformer," vol. 52, pp. 1246–1260, Oct. 2005.

2. W. Chen, "High efficiency, high density, polyphase converters for high current applications," tech. rep., Linear Technology : AN77, 1999.
3. R. G. Retegui, S. A. Gonzalez, M. B. R. G. Gil, J. Espí, and J. Castello, "A new fixed frequency hysteresis current controller suitable for wind energy sources," *International Review Of Electrical Engineering*, vol. 2, N:6, pp. 820–825, 2007.
4. J. Abu-Qahouq, H. Mao, and I. Batarseh, "Multiphase voltage-mode hysteretic controlled dc-dc converter with novel current sharing," vol. 19, pp. 1397–1407, Nov. 2004.
5. P. Andreassen and T. Undeland, "Digital control methods for current sharing of interleaved synchronous buck converter," in *Proc. European Conference on Power Electronics and Applications*, pp. 7pp.–P.7, 2005.
6. J.-R. Tsai, T.-F. Wu, Y.-M. Chen, and M.-C. Lee, "Interleaving control schemes for critical-mode boost pfc," in *Proc. IEEE Power Electronics Specialists Conference PESC 2007*, pp. 2905–2911, 17–21 June 2007.
7. R. G. Retegui, *Topologías Convertidoras para Fuentes de Corriente Pulsada de Altas Prestaciones*. PhD thesis, UNMDP, 2009.

NUEVA TOPOLOGÍA DE CONVERTIDOR PARA FUENTES DE CORRIENTE PULSADA DE ALTAS PRESTACIONES

Rogelio Garcia Retegui^{†,§} Mario Benedetti[†] Jean-Marc Cravero[‡]
Carlos A. Martins[‡]

[†]L.I.C., Universidad Nacional de Mar del Plata, Argentina.

[‡]C.E.R.N., AB/PO - Ginebra-Suiza

[§]e-mail: rgarcia@fi.mdp.edu.ar

Resumen: Los Convertidores de Corriente Pulsada se utilizan para generar pulsos de corriente con características de crecimiento de pocos milisegundos, un periodo de tiempo (*flat-top*) de corriente constante de alta precisión (500ppm) y un posterior descenso a alta velocidad. En la actualidad, estos convertidores están basados en la topología de descarga capacitiva y se utilizan para alimentar diferentes tipos de cargas magnéticas como *pulsed septum*, dipolos orientados, solenoides, cuadripolos, imanes de deflexión, etc. Sin embargo, esta topología no permite generar pulsos de altas corrientes con tiempos de *flat-tops* superiores a 0,2ms. Por lo tanto, estos convertidores no pueden ser utilizados cuando se requiere generar pulsos de gran duración (2ms). Para superar estas limitaciones, este trabajo presenta una nueva topología de convertidor que permite reemplazar al método tradicional de descarga capacitiva y extender su uso a otras aplicaciones. El objetivo es definir una nueva estructura de convertidor que pueda generar pulsos de alta corriente (2kA), alta precisión (500ppm) con duraciones del orden de 2ms usando convertidores con semiconductores de tecnología actual. En este trabajo se presentan el diseño y las simulaciones de un convertidor específico.

Palabras claves: Convertidores de Potencia, Fuentes de Corriente Pulsada, Control de Potencia.

1. INTRODUCCIÓN

Los Convertidores de Corriente Pulsada se utilizan para generar intensos campos magnéticos en las cargas magnéticas de los sistemas de deflexión y focalización de partículas y para generar formas de pulsos particulares de tensión y corriente en aceleradores de partículas (Voelker, 1990; Sing *et al.*, 1975).

Estos convertidores están basados en la topología de descarga capacitiva, y están compuestos por un banco de capacitores que se carga inicialmente para luego ser descargado sobre la carga magnética. El capacitor jun-

to con la carga inductiva forman un circuito resonante amortiguado (Royer, 1995).

Sin embargo, estos sistemas presentan algunas limitaciones:

- Falta de flexibilidad en el ajuste del pulso de corriente de salida: los tiempos de subida y bajada del pulso de salida son impuestos por el circuito resonante.
- Falta de flexibilidad con la carga: los componentes del circuito de potencia de estos convertidores están estrechamente relacionados con la carga. Para convertidores que manejan diferentes cargas esto representa un gran problema.
- Eficiencia reducida : estos convertidores requieren circuitos de disipación de potencia para permitir la variación de la amplitud de corriente de un pulso a otro.

¹ Este trabajo fue subsidiado por la Universidad Nacional de Mar del Plata (ING-187/07), CONICET (PIP 6245/04), la Agencia Nacional de Promoción Científica y Tecnológica (PICT 11-473/04) y el proyecto Alfa-Helen (High Energy Physics Latinamerican European Network).

- Alto valor R.M.S del pulso de corriente sobre la carga: la forma sinusoidal en el crecimiento y decrecimiento de la corriente en la carga incrementa el valor R.M.S del pulso de salida con el consecuente incremento de temperatura del imán de carga.

Tradicionalmente, el tiristor ha sido el dispositivo semiconductor de potencia empleado como interruptor de descarga en estos convertidores. Este dispositivo puede manejar altas tensiones y corrientes y permite un rápido encendido como en el caso del tiristor de puerta interdigitada (Humme *et al.*, 2000; Mohan *et al.*, 1995).

Sin embargo, nuevos dispositivos semiconductores de potencia como los IGBTs o IGCTs con capacidad de control al apagado y manejo de altas corrientes están gradualmente reemplazando a los tiristores (Scharholz *et al.*, 2003; Schuetze *et al.*, 2006). En el campo de las fuentes pulsadas de corriente, estos dispositivos ofrecen nuevas posibilidades como el uso de inversores, filtros activos y circuitos de recuperación de energía.

A pesar de estas ventajas, en la actualidad no existe un único dispositivo que pueda cubrir el amplio rango de tensiones, corrientes y velocidades de estas fuentes. Para superar estas limitaciones, este trabajo desarrolla una nueva estructura topológica basada en la interconexión de convertidores con diferentes rangos de operación. El objetivo es poder generar pulsos de alta corriente y precisión con elevados tiempos de crecimiento.

2. ASPECTOS OPERATIVOS DEL CONVERTIDOR DE POTENCIA

En muchas aplicaciones (*septum magnet*, dipolos y cuadrupolos en líneas de inyección/expulsión, etc) los aspectos esenciales del convertidor son la estabilidad y la precisión de la corriente durante el *flat-top*. Los tiempos de subida y bajada no son críticos. Sin embargo, resulta importante minimizar el valor R.M.S de la corriente de salida con el objeto de disminuir las pérdidas y reducir el calentamiento en el imán. Por tal razón, la forma de onda ideal de corriente a ser suministrada al imán es trapezoidal. De esta forma, es necesario aplicar la máxima tensión durante los tiempos de subida y bajada para reducir al mínimo el valor R.M.S. de la corriente. Durante el *flat-top*, la corriente debe alcanzar una precisión de $5 \cdot 10^{-4}$. En la figura 1 se presentan las formas de onda de tensión y corriente requeridas sobre la carga.

A partir de las variables de la Tabla 1 la tensión necesaria para alcanzar el valor de corriente de *flat-top* puede ser calculado como:

$$V_M = \frac{I_{REF} \cdot L_{load}}{t_{rise}} + I_{REF} \cdot R_{load} \quad (1)$$

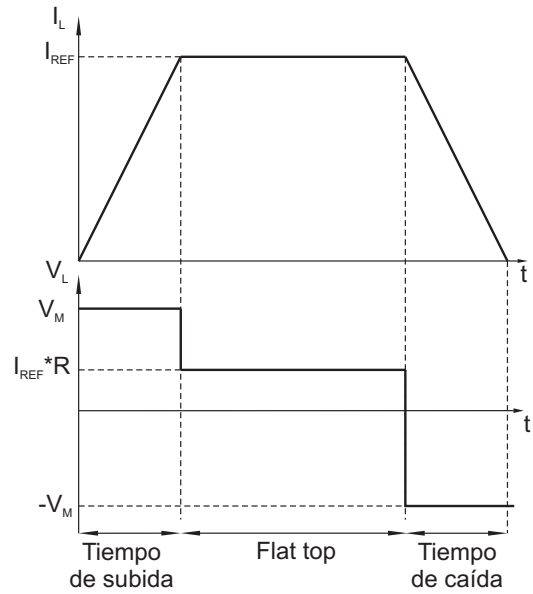


Figura 1. Tensión y corriente sobre la carga

Si $L_{load} = 1,1mH$, $R_{load} = 0,15\Omega$, $I_{REF} = 2kA$, $t_{rise} = 1ms$, luego:

$$V_M = \frac{2kA \cdot 1,1mH}{1ms} + 2kA \cdot 0,15\Omega$$

$$V_M = 2,5kV \quad (2)$$

Se puede observar que, para que la corriente en la carga alcance los $2kA$ en $1ms$, una tensión primaria de $2,5kV$ es necesaria. En el presente diseño se adoptó una tensión de $3kV$. Este valor de tensión asegura un tiempo de subida de $0,8ms$ y un tiempo de establecimiento de $0,2ms$, alcanzando la regulación en el *flat-top* en $1ms$.

Para obtener una precisión en el *flat top* de $5 \cdot 10^{-4}$ con la topología tradicional (semi-puente), se requiere de una alta frecuencia de conmutación ($200kHz$). Un análisis del mercado actual de semiconductores muestra que, por el momento, no existen dispositivos capaces de conmutar a alta frecuencia con estos niveles de corriente y tensión.

Está claro que para usar estos dispositivos de potencia es necesario desarrollar nuevas estructuras de convertidores. En estas nuevas estructuras, la corriente en la subida y en el *flat-top* debe ser controlada por diferentes convertidores, dada la diferencia de requerimientos existente entre ellos. Durante la subida se requieren semiconductores de alta tensión y baja velocidad, en tanto que para el *flat-top* son necesarios dispositivos

Tabla 1. Variables del Convertidor.

Corriente en el flat-top	I_{REF}
Inductancia de carga	L_{load}
Resistencia de carga	R_{load}
Duración de flat-top	$t_{flat-top}$
Precisión de corriente en el flat-top	$5 \cdot 10^{-4}$
Tiempo de subida	t_{rise}

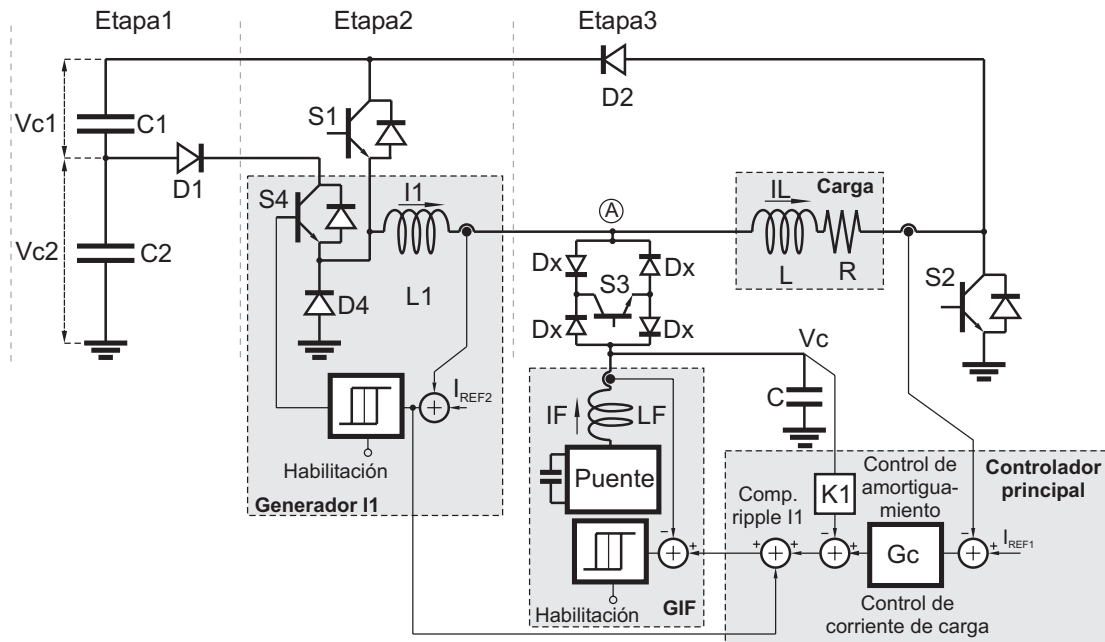


Figura 2. Topología propuesta

de baja tensión y alta velocidad. Por ejemplo, pueden utilizarse semiconductores con rangos de $4,5kV$ y $3kA$ para controlar la corriente durante la subida y bajada, dado que sólo deben actuar como simples interruptores. Durante el *flat-top* se pueden utilizar semiconductores de $1kV$ y $3kA$ y en el caso de requerir una mayor precisión se puede agregar un convertidor adicional de menor corriente y mayor velocidad.

3. TOPOLOGÍA PROPUESTA

La figura 2 muestra un esquema general del sistema propuesto, constituido por tres etapas y la carga.

El circuito de la etapa 1 está constituido por los capacitores de entrada C_1 y C_2 y el diodo D_1 . El diodo D_1 tiene la función de bloquear la tensión inversa V_{c1} que se aplica sobre la llave S_4 cuando la llave S_1 está cerrada.

La función de la llave S_1 es cambiar la tensión aplicada sobre la carga. Cuando la llave S_1 está cerrada, la tensión de entrada es $V_{c1} + V_{c2}$ y cuando está abierta es V_{c2} . La tensión V_{c2} debe ser mayor que $I_{REF} \cdot R_{load}$ y la tensión V_{c1} debe ser la necesaria para alcanzar, junto con V_{c2} , la tensión máxima V_M .

La etapa 2 corresponde al generador de entrada I_1 . I_1 es implementado con un inversor de un cuadrante y proporciona a la carga el valor medio de la corriente durante el *flat-top*. Este generador opera a una frecuencia media de conmutación de $10kHz$ y con un ripple de corriente superior a la precisión requerida. El control de corriente de I_1 es implementado con un modulador por histéresis debido a su simplicidad y robustez.

La etapa 3 corresponde al generador GIF , el cual se implementa mediante un inversor puente completo. Este generador controla la corriente del imán a través de tres lazos de control, como lo muestra el bloque Controlador Principal.

El primer lazo de control (lazo interno) es el encargado de compensar el ripple de corriente de I_1 . Esta compensación se realiza mediante la inyección, por medio de GIF , de una corriente igual a la diferencia entre la referencia y la corriente I_1 .

El segundo lazo de control (lazo medio) se utiliza para amortiguar la respuesta oscilatoria generada durante la conexión del capacitor C a la carga. Esta compensación se lleva a cabo mediante la realimentación de la tensión del capacitor por medio de K_1 . El valor de K_1 se ajusta para obtener amortiguamiento crítico.

El tercer lazo de control (lazo externo) se encarga de regular la corriente en la carga de forma tal de asegurar su permanencia dentro de los límites especificados. Este lazo de control emplea un controlador G_C , el cual debe compensar la transferencia amortiguada de segundo orden, ajustada por K_1 .

El capacitor C junto con el generador I_F se conectan en paralelo con la carga. Este capacitor es necesario ya que se encarga de absorber las diferencias de corriente entre I_F y la carga. Ambos, capacitor y carga, forman un filtro LC que se ajusta convenientemente para eliminar el ripple residual de I_F .

Con el objeto de simplificar la explicación, en la figura 2, se ha omitido la conexión, en el nodo A, de dos diodos de fijación de tensión (*clamp*). Uno de estos diodos debe ir conectado a masa y el otro al terminal positivo del capacitor C_1 . La función de estos

dispositivos es limitar el transitorio de tensión durante la desconexión del filtro activo.

La figura 3 muestra el circuito correspondiente al inversor puente completo y el lazo de control del generador *GIF*.

A los efectos explicativos, en la figura 3 se omitió el circuito de carga del capacitor C_F . La entrada de habilitación del controlador de *GIF*, al igual que en el controlador de I_L , se utiliza para inhibir la operación de los controladores durante el tiempo de subida y bajada de la corriente I_L . En la figura 3 se indica también la realimentación de la tensión V_C necesaria para el amortiguamiento.

S3 es una llave bidireccional en corriente y con capacidad de bloqueo de tensión directa e inversa. El dispositivo semiconductor utilizado en S3 tiene que bloquear la tensión $V_{c1} + V_{c2}$ en tanto que los diodos D_x tienen que bloquear la mitad de esta tensión.

Es importante aclarar que tanto la llave S3 como el inversor puente completo de *GIF* se pueden reemplazar por un circuito mas simple. Esto es posible si se baja la referencia del generador I_L (I_{REF1}) de forma tal que la corriente I_F sea unidireccional. De esta manera se puede reemplazar el puente completo por un convertidor de un cuadrante y S3 por una llave y un diodo. Sin embargo, esto implica que dicho convertidor debe manejar por lo menos el doble de corriente.

4. PRINCIPIO DE OPERACIÓN

La figura 4 muestra las diferentes corrientes del sistema propuesto y el estado de las llaves durante las diferentes etapas de operación.

Tiempo de subida: Durante este tiempo las llaves S_1 y S_2 están cerradas y las llaves S_3 y S_4 abiertas. Además mediante la señal de habilitación se inhibe la operación de los controladores I_L e I_F . La tensión aplicada sobre la carga LR y la inductancia L_1 es $V_{c1} + V_{c2}$. El generador I_F y el capacitor C no se encuentran conectados a la carga y la corriente I_L aumenta con una constante de tiempo dada por $R + R_1$ y $L + L_1$.

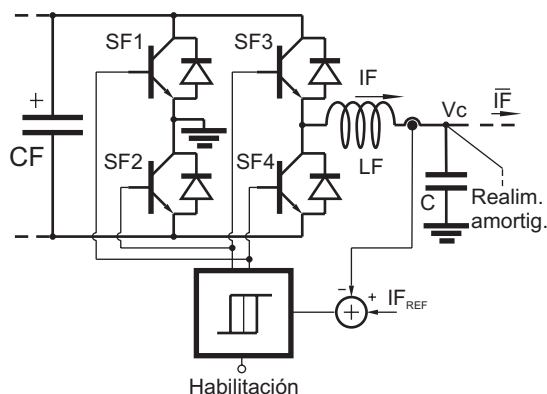


Figura 3. Circuito del filtro activo

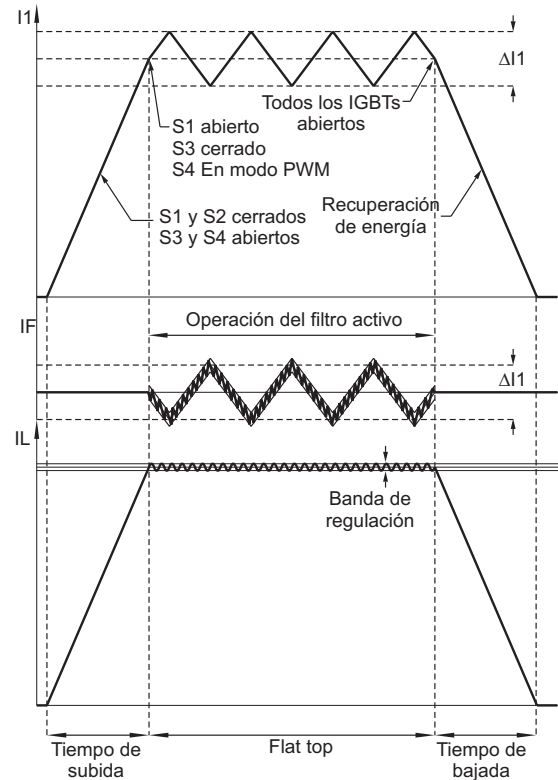


Figura 4. Formas de onda de corriente y principio de operación

Flat-top: Cuando la corriente I_L alcanza el valor de referencia la llave S_1 se abre y la llave S_3 se cierra. La apertura de S_1 permite que la corriente I_L circule por D_1 o D_4 dependiendo del estado de la llave S_4 . Si S_4 esta cerrada, la corriente I_L circula a través de D_1 y la tensión aplicada sobre la carga es V_{c2} . En caso contrario, la corriente circula por D_4 y la tensión aplicada sobre la carga es cero. Al mismo tiempo que S_3 realiza la conexión del capacitor C y del generador *GIF* a la carga, se habilita la operación de los controladores de I_L e I_F .

Tiempo de bajada: Para iniciar la descarga del imán es necesario que durante este período las llaves S_1 , S_2 , S_3 y S_4 estén abiertas. La corriente I_L retorna a los capacitores de entrada C_1 y C_2 a través de los diodos D_2 y D_4 .

Durante la interconexión de las diferentes etapas del circuito se debe prestar especial atención tanto a las condiciones iniciales como a la estabilidad del sistema.

5. ANÁLISIS DEL TRANSITORIO DE ACOPLAMIENTO

La figura 5 muestra el circuito equivalente del convertidor durante el acoplamiento entre el generador *GIF*, el capacitor C (inicialmente descargado) y la carga.

I_T es un generador de corriente que representa la condición inicial del generador I_L al momento de acople, en tanto que I_{fk} es la componente de I_F requerida para

amortiguar el circuito RLC y regular la corriente en la carga.

El acoplamiento entre el generador I_T , el capacitor y la carga genera una respuesta oscilatoria en la tensión V_C y en la corriente I_L debido a diferencias entre las condiciones iniciales de I_L , I_T y V_C .

La amplitud de estas oscilaciones puede ser obtenida por las siguientes expresiones:

$$I_{OSC} = \sqrt{(I_{L0} - I_T)^2 + \left(\frac{C}{L}\right) \cdot (V_{C0} - R \cdot I_T)^2} \quad (3)$$

$$V_{OSC} = \sqrt{\left(\frac{C}{L}\right) \cdot (I_{L0} - I_T)^2 + (V_{C0} - R \cdot I_T)^2} \quad (4)$$

Donde:

I_{L0} = Condición inicial de la corriente en la carga.

V_{C0} = Condición inicial de la tensión en el capacitor.

I_T = Generador de corriente de entrada.

V_{OSC} = Máxima amplitud de oscilación de la tensión en el capacitor.

I_{OSC} = Máxima amplitud de oscilación de la corriente I_L .

De las ecuaciones (3) y (4) se puede observar que para evitar las oscilaciones es necesario que tanto la corriente en la carga como la tensión en el capacitor estén convenientemente ajustadas. Dado que esta condición no se puede obtener experimentalmente, es necesaria una realimentación de la tensión V_C para amortiguar la oscilación.

Sin embargo, esta condición no es suficiente para evitar el transitorio; además se deben tener en cuenta las condiciones iniciales de G_C . La influencia de estas condiciones iniciales son analizadas a continuación.

Inicialmente se asume que los elementos de la figura 5 tienen condiciones iniciales óptimas para evitar el transitorio, es decir:

- $I_T = I_L = I_{REF}$
- $V_C = R \cdot I_{REF}$

Como se muestra en la figura 5, la salida del bloque de realimentación K_1 es $K_1 \cdot V_C$. Por lo tanto, si en

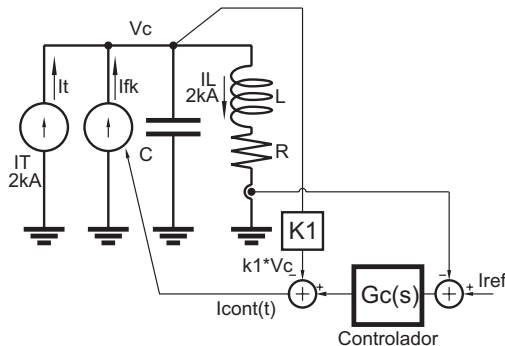


Figura 5. Esquema del sistema de control con realimentación de estado

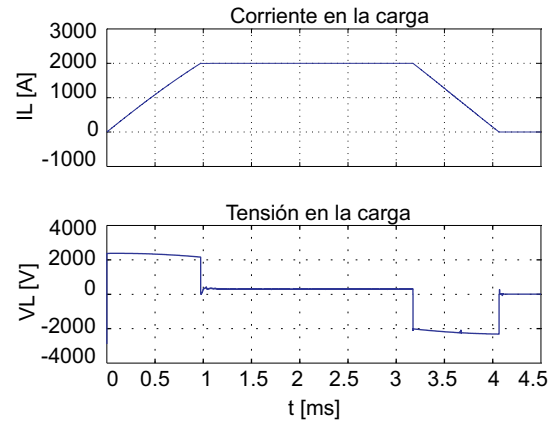


Figura 6. Tensión y corriente en la carga

el momento de acoplamiento la condición inicial del controlador es igual a la salida del bloque K_1 , no se produce transitorio debido a que la señal I_{cont} es cero. Sin embargo, si la condición inicial de G_C es cero, se genera en I_{cont} un escalón de perturbación de amplitud $-K_1 \cdot V_C$, el cual ocasiona una respuesta oscilatoria amortiguada sobre la corriente de carga.

Por lo tanto, la presencia de este transitorio no depende de la cancelación entre los polos de la planta y los ceros del controlador, sino del ajuste de las condiciones iniciales del controlador.

6. SIMULACIONES

En esta sección se realizaron simulaciones del sistema propuesto mediante SIMULINK MATLAB. Los valores usados para esta simulación son indicados en la Tabla 2.

La figura 6 muestra que la corriente es aproximadamente lineal durante el tiempo de subida. Esta linealidad se debe fundamentalmente a que la tensión en los capacitores de entrada permanece casi constante y a que la constante de tiempo dada por $R + R_1$ y $L + L_1$ es mayor que el tiempo de subida. Se puede ver además que, en el momento que I_L alcanza el valor de referencia, la tensión en la carga se hace cero, debido a que el capacitor se conecta inicialmente descargado. Después del transitorio (dado por la carga del capacitor) la tensión sobre la carga se mantiene constante en un valor igual a $R \cdot I_{REF} = 300V$. Durante el descenso de la corriente I_L , el convertidor aplica sobre la carga la tensión inversa de los capacitores de entrada $-V_{C1} - V_{C2}$.

Tabla 2. Variables del Convertidor.

Corriente en el flat-top	2kA
Inductancia de carga	1,1mH
Resistencia de carga	0,15Ω
Duración de flat-top	2,2ms
Precisión de corriente en el flat-top	5.10 - 4
Tiempo de subida	1ms

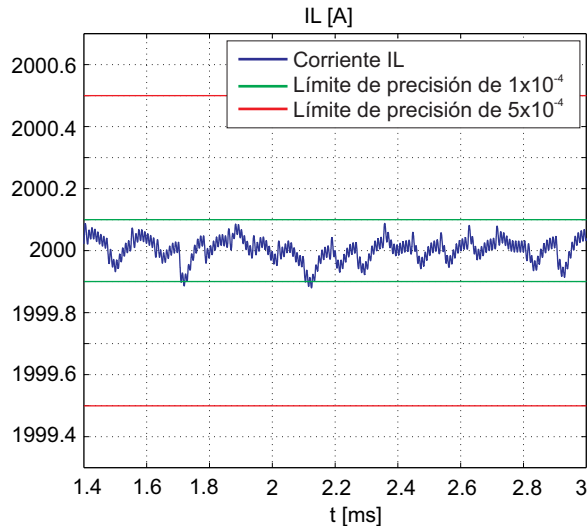


Figura 7. Detalle de la corriente de carga en el flat-top

La figura 7 muestra un detalle de la corriente de carga durante el *flat-top*. En esta gráfica se resaltan además los límites de precisión correspondientes a $100ppm$ y $500ppm$. Se puede observar que la corriente I_L permanece dentro de los límites de $100ppm$.

La figura 8 muestra la corriente del generador I_1 . El uso del control por histéresis permite que el ripple de la corriente I_1 permanezca acotado aún ante variaciones de la tensión de entrada y salida del generador. Para mantener el control de la corriente I_1 es necesario que la tensión de entrada sea siempre superior a la tensión de salida del generador. En la figura 8 se puede observar una disminución en la frecuencia del ripple de I_1 debido a la disminución de la tensión en el capacitor C_2 .

La figura 9 muestra la respuesta transitoria de la corriente I_L bajo ajustes de las condiciones iniciales del controlador de 0%, 10% y 50% del valor $K_1 \cdot V_C$. Este análisis fue realizado considerando un ancho de banda de $10kHz$, una inductancia de carga de $1,1mH$ y un capacitor de $2\mu F$.

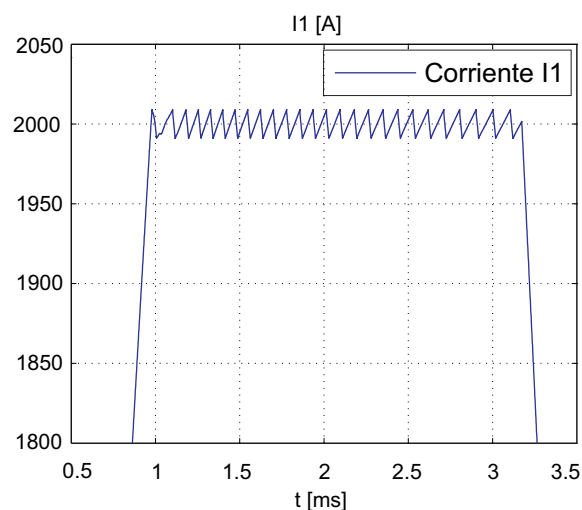


Figura 8. Corriente I_1 durante el flat-top

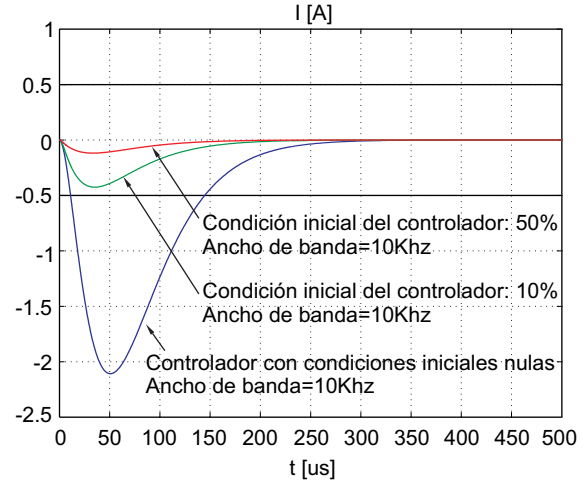


Figura 9. Respuesta transitoria bajo diferentes condiciones iniciales del controlador

La duración de la respuesta transitoria, (figura 9), queda determinada por la frecuencia de resonancia del circuito RLC. Esta condición restringe el aumento indefinido del valor de C . Es decir, va a existir una relación de compromiso entre el filtrado del ripple y la duración del transitorio.

La figura 10 muestra la comparación en la respuesta transitoria para el caso de generadores de corriente ideal y para los realizados a partir de inversores conmutados. Se puede observar que la existencia de componentes de conmutación (caso con inversores) degrada un poco la respuesta transitoria.

Finalmente la figura 11 muestra la variación de tensión en los capacitores de entrada C_1 y C_2 . Se puede observar cómo aumenta la tensión sobre los capacitores al final del *flat-top* debido a la recuperación de energía.

Haciendo un análisis de la tensión inicial y final de los capacitores, se puede concluir que la recuperación de energía del sistema es del orden del 90% de la energía transferida a la carga.

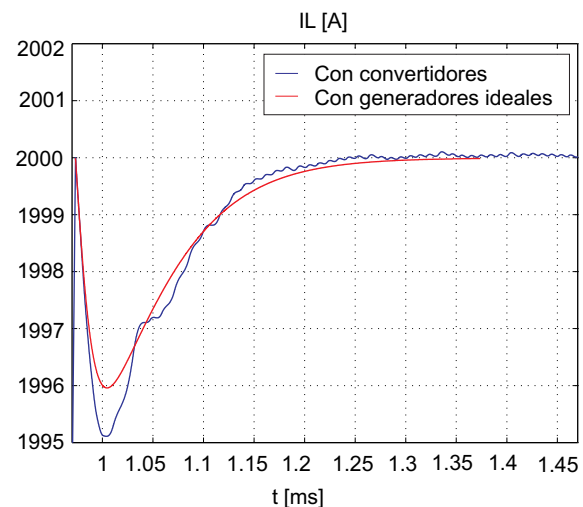


Figura 10. Comparación de la respuesta transitoria entre el modelo con generadores ideales y con inversores

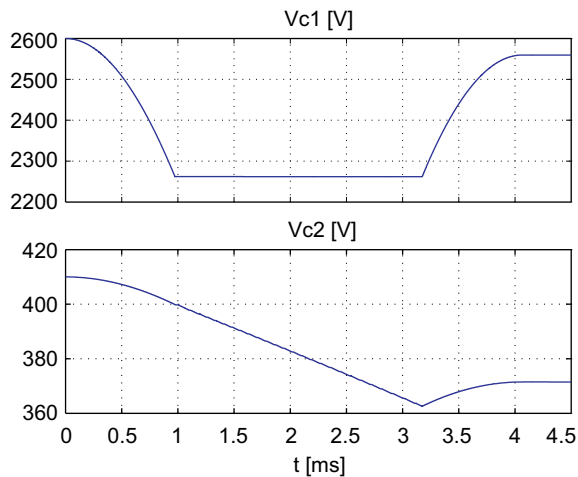


Figura 11. Variación de tensión en los capacitores de entrada

7. CONCLUSIONES

En este trabajo se presenta una nueva topología de convertidor que cumple con los requisitos de alta corriente y alta precisión de las nuevas fuentes de corriente pulsada. Se describen de las diferentes etapas del sistema como así también los rangos de operación de las mismas. El desarrollo de esta nueva topología contempla la utilización de dispositivos semiconductores actuales y técnicas de control con modulación PWM.

Se realizaron simulaciones del sistema completo con el fin de analizar las formas de onda de tensión y corriente del convertidor y evaluar las características dinámicas de los lazos de control. Las especificaciones planteadas han sido cumplidas por el sistema y además se han obtenido algunas ventajas respecto de los convertidores de descarga capacitiva tradicionales:

- mayor flexibilidad de adaptación a diferentes tipos de cargas,
- posibilidad de extender su utilización a otras aplicaciones,
- capacidad de recuperación de energía,
- capacidad de extender la duración del flat-top de manera flexible.

Finalmente se concluye que la topología propuesta reúne las exigencias requeridas por las nuevas fuentes de corriente pulsada.

8. BIBLIOGRAFIA

- Humme, C. R., H. Singh and D. Piccone (2000). Thyristor for pulsed power applications. In: *IEEE International Power Modulator Symposium*. Monterey, CA, USA. pp. 78–80.
- Mohan, N., T. M. Undeland and W. P. Robbins (1995). *Power Electronics: Converters Applications and Desings*. John Wiley Sons., Inc. ISBN-0-471-58408-8.

Royer, J. P. (1995). High current with high precision flat-top capacitor discharge power septum magnets. In: *CERN/PS 95-13 EP2 Forum 95, Electrical Power Technology in European Physics Research*.

Scharnholz, S., R. Scheider, E. Spahn, A. Welleman and S. Gekenidis (2003). Investigation of IGBT-devices for pulsed power applications. In: *IEEE International Pulsed Power Conference, Digest of Technical Papers, PPC-2003*. pp. 349–352.

Schuetze, T., H. Breg and O. Schilling (2006). *The new 6.5kV IGBT module: a reliable device for medium voltage applications*. EUPEC- Infineon Technology Company, Technical Document.

Sing, B., K. Al-Haddad and A. Chandra (1975). An inexpensive pulsed power supply for a septum magnet. *IEEE Transactions on Nuclear Science* **22**(3), 1307–1310.

Voelker, F. (1990). Pulsed capacitor discharge power converter: An introductory overview. In: *CAS-CERN Accelerator School: Power Converters for Particle Accelerators Conference*.

FLEXIBLE FPGA INTERFACE FOR THREE-PHASE POWER MODULES

ROGELIO GARCÍA-RETEGUI [†], SERGIO A. GONZÁLEZ, and M. FUNES ^{†*}

Dto. de Electrónica, Universidad Nacional de Mar del Plata, Argentina.

[†]CONICET, Argentina.

rgarcia@fi.mdp.edu.ar

Abstract— This article proposes the development of a flexible interface for the control of Power Inverters. A FPGA-designed system enables an adaptable implementation to any Power Module, with no need to modify the existing hardware. The interface identifies and indicates the type of faults encountered in these modules, generates switching signals on the basis of dead-times and sends a protection signal that inhibits its operation.

Keywords— FPGA, Intelligent Power Modules, Power Semiconductors, VSI.

I. INTRODUCTION

Three-phase inverters synthesize any random waveform from a direct current (DC) source (M.P.Kazmierkowski and Malesani, 1998). Their field of application comprises active filters, uninterruptible power sources, power factor correction and motor drivers, among others. (Duan *et al.*, 1999; Ko *et al.*, 2006). Fig. 1 shows schematically the basic inverter and control system.

The bridge configuration of Fig. 1 has two power switches per leg. Each leg corresponds to a different phase whose output is the common connection point.

A three-phase rectifier comprises the DC source and a capacitor stores power in the so called direct current bus (DC bus).

The controller defines the switching actions (R_{out} , $\overline{R_{out}}$, S_{out} , $\overline{S_{out}}$, T_{out} , $\overline{T_{out}}$) by sensing the inverter output current (I_{filR} , I_{filS} , I_{filT}), and the reference current (I_{refR} , I_{refS} , I_{refT}). These actions are conditioned to achieve safe switching. In order to safeguard the optimum operation of the inverter, some protections should be taken into account:

- A time delay or dead-time (DT) addition between same-leg switches turning-off and -on, to assure no short circuits occur in the DC bus (Leggate and Kerkman, 1997; Trivedi and

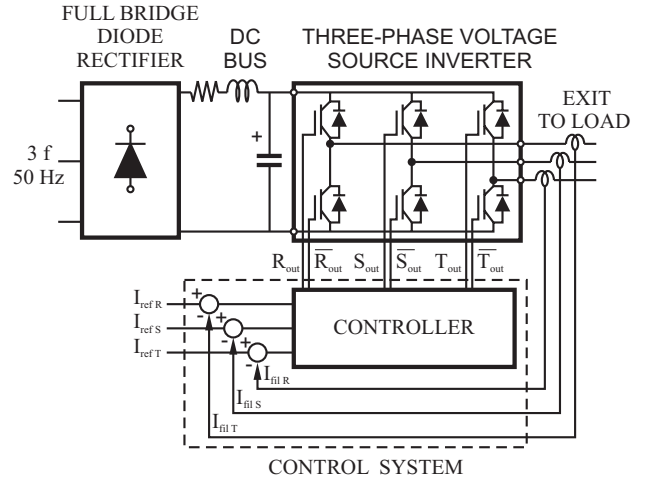


Figure 1: Basic Scheme of a Three-phase Control System

Shenai, 1998; Lai and Shyu, 2004; Summer and Betz, 2004).

- A current control in the switches is needed in order to avoid maximum ratings specified by the manufacturer are not exceeded.
- Temperature of the switches monitoring to avoid reaching maximum devices junction temperature.
- Under voltage lockout for all power supply levels. This prevents switches activation in the lineal area by voltage supply drops in the control signal.

Power semiconductor technology has allowed manufacturers to integrate semiconductor devices, control electronics and some protection systems in a single chip (Tanaka *et al.*, 2003). These devices, known as Power Modules (PM), provide similar specifications. PM characteristics are available in (Powerex, 1994; International Rectifier, 2005). However, the lack of standardized manufacturing renders them noninterchangeable (Allaith and Grant,

* This work was supported by the Universidad Nacional de Mar del Plata (ING-15/G064) and the Agencia Nacional de Promoción Científica y Tecnológica (BID 1201/OC-AR 2000).

2000). Due to this, all the external electronics mandatory to condition trigger signals, fault type determination and controller operation inhibition, are specific for each PM. Therefore, it is crucial to have an interface between the controller and the power module capable of being adapted to any PM.

In this work, a flexible interface that can work across many PM manufacturers is developed. Also, the interface must be flexible on the controller side. In this sense, the interface must be capable of operating with microcontrollers, general purpose Digital Signal Processors (DSPs), analog controllers and other systems. The use of a field programmable logic array (FPGA) for the design of the interface is highly suitable. Moreover, the same FPGA can also be used as a intelligent power controller.

II. PROPOSED SYSTEM

The proposed system comprises the development of a configurable interface. The use of FPGA reprogrammable technology allows an implementation that can be adapted to any given PM, with no need to modify the existing hardware. A reliable and fast execution is achieved, when compared to that carried out in software with microprocessors or DSP.

The interface identifies and indicates the type of faults found in a PM, generates the switching signal with dead-times and sends out a protection signal that inhibits its operation. DT configurability constitutes another feature that offers further flexibility to the system. Fig. 2 provides a scheme of the proposed system.

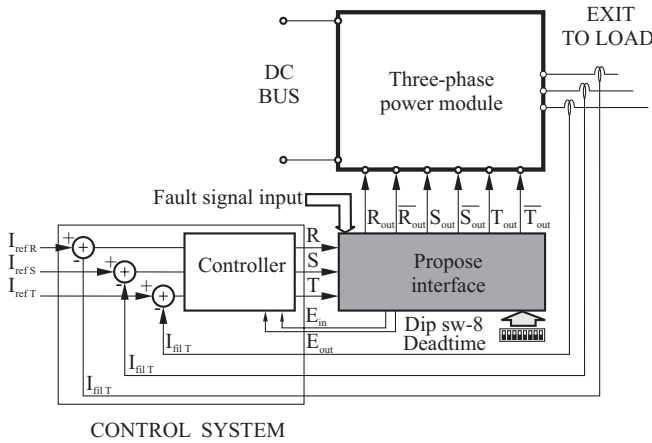


Figure 2: Scheme of a PM Control System with the Proposed Interface.

Interface development is divided into the following three blocks: dead-time generation, determination and indication of fault types, and init control. Fig. 3 depicts the block diagram of the proposed interface. In the following sections a description of each of the blocks is described.

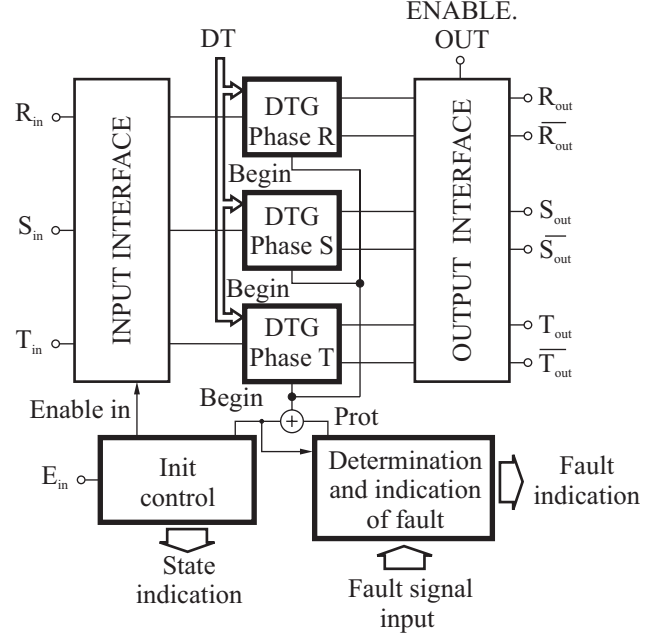


Figure 3: Block Diagram of the Proposed Interface.

A. Dead-time Generation (DTG)

Dead-time addition between switches turning-on and -off in a leg assures no short circuits in the DC bus from switches simultaneous conduction. Simultaneous conductivity results from the switches being non-ideal, since they involve a minimum settling time when turning-on and off. Fig. 4 details the time diagram of the control signals, and the current waveforms in the switches. The way in which the current flows from one switch to another after a given time can thus be observed.

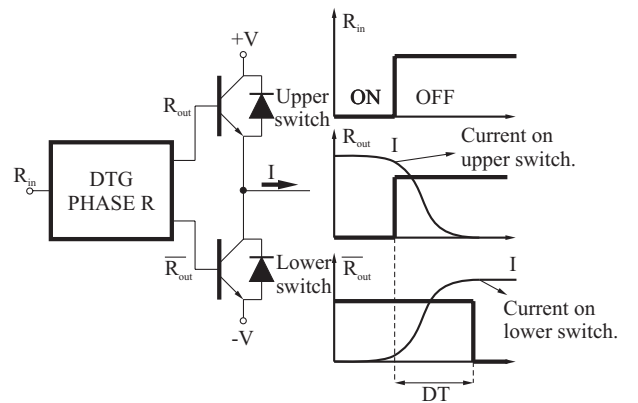


Figure 4: Commutation of Power Switches in one Inverter Leg.

This work proposes the implementation of the switch triggering sequence via a state machine. By doing so, all possible transitions are considered, assuring no prohibited switching occurs. Unlike the

software implemented in a controller, this method is more reliable and does not requires any modification whatsoever to be adapted to an inverter. Besides, the state machine contemplates the inhibition of switching pulses lasting less than dead-time (short pulses). These pulses must not generate switchings between power switches, since their turning-off and -on is not guaranteed.

B. Detection and Indication of Fault Types

Since both the nature and number of reported faults by PMs have not been standardized by manufacturers. The electronic circuits developed for a particular module cannot be employed by others. For this reason, the suggested system involves the development of a module adaptable to different PMs, with sufficient inputs to receive the different fault signals on an individual basis.

The module design was divided into two blocks. In the first block, called decoder, the type of faults is determined. In the second, and based upon the detected faults, an external indication is completed and, if appropriate, the controller is inhibited. Fig. 5 shows a block diagram of this module. It is important to note that if the PM were changed, there would be no need to change but the relevant VHDL code of the fault decoder.

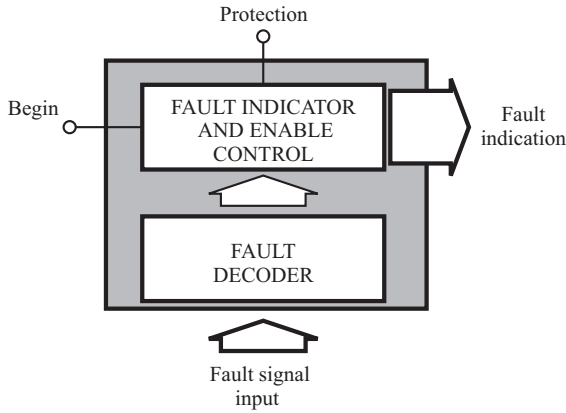


Figure 5: Module for the Determination and Indication of Faults Types.

C. Interface State Control

This stage (init control in Fig. 3) defines the system state relying on an external signal. Possible states are: disable-reset and start.

In the first state, the system is disabled; i.e., any trigger action generated in the inputs R_{in} , S_{in} and T_{in} has no effect on the power switches. Control outputs as well as fault indications remain off.

In the second state, the system is activated; therefore, any change in the R_{in} , S_{in} or T_{in} inputs triggers the switches.

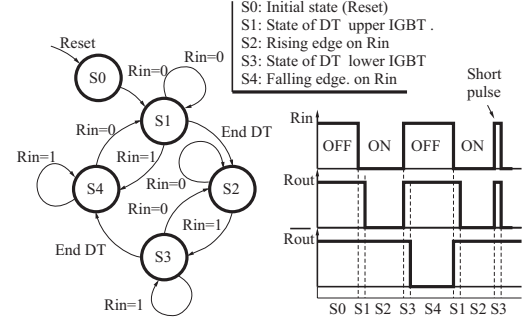


Figure 6: Transition States in the DT Generator and Switching Signals Time Graph.

III. IMPLEMENTATION

A. Dead-time Generator

The dead-time generator state machine is ruled by a clock signal. The different states correspond to different output conditions of the trigger signals. Fig. 6 depicts states transition in a phase and a switching output time graph. Where S0 corresponds to $R_{out} = \overline{R_{out}} = 1$, S1 to $R_{out} = \overline{R_{out}} = 1$, S2 to $R_{out} = 0$ and $\overline{R_{out}} = 1$, S3 to $R_{out} = \overline{R_{out}} = 1$ and S4 to $R_{out} = 1$ and $\overline{R_{out}} = 0$. R_{in} and an external timer (End DT) triggers the state transitions.

On analyzing the state diagram, it can be noted that short pulses only lead to one power switch commutation. This does not imply short circuit risk, as the other switch remains always off.

For medium to high power industrial inverters (> 1 Kw), a resolution in the dead-time of 100ns is adequate. Thus, a DTG block clock period of 100ns is chosen. Furthermore, for low power applications a better resolution in the dead-time generations may be required; thus the FPGA design can be changed accordingly (Peterchev and Sanders, 2003). In this case, only the clock for the dead-time generation block must be modified.

B. Determination and Indication of Fault Types

The fault decoder was developed to operate together with the power module PM25RSB120 by Powerex (Powerex, 1994). This module contains the following protections:

- Short circuit at any of the inverters outputs.
- Over current at any of the inverters outputs.
- Over temperature of the switches.
- Under voltage lockout for all power supply levels.

The type of fault is time-coded using a single line, named FAULT for this PM. Table 1 shows the fault coding of this signal.

Type of fault	Time of pulse
Short circuit	2 ms
Over current	2 ms
Over temperature	> 100 ms
Under voltage	> 2 ms

Table 1: Time-coded fault signal description

The type of fault is determined by pulse measurement of the FAULT line. Fig. 5 deals with the pulse measurement in order to decode the type of fault and indicate it accordingly.

IV. EXPERIMENTAL RESULTS

The developed system was tested using a 1 HP-three phase inverter. The inverter's power module is PM25RSB120, commanded by an interface composed by a FPGA Xilinx XC2s50e-6TQ144. Control signals R, S, T are provided by a DSP (Analog Devices ADCM 401 BST)

The developed interface has optocoupler outputs to isolate control signals from the power stage. Dead-time is determined via a DIP_SWITCH 8, with a range of 0 up to $25,6 \mu s$ in 100 ns steps. The board is provided with fault indicators and an operation mode selector.

The FPGA design was assessed in terms of logical and temporization resource usage. The use of the area obtained was of 12%. This reduced area level makes it possible to incorporate new features to the system. System temporization is restricted in terms of fulfillment of switches dead-time. By generating restriction during the implementation, it could be seen that the maximum time delay between switches command and driving was below 7 ns, which means 7% of DT resolution step.

Tests were carried out in two stages. The first assessed dead-times generation with the power section disabled. A $2,4 \mu s$ -DT was programmed and a PWM signal was examined. Fig. 7 shows PWM signals of one leg and the obtained dead-times.

In addition to DT measuring, dead-time generator operation was tested when the pulses lasting less than DT appeared. Fig. 8 shows how a short pulse ($2.2 \mu s$) in PWM signal generates just one power switch commutation.

In the second stage, the interface operation was tested with the power section. Current was measured in one of the phases; and it was verified that PWM signals do not generate peaks or abrupt changes in that current. Fig. 9 shows the inverter output current in channel 1, and a PWM signal of one phase in channel 2.

V. CONCLUSIONS

This article introduces the development of an interface to control Power Inverters. This interface not only generates dead-times but it also indicates and protects detected faults in the inverter control.

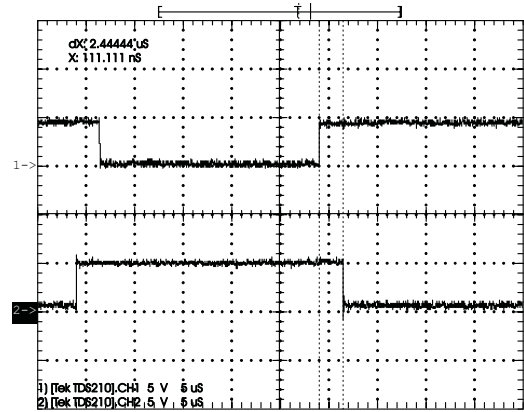


Figure 7: PWM Signals. DT Measurement.

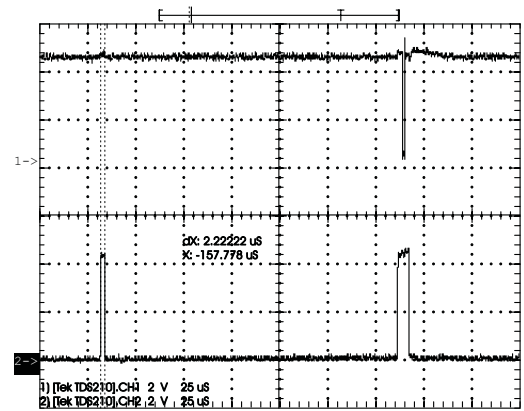


Figure 8: DTG Behavior with PWM Short Pulses.

The aim of this work is to provide an interface adaptable to both, an integrated power module and a discrete switch command, with individual fault detection. Therefore, the use of a FPGA is suitable for this application since it allows enough inputs to adapt its design to different alternatives.

The FPGA-system design is flexible as it can be adapted to any PM, with no need to modify the existing hardware. In case PM is changed, only the code VHDL corresponding to the faults decoder should be modified.

The purpose of using the proposed interface to control the inverter device is to exempt the task controller from generating dead-times and faults management. Besides, the implementation with programmable logics renders the system more reliable and fast when compared to that obtained with a software.

By means of restrictions generation in the implementation, it was proved that maximum time delay between switches command and driving was below 7 ns. This renders it an accurate higher resolution system when it comes to generating dead-times.

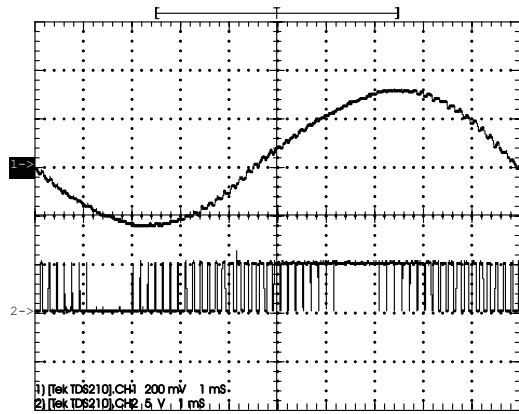


Figure 9: Channel 1: Inverter Output Current.
Channel 2: PWM Signal.

REFERENCES

- Allaith, N. and D. Grant. "Intelligent power modules for voltage-fed converter drives." In "Proc. of the 2000 Canadian Conference on Electrical and Computer Engineering," volume 2, pp. 918–921. Halifax, NS (2000).
- Duan, S., M. Yu, J. Xiong, Y. Kang, and J. Chen. "Parallel operation control technique of voltage source inverters in UPS." In "Proc. of the IEEE 1999 International Conference on Power Electronics and Drive Systems, PEDS'99," volume 2, pp. 883–887. Hong Kong (1999).
- International Rectifier. *Integrated Power Hybrid IC for Appliance Motor Drive Applications*. IRF Inc. (2005). Rev. F.
- Ko, S., S. Lee, H. Dehbonei, and C. Nayar. "Application of Voltage- and Current-Controlled Voltage Source Inverters for Distributed Generation Systems." *IEEE Trans. Energy Conversion*, **21** (3), 782–792 (2006).
- Lai, Y. and F. Shyu. "Optimal common-mode Voltage reduction PWM technique for inverter control with consideration of the dead-time effects-part I: basic development." *IEEE Trans. Ind. Applicat.*, **40** (6), 1605–1612 (2004).
- Leggate, D. and R. Kerkman. "Pulse-based dead-time compensator for PWM voltage inverters." *IEEE Trans. Ind. Applicat.*, **44** (2), 191–197 (1997).
- M.P.Kazmierkowski and L. Malesani. "Current control techniques for three-phase voltage-source PWM converters: a survey." *IEEE Trans. Ind. Electron.*, **45** (5), 691–703 (1998).
- Peterchev, A. and S. Sanders. "Quantization resolution and limit cycling in digitally controlled PWM converters." *IEEE Trans. Power Electron.*, **18** (1), 301–308 (2003).
- Powerex. *Powerex IGBT and Intellimod Applications and Technical Data Book*. Powerex Inc., first edition (1994).
- Summer, T. and R. Betz. "Dead-time issues in predictive current control." *IEEE Trans. Ind. Applicat.*, **40** (3), 835–844 (2004).
- Tanaka, T., T. Mizoshiri, E. Suekawa, I. Umesaki, Y. Kawauchi, and J. Donlon. "Development of a high voltage intelligent power module (HVIPM)." In "Proc. of the IEEE 34th Annual Conference on Power Electronics Specialist, PESC'03," volume 2, pp. 817–821. Acapulco, Mexico (2003).
- Trivedi, M. and K. Shenai. "Investigation of the short-circuit performance of an IGBT." *IEEE Trans. Electron Devices*, **45** (1), 313–320 (1998).

A New Fixed Frequency Hysteresis Current Controller Suitable For Wind Energy Sources

R. Garcia-Retegui¹, S. A. González¹, M. Benedetti¹, R. García-Gil², J. M. Espí² and J. Castelló²

Abstract – This paper introduces a new current controller (CC) used for grid-connected inverters suitable for wind-turbine applications, which is based on the hysteresis current control (HCC) technique. This CC improves the main HCC drawback, by working at constant switching frequency and has a slight interference among phases in 3-phase systems with isolated neutral. It has been fully implemented in a single DSP of Analog Devices (ADSP-21992), with the only requirement of a zero crossing detector (ZCD) and with no extra circuitry such as DACs or ADCs. Main steady-state and dynamic response of the proposed control are discussed in this paper, showing a good current reference tracking with minimum steady-state error and with the least possible transient time. **Copyright** © 2007 Praise Worthy Prize S.r.l. - All rights reserved.

Keywords: Digital Current Control, Voltage-Source Inverters, variable speed wind turbine.

I. Introduction

New technical regulations for grid-connected wind turbines [1, 2] are focused on power quality, grid stability, and performances even under voltage dips. Although different topologies can be found on the literature [2, 3], only the variable speed wind turbines can meet these regulations [1, 2]. Those are equipped with an induction or synchronous generator and two power converters: generator-side converter and grid-side converter. An example of this arrangement is shown in Fig. 1, for a squirrel-cage induction generator (SCIG). The generator side converter adapts the angular rotation of the wind turbine to the wind variations, which allows to extract the maximum power for a given wind condition. The grid-side inverter allows the control of active and reactive power.

The grid-side converter is the responsible of the power quality of the injected current and the grid code requirements [2] and their control will be analyzed in this work. For this power inverter, the current control (CC) strategy is a key topic in order to obtain a high-power quality [4]. The CC must inject a current into the grid with minimum phase and amplitude errors given an arbitrary reference. Hysteresis current control (HCC) [5, 6] is a popular technique since it has a fast dynamic response, good accuracy and reasonably simple hardware implementation; but presents a non-constant switching frequency and heavy interference among phases in 3-phase systems with isolated neutral.

In several commercial and industrial settings, power is distributed through a three-phase, four-wire systems. In such cases the CC of each phase can work independently and no interference among phases occurs. Nevertheless, a non-constant switching

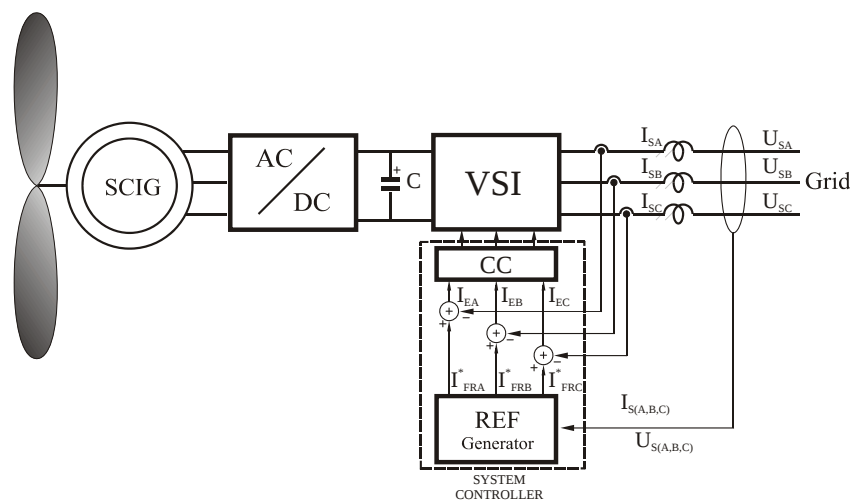


Figure 1. Basic control of active and reactive power in a wind turbine using a squirrel-cage induction generator (SCIG).

frequency makes mains ripple passive-filtering difficult. A constant switching frequency facilitates this task.

Early works [9] introduced a completely analog solution based on a phase-locked loop (PLL) that synchronizes phase commutations to a fixed frequency clock. This method adjusts the switching frequency by modifying the hysteresis band amplitude. Nevertheless, the synchronization becomes a problem in the presence of fast variations of the output voltage, since a spectrum that extends well below the average switching frequency is produced. Other works [10] have overcome this problem by using a feedforward bandwidth prediction approach. Although great improvement over early works has been achieved, these methods make use of complex analog hardware [11].

Other authors [12, 13] present an adaptive hysteresis band current control technique, which modifies the comparison band level as a function of the instantaneous switching period measurement. A digital controller establishes the comparison band of an analog comparator using digital-to-analog converters (DAC). Although the analog comparator is the fastest choice when high switching frequency is desired, several problems must be taken into account when a DAC is used to set the band levels. In order to obtain good comparison levels, DACs with above 12-bit resolution are required. This imposes an increase in the word length; which, in turn, yields an important computing time. Another issue is that the DAC introduces a phase error. Although DACs have a very fast settling time, the update rate of multiple-output DACs is a slow process when serial devices are chosen. Moreover, the use of analog comparators and DACs involves accessory analog circuitry such as operational amplifiers, precision references and other external circuits.

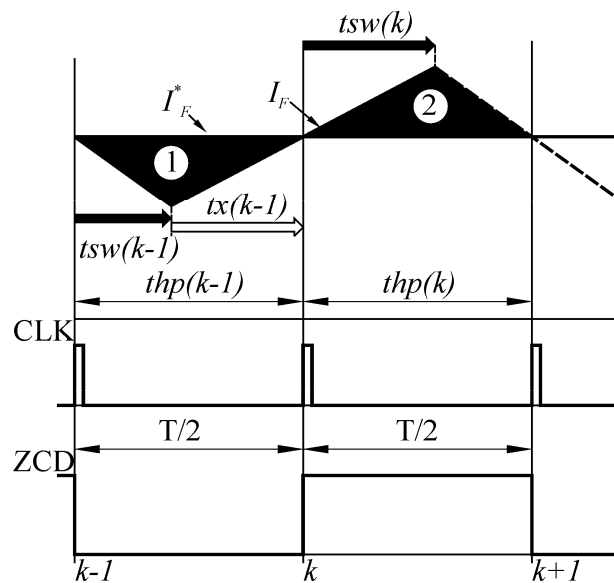


Figure 2. Operating principle of the proposed algorithm.

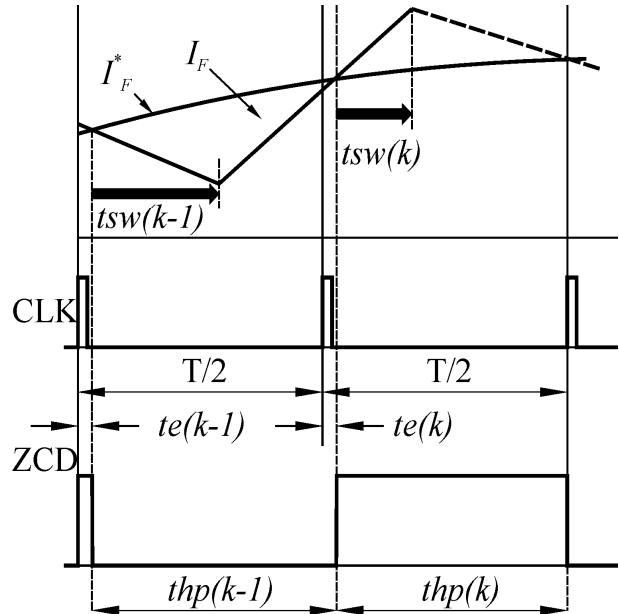


Figure 3. Operating principle of the proposed algorithm with a slowly varying reference.

In this work a fully-digital current controller with constant switching frequency is proposed. The system establishes the switching time instead of using comparison bands. This way, the method avoids the use of DACs or external analog circuitry. Its implementation is completely contained within a single DSP, with the only requirement of a zero crossing detector (ZCD).

II. The proposed Method

II.1. Operating principle

A predictive method is pursuing two conditions: the output current must track the current reference and the switching frequency must be kept constant. The algorithm is predictive since information in advance is needed to properly find the next switching time.

The control principle is explained by means of Fig. 2 where the output current of an arbitrary phase, I_F , and its reference current, I_F^* , are shown with a constant reference. A DSP clock reference, Clk , and the ZCD output signal which corresponds to the comparison of the I_F^* and I_F , are also shown. On-off times, $t_{sw} - t_x$, and half-period, t_{hp} , are depicted as well. The system goal is to keep the triangles formed by the current ripple, centered around the reference in equal area.

In order to obtain a ripple around a centered reference the condition $t_{sw}(k) = t_x(k-1)$ must be imposed, in this way both reference tracking and constant period would be obtained. Nevertheless, this condition is not enough to get a constant frequency except in the case of a constant reference. A more general case would involve an arbitrary reference, for instance a slowly-varying reference applied to the system as in Fig. 3.

It can be seen that the semi-periods are not constant since small errors, t_e , in the synchronicity occurs. The proposed control method measures these errors and estimates the next half-period in order to recover synchronicity. In this way the aforementioned equality must be corrected in such a way that the ripple current has a constant switching frequency.

The correction involved requires the following expression,

$$t_{sw}(k) = t_x(k-1) \frac{t_{hp}(k)}{t_{hp}(k-1)} \quad (1)$$

where $\frac{t_{hp}(k)}{t_{hp}(k-1)}$ is a correction factor. This factor is inversely proportional to the k-semi-period.

Time t_{sw} can be expressed in terms of $t_{hp}(k)$ and $t_{hp}(k-1)$,

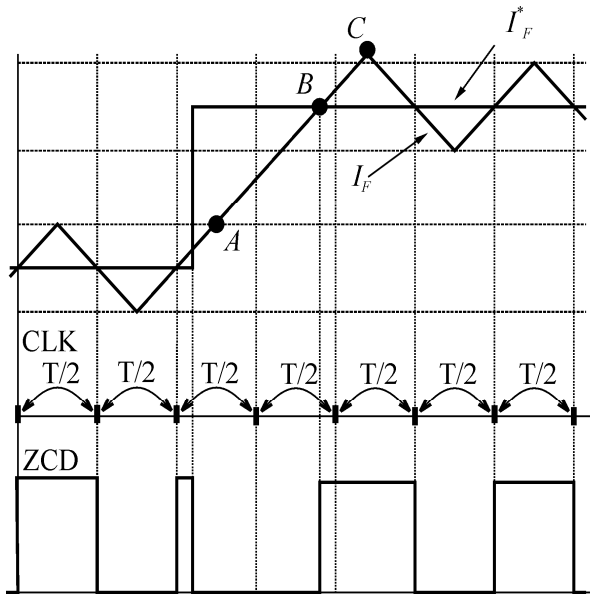


Figure 4. System tracking of a step current reference.

$$t_{sw}(k) = \left[1 - \frac{t_{sw}(k-1)}{t_{hp}(k-1)} \right] t_{hp}(k) \quad (2)$$

The errors, $t_e(k-1)$ and $t_e(k)$, can be used to estimate the value, $t_{hp}(k)$ and $t_{hp}(k-1)$, which are obtained by means of (3) and (4):

$$t_{hp}(k) = \frac{T}{2} - t_e(k) \quad (3)$$

$$t_{hp}(k-1) = \frac{T}{2} - t_e(k-1) + t_e(k) \quad (4)$$

Once $t_{hp}(k)$ and $t_{hp}(k-1)$ are computed, $t_{sw}(k)$ is calculated by means of (2). The computing of (2), (3) and (4) does not require complex calculations and are compatible to any current digital processor.

Power grid control can produce an abrupt changing reference. In those cases, (2) can not be applied and other considerations must be taken into account in order to track this type of references.

II.2. Abrupt reference tracking

More information, other than the zero crossings, is required to detect an abrupt change in the reference. A solution to this problem is to take advantage of the ZCD output state in order to identify the current error sign, so as to properly switch towards the reference direction. A high-level enables the switch to decrease the output current and a low-level, to increase it.

Figure 4 shows I_F^* , I_F , Clk and ZCD when a step reference is applied. Point A would had been the switching time if no abrupt change occurred. However, the algorithm detects the step and verifies that A is not a valid switching point, since a low level inhibits a downward current direction. When no switching occurs, the algorithm must reset the history of previous calculations.

When current reaches point B, the algorithm measures the error and calculates next t_{sw} in order to re-establish synchronism. In point C the switching time is reached and the commutation is produced, as it exist a valid condition to switch.

Since an abrupt change exists, a transient response is obtained until the system goes to sync again. In any

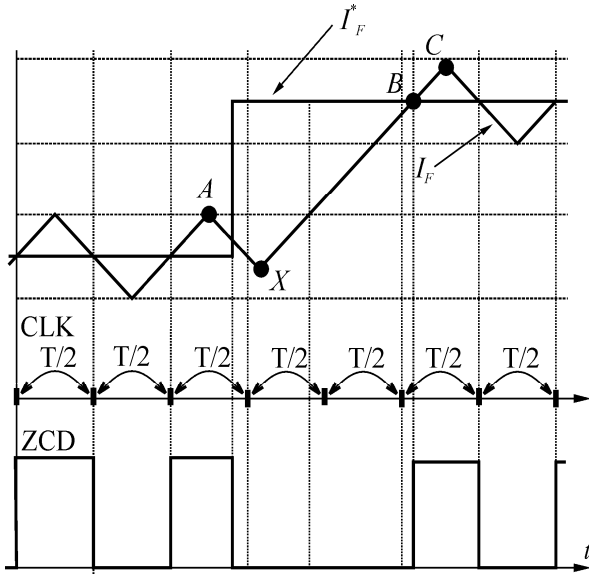


Figure 5. Step current reference and output current.

case, the synchronism is restored in the next half period, thus, minimum time for sync recovery is obtained.

Figure 4 depicts a case when the abrupt change occurs previous point A. Another possibility is that the abrupt change occurs after point A, as shown in Fig. 5. In this case, point A is a valid switching point; so, the switching is produced. When the change occurs, a zero crossing is originated, therefore the system calculates t_{sw} . When this time finishes (point X) the system verifies the ZCD state and switches accordingly, in order to produce an upward current.

From the reference edge up to point B, several clocks are skipped. In point B, the algorithm resets previous calculations to avoid an erroneous t_{sw} .

Another possible case is when point A coincides with the abrupt change; in this case the algorithm chooses not to switch, similarly to the case depicted in Fig. 4.

By using the ZCD output to identify the current error sign, the algorithm accomplishes a quick tracking capacity similar to the implemented with HCC.

III. EXPERIMENTAL RESULTS

III.1. Implementation setup

The proposed current control was tested on a 3-phase 4-wire VSI with inductive load. Since the CC is suitable

for working independently, a single phase was utilized in the tests.

Current transducers on the test board are 25A rated input, DC to 100 kHz bandwidth, LTS 25-NP, with a basic accuracy of $\pm 0.2\%$. Other system characteristics are resumed in Table 1.

TABLE 1. TEST SYSTEM CHARACTERISTICS

Characteristic	Rating values
Max. DC-link Voltage	420 V _{dc}
Output inductor	25 A – 64 mΩ
Max. nominal current	25 A
T_d (dead times)	2 μs
Switching frequency	2 μs

Considering that this application must provide the current control of the VSI, a DSP with a high-frequency PWM was chosen. The experimental test system was based on Analog Devices ADSP-21992 which is a 150 MIPS, 16-bit fixed-point digital signal processor.

The presence of dead times (T_d in Table 1) implies a delay in the switching instant, which is added to the previously calculated t_{sw} . This delay introduces a sync error, t_e , which is self corrected in the next half period.

III.2. Stationary response

III.2.1. Amplitude and phase tests

In the first set of tests, the output current amplitude error and the phase error were measured. An Agilent 33120A function generator was used as precise sinusoidal reference with a frequency sweep from 50 Hz to 1100 Hz in steps of 50 Hz. In all stationary response tests, the peak current was 6 A and frequency sweep was performed at maximum modulation index, $m = 0.65, 0.70, 0.80$.

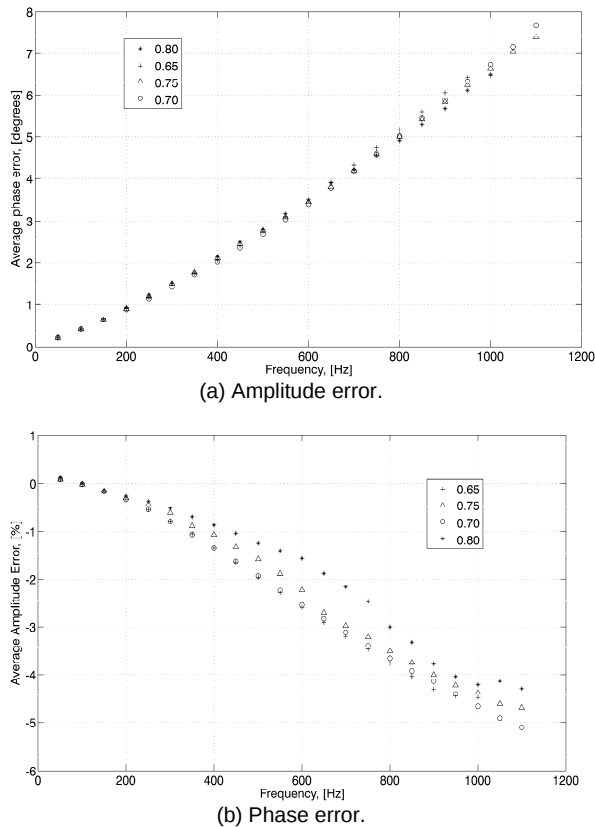


Figure 6. Steady-state tests results.

A sampling rate of 50 kHz was used to acquire a 100 ms window with 12-bits resolution. For every frequency step, 50 measurements were averaged. Figure 6 shows the amplitude error results. The maximum error was 5 % at 1100 Hz. For frequencies below 400 Hz, the error was less than 1 %.

Figure 6.b shows the phase error which is approximately linear with frequency, implying a constant delay of about 14 μ s between output and

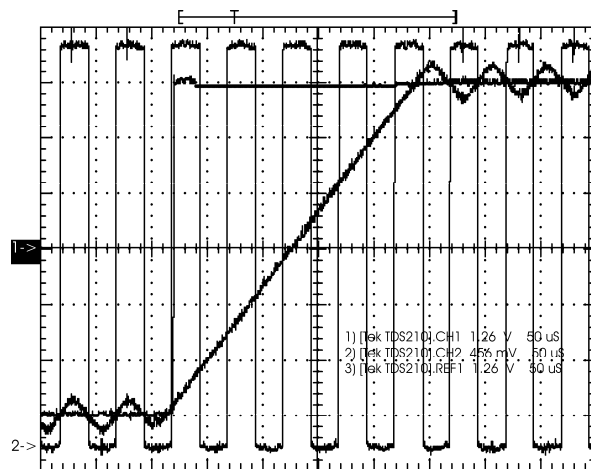


Figure 8. Step response. Ch.1: output current, Ch.2: reference clock

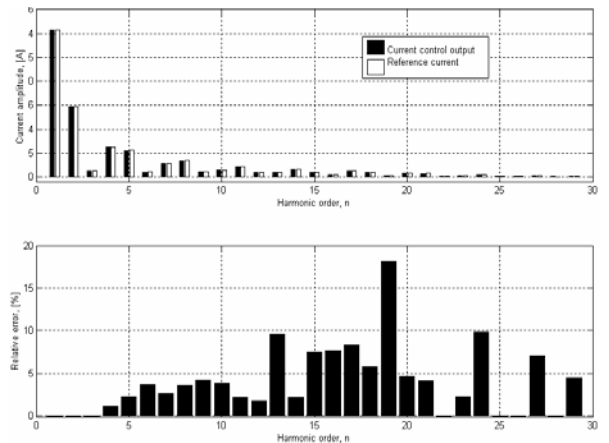


Figure 7. Output current spectrum.

reference. The maximum phase error was about 8° for the maximum frequency. The phase error was essentially a computing time delay, which can be improved just by increasing the switching frequency.

The last stationary response test is the analysis of the spectrum of the output current. Figure 7 shows an average spectrum of the output current when generating a 50 Hz frequency sinusoidal. It can be noticed how the 20 kHz switching frequency corresponds to the maximum ripple current. It can also be noted that other components, such as the 10 kHz, 20 kHz or even 40 kHz have amplitudes more than 100 times lower than the switching frequency component.

The maximum frequency variation of the switching frequency, at the test conditions mentioned above, was also measured. A maximum deviation of ± 60 Hz was found. This dispersion only represents a 0.3 % of the switching frequency which represents a very narrow spectrum spread.

III.3. Dynamic response

In order to analyze the transient response of the proposed method, a 20 A current step was tested. Figure 6 shows the output current, the reference clock and the reference current. Before the step condition, the current ripple was synchronized to a 20 kHz frequency. When the reference changes, the output current builds up until it reaches the reference. At this moment, the current ripple is not synchronized with the reference clock for a single half period until full sync is recovered. This half period is the least possible transient time to recover synchronism.

IV. CONCLUSIONS

A new constant-frequency fully-digital current control is presented in this work. The proposed method measures the half period of the switching ripple in order

to establish the switching times. This measurement only requires a ZCD for the current zero crossings, and allows a completely digital implementation, avoiding external circuitry such as DACs or ADCs.

The experimental stationary tests showed that the system maintains a constant switching frequency even with a 0.8 modulation index. The low amplitude error and phase error showed that the proposed method has a very good arbitrary-current reference tracking. The dynamic response test showed that the system recovers synchronism in the least possible transient time.

The proposed system has been developed to obtain a fast abrupt reference tracking. The current error sign is determined in order to properly switch towards the reference direction. This is possible by taking advantage of the ZCD output state; this way the system is able to track abrupt reference changes. This capacity makes the proposed method suitable for wind applications.

Acknowledgements

The authors gratefully acknowledge the "Conselleria d'Empresa, Universitat i Ciència" de la Generalitat Valenciana for financial support of this work under project ref. GV06/164.

S. A. González acknowledges the CONICET Grant PIP 6245/04, Universidad Nacional de Mar del Plata, and an ANPCyT Grant PICT 11-473/04, Argentina.

REFERENCES

- [1] I. Erlich and U. Bachmann, Grid code requirements concerning connection and operation of wind turbines in Germany, in IEEE Power Engineering Society General Meeting, June 2005, San Francisco, California.
- [2] F. Iov, R. Teodorescu, F. Blaabjerg et Al, "Grid code compliance of grid-side converter in wind turbine system", Power Electronics Specialists Conference, 2006. PESC '06. 37th IEEE, 18-22 June 2006.
- [3] J. A. Baroudi, Venkata D. and A. M. Knight, A review of power converter topologies for wind generators, Renewable Energy, Volume 32, Issue 14, November 2007, Pages 2369-2385.
- [4] Kazmierkowski, M. P. and Malesani, L. (1998). 'Current control techniques for three-phase voltage-source PWM converters: A survey', IEEE Trans. Ind. Electron. **45**(5), 691-703.
- [5] Tilli, A. and Tonielli, A. (1998). 'Sequential Design of Hysteresis Current Controller for Three-Phase Inverter', IEEE Trans. Ind. Electron. **45**(5), 771-781.
- [6] Malesani, L., Mattavelli, P. & Tomasin, P (1997). 'High-Performance Hysteresis Modulation for Active Filters', IEEE Trans. Power. Electron. **12**(5), 876-884.
- [7] IEEE Corporation, ed. (1992), IEEE recommended practices and requirements for harmonic control in electrical power systems, number 519, IEEE, Piscataway, NJ.
- [8] International Electrotechnical Commission, ed. (2000), Limits for harmonic current emission, number 61000-3-2, IEC, Geneva, Switzerland. A1:2001.
- [9] Malesani, L. & Tenti, P. (1990), 'A novel hysteresis control method for current-controlled voltage-source PWM inverters with constant modulation frequency', IEEE Trans. Ind. Appl. **26**(1), 88-92.
- [10] Malesani, L., Mattavelli, P. & Tomasin, P. (1997), 'Improved constant-frequency hysteresis current control of VSI inverters with simple feed-forward bandwidth prediction', IEEE Trans. Ind. Appl. **33**(5), 1194-1202.
- [11] Krah, J.-O. & Holtz, J. (1999), 'High-performance current regulation and efficient PWM implementation for low-inductance servo motors', IEEE Transactions on Industry Application **35**(5), 1039-1049.
- [12] Sonaglioni, L. (1995), Predictive digital hysteresis current control, in 'Conference Record of the 1995 IEEE Industry Applications Conference, 1995. Thirtieth IAS Annual Meeting, IAS '95', Vol. 3, Orlando, FL USA, pp. 1879 - 1886.
- [13] Buso, S., Fasolo, S., Malesani, L. & Mattavelli, P. (2000), 'A deadbeat adaptive hysteresis current control', IEEE Trans. Ind. Appl. **36**, 1174-1180.

Authors' information

¹Laboratorio de Instrumentación y Control, Universidad de Mar de Plata, Argentina (sagonzal@ieee.org).

²Laboratorio de Electrónica Industrial e Instrumentación, Universidad de Valencia - Spain (e-mail: garciagi@uv.es).



Rogelio Garcia Retegui was born in Tandil, Argentina in 1977. He obtained the Ing. degree in electronic engineering from the Universidad Nacional de Mar del Plata (UNMDP), Argentina in 2002. Currently, he is a Research Assistant of the Laboratorio de Instrumentación y Control (LIC), Argentina. Since 2003, he is Assistant Professor in Control Systems of the School of Engineering at the UNMDP and is currently working toward his Dr. degree. His current research interests include power electronics, active filters and digital signal processing.



Sergio Alejandro González was born in Mar del Plata, Argentina, in 1972. He obtained the Ing. and Dr. Ing. degrees in electronic engineering from the Universidad Nacional de Mar del Plata (UNMDP), Argentina, in 1999 and 2006, respectively. Currently, he is a Research Assistant of the Laboratorio de Instrumentación y Control (LIC), Argentina. Since 1999, he is Assistant Professor in Control Systems of the School of Engineering at the UNMDP. His scientific interest include hardware design, digital signal processing, motion control, digital control techniques for power electronic circuits and electromechanical systems dynamics. Dr. González is also a member of International Federation of Automatic Control (IFAC) and the Institute of Electric and Electronic Engineers (IEEE).



Mario Benedetti was born in Italy in 1945. He received the electronics engineering degree from the Universidad Nacional de La Plata, La Plata, Argentina, in 1968. From 1968 to 1983, he was with the Laboratorio de Electrónica Industrial, Control e Instrumentación (LEICI) at the Universidad Nacional de La Plata, where he worked on developing electronic instruments. He was also Associate Professor in the Electrical Engineering Department at the above university from 1970 to 1983; and spent two years as a fellow at CERN, Geneva, Switzerland. Since 1985, he is a full Professor in the Electrical Engineering Department of the Universidad Nacional de Mar del Plata, Argentina. At present, he is Head of the Laboratorio de Instrumentación y Control (LIC) at the Universidad Nacional de Mar del Plata. His current research interests include Power Electronics and

EMC. Dr. Benedetti is a member of the National Research Council (CONICET) of Argentina. He served as lecturer of numerous short courses to industry and other Universities.



Rafael García-Gil was born in Granja-Costera, Spain, in 1970. He received the M.Sc. degree in physics and the M.Sc. and Ph.D. degrees in electronics engineering from the University of Valencia, Valencia, Spain, in 1993, 1995, and 2002, respectively. From 1996 to 1998, he was with Computadores, Redes e Ingeniería, S.A. (CRISA), where he was involved with the design of power converters for aerospace applications. At the

end of 1998, he joined the Department of Electronics Engineering, University of Valencia, where he is currently an Associate Professor and member of the Laboratory of Industrial Electronics and Instrumentation (LEII). He has been with the European Organization for Nuclear Research (CERN, Geneva, Switzerland) for two years. His main research interests include four-quadrant converters with power factor correction and magnetic components modelling.



José M. Espí Huerta (M'98) was born in Valencia, Spain, in 1969. He received the M.Sc. degree in physics, with specialization in electronics, and the Ph.D. degree in electrical engineering from the University of Valencia, Valencia, in 1992 and 1998, respectively. He was with the R&D Department, GH Electrotermia S.A., where he was involved with induction heating generator design. He was with the Power Conditioning Section of the European Space

Research and Technology Center (ESTEC), European Space Agency, Noordwijk, the Netherlands, for two years. Since 1999, he has been an Associate Professor in the Department of Electronics Engineering University of Valencia and a member of the Laboratory of Industrial Electronics and Instrumentation (LEII). His research interests include power electronics and control systems.



Jaime Castelló Moreno was born in Valencia, Spain, in 1968. He received the B.S. degree in telecommunications engineering and the M.S. degree in electrical engineering from the University of Valencia, Valencia, in 1999 and 2004, respectively. He is currently a Laboratory Officer in the Department of Electronics Engineering, University of Valencia. His research interests include automatic systems and signal processing.

Apéndice E

Códigos de programa

E.1. Código VHDL del controlador

```
--//*****//--
--// LIC - CERN TE-EPC                                     //--
--// DESCRIPTION : Main Program                             //--
--// AUTHOR : Garcia Retegui R; Wassinger N.              //--
--// REVISION : 2009.01.22                                  //--
--//*****//--

library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;
library UNISIM;
use UNISIM.VComponents.all;

entity Main is
    Port ( System_Clock : in  STD_LOGIC;
          BTN : in  STD_LOGIC_VECTOR (3 downto 0);
          SW : in  STD_LOGIC_VECTOR (7 downto 0);
          LeD : out  STD_LOGIC_VECTOR (7 downto 0);
          dis7seg_segment : out  STD_LOGIC_VECTOR (7 downto 0);
          dis7seg_digit : out  STD_LOGIC_VECTOR (3 downto 0);
          -- DACs
          DAC_SCLK : out  STD_LOGIC;
```

```

DAC_SYNC  : out STD_LOGIC;
DAC_Data1 : out STD_LOGIC;
DAC_Data2 : out STD_LOGIC;
-- SADCs
SADC_SDOUT2 : in STD_LOGIC;
SADC_SDOUT3 : in STD_LOGIC;
SADC_SDOUT4 : in STD_LOGIC;
SADC_SDOUT5 : in STD_LOGIC;
SADC_CS2 : out STD_LOGIC;
SADC_CS3 : out STD_LOGIC;
SADC_CS4 : out STD_LOGIC;
SADC_CS5 : out STD_LOGIC;
SADC_CONVST : out STD_LOGIC;
SADC_SCLK2 : out STD_LOGIC;
SADC_SCLK3 : out STD_LOGIC;
SADC_SCLK4 : out STD_LOGIC;
SADC_SCLK5 : out STD_LOGIC;
SADC_PD : out STD_LOGIC;
-- PADCs
PADC_CSA      : out STD_LOGIC;
PADC_CONVSTA  : out STD_LOGIC;
PADC_BYTEA    : out STD_LOGIC;
PADC_PDA      : out STD_LOGIC;
PADC_DATA     : in std_logic_vector(7 downto 0);
-- Switch Control
Control_S1 : out STD_LOGIC;
Control_S2 : out STD_LOGIC;
Control_S3 : out STD_LOGIC;
Control_S4 : out STD_LOGIC;
Control_H14 : out STD_LOGIC;
Control_H23 : out STD_LOGIC;
-- Testpoints
Digital_IO : out std_logic_vector(8 downto 1)
);

end Main;

architecture Behavioral of Main is

```

```

-- COMPONENTS -----

COMPONENT Clocks
PORT(
    System_Clock : IN  std_logic;
    Clock_50M    : OUT std_logic;
    Clock_160M   : OUT std_logic;
    Clock_40M    : OUT std_logic;
    Clock_20M    : OUT std_logic;
    Clock_2M     : OUT std_logic;
    Clock_1M     : OUT std_logic;
    Clock_200K   : OUT std_logic
);
END COMPONENT;

component Display7seg
    Port ( clock_KHz : in  STD_LOGIC;
           reset     : in  STD_LOGIC;
           segment_0 : in  STD_LOGIC_VECTOR (5 downto 0);
           segment_1 : in  STD_LOGIC_VECTOR (5 downto 0);
           segment_2 : in  STD_LOGIC_VECTOR (5 downto 0);
           segment_3 : in  STD_LOGIC_VECTOR (5 downto 0);
           segment   : out STD_LOGIC_VECTOR (07 downto 0);
           digit     : out STD_LOGIC_VECTOR (03 downto 0) );
end component;

--//      DACs Control
COMPONENT DAC_SERIAL
PORT(
    CLOCK : IN  std_logic;
    Start_Transmition : IN std_logic;
    Data_In_1 : IN std_logic_vector(13 downto 0);
    Data_In_2 : IN std_logic_vector(13 downto 0);
    Data_Out_1 : OUT std_logic;
    Data_Out_2 : OUT std_logic;
    SYNC : OUT std_logic;
    SCLK : OUT std_logic;
    TESTPOINTS : OUT std_logic_vector(10 downto 1)
);
END COMPONENT;

```

```
--//      Serial ADCs Control

COMPONENT ADC_SERIAL

PORT(

    CLOCK : IN std_logic;
    Start_Acquisition : IN std_logic;
    Data_In_1 : IN std_logic;
    Data_In_2 : IN std_logic;
    Data_In_3 : IN std_logic;
    Data_In_4 : IN std_logic;
    Chip_Select : OUT std_logic;
    Convert_Start : OUT std_logic;
    Serial_Clock : OUT std_logic;
    Data_Out_1 : OUT std_logic_vector(15 downto 0);
    Data_Out_2 : OUT std_logic_vector(15 downto 0);
    Data_Out_3 : OUT std_logic_vector(15 downto 0);
    Data_Out_4 : OUT std_logic_vector(15 downto 0);
    TESTPOINTS : OUT std_logic_vector(10 downto 1)
);

END COMPONENT;

--//      Parallel ADC Control

COMPONENT ADC_PARALLEL

PORT(

    CLOCK : IN std_logic;
    Start_Acquisition : IN std_logic;
    Data_In : IN std_logic_vector(7 downto 0);
    Chip_Select : OUT std_logic;
    Convert_Start : OUT std_logic;
    Byte_Swap : OUT std_logic;
    Data_Out : OUT std_logic_vector(15 downto 0);
    TESTPOINTS : OUT std_logic_vector(10 downto 1)
);

END COMPONENT;

--// General Block - Includes: Hysteresys, Calculation, etc...

COMPONENT Control_System

PORT(

    --// Clock
    Clock_20M : in std_logic;
```

```

--// Measured Signals
Current_I1 : in std_logic_vector(15 downto 0);
Current_IL : in std_logic_vector(15 downto 0);
Current_IF : in std_logic_vector(15 downto 0);
Voltage_VC : in std_logic_vector(15 downto 0);
--// Control Signals
Control_S1 : out std_logic;
Control_S2 : out std_logic;
Control_S3 : out std_logic;
Control_S4 : out std_logic;
Control_H14 : out std_logic;
Control_H23 : out std_logic;
--// Synchronism
Start_Pulse : in std_logic;
--// TestPoints
Input_SW : in STD_LOGIC_VECTOR (7 downto 0);
Digital_IO : out std_logic_vector(8 downto 1);
Analog_TP1 : out std_logic_vector(13 downto 0);
Analog_TP2 : out std_logic_vector(13 downto 0)
);
END COMPONENT;

-----
-- SIGNALS -----

-- Clocks
signal Clock_50M : std_logic;
signal Clock_160M : std_logic;
signal Clock_40M : std_logic;
signal Clock_20M : std_logic;
signal Clock_2M : std_logic;
signal Clock_1M : std_logic;
signal Clock_200K : std_logic;

signal Clock_count_1Hz: std_logic_vector(17 downto 0);
signal Clock_1Hz: std_logic;

-- 7 segment displays
signal segment_0 : STD_LOGIC_VECTOR (5 downto 0);
signal segment_1 : STD_LOGIC_VECTOR (5 downto 0);

```

```

signal segment_2 : STD_LOGIC_VECTOR (5 downto 0);
signal segment_3 : STD_LOGIC_VECTOR (5 downto 0);
signal Clock_count_1K : STD_LOGIC_VECTOR (8 downto 0);

-- DAC
signal testpoint_DAC : STD_LOGIC_VECTOR (10 downto 1);
signal DAC_DataIn1 : STD_LOGIC_VECTOR (13 downto 0);
signal DAC_DataIn2 : STD_LOGIC_VECTOR (13 downto 0);

-- serial ADCs
signal testpoint_serial_ADC : STD_LOGIC_VECTOR (10 downto 1);
signal SADC_Data1 : STD_LOGIC_VECTOR (15 downto 0);
signal SADC_Data2 : STD_LOGIC_VECTOR (15 downto 0);
signal SADC_Data3 : STD_LOGIC_VECTOR (15 downto 0);
signal SADC_Data4 : STD_LOGIC_VECTOR (15 downto 0);
signal SADC_Data1_uni : STD_LOGIC_VECTOR (15 downto 0);
signal SADC_Data2_uni : STD_LOGIC_VECTOR (15 downto 0);
signal SADC_Data3_uni : STD_LOGIC_VECTOR (15 downto 0);
signal SADC_Data4_uni : STD_LOGIC_VECTOR (15 downto 0);
signal SADC_CS: std_logic;
signal SADC_SCLK: std_logic;

-- parallel ADC
signal PADC_DataOut : STD_LOGIC_VECTOR (15 downto 0);
signal testpoint_parallel_ADC : STD_LOGIC_VECTOR (10 downto 1);

-- Synchronism
signal Start_Pulse : std_logic;
signal Start_Pulse_Count : std_logic_vector(1 downto 0);

-- Global Switch Enable
signal FullEnable : std_logic;
signal Control_S1_int : STD_LOGIC;
signal Control_S2_int : STD_LOGIC;
signal Control_S3_int : STD_LOGIC;
signal Control_S4_int : STD_LOGIC;
signal Control_H14_int : STD_LOGIC;
signal Control_H23_int : STD_LOGIC;

--// Security Limit

```

```

signal Warning: std_logic;

signal bcdint : STD_LOGIC_VECTOR (15 downto 0);

begin

Inst_Clocks: Clocks PORT MAP(
    System_Clock => System_Clock ,
    Clock_50M    => Clock_50M ,
    Clock_160M   => Clock_160M,
    Clock_40M    => Clock_40M ,
    Clock_20M    => Clock_20M ,
    Clock_2M     => Clock_2M ,
    Clock_1M     => Clock_1M ,
    Clock_200K   => Clock_200K
);

Clock_200Kto1Hz: process(Clock_200K)
begin
    if Clock_200K'event and Clock_200K = '1' then
        if Clock_count_1Hz = "110000110100111111" then
            Clock_count_1Hz <= "000000000000000000";
        else
            Clock_count_1Hz <= Clock_count_1Hz + 1;
        end if;
    end if;
end process;

Clock_1Hz <= Clock_count_1Hz(17);

Led(7) <= Clock_1Hz;

segment_0 <= "01" & bcdint(3 downto 0);
segment_1 <= "01" & bcdint(7 downto 4);
segment_2 <= "11" & bcdint(11 downto 8);
segment_3 <= "01" & bcdint(15 downto 12);

inst_Display7seg: Display7seg
    Port map ( Clock_count_1K(7),

```

```

        BTN(0),
        segment_0,
        segment_1,
        segment_2,
        segment_3,
        dis7seg_segment,
        dis7seg_digit );

LeD(6) <= BTN(0);

Clock_200Kto1Kaprox: process(Clock_200K)
begin
    if Clock_200K'event and Clock_200K = '1' then
        if Clock_count_1K = "100000000" then
            Clock_count_1K <= "000000000";
        else
            Clock_count_1K <= Clock_count_1K + 1;
        end if;
    end if;
end process;

process (Clock_1Hz, BTN(1))
begin
    if BTN(1) = '1' then
        bcdint <= (others => '0') ;
    elsif Clock_1Hz'event and Clock_1Hz = '1' then
        if bcdint(3 downto 0) = "1001" then
            if bcdint(7 downto 4) = "0101" then
                if bcdint(11 downto 8) = "1001" then
                    if bcdint(15 downto 12) = "0101" then
                        bcdint <= "0000000000000000" ;
                    else
                        bcdint <= (bcdint(15 downto 12) + 1) & "000000000000" ;
                    end if ;
                else
                    bcdint <= bcdint(15 downto 12) & (bcdint(11 downto 8) + 1) & "00000000" ;
                end if ;
            else
                bcdint <= bcdint(15 downto 8) & (bcdint(7 downto 4) + 1) & "0000" ;
            end if ;
        end if ;
    end if ;
end process;

```

```

        else
            bcdint <= bcdint(15 downto 4) & (bcdint(3 downto 0) + 1) ;
        end if ;
    end if ;
end process ;

--//      DACs Control
Inst_DAC_SERIAL: DAC_SERIAL PORT MAP(
    CLOCK => CLOCK_20M,
    Start_Transmission => Clock_200K,
    Data_Out_1 => DAC_Data1,
    Data_Out_2 => DAC_Data2,
    SYNC => DAC_SYNC,
    SCLK => DAC_SCLK,
    Data_In_1 => DAC_DataIn1,
    Data_In_2 => DAC_DataIn2,
    TESTPOINTS => testpoint_DAC
);

--//      Serial ADCs Control
Inst_ADC_SERIAL: ADC_SERIAL PORT MAP(
    CLOCK => CLOCK_40M,
    Start_Acquisition => NOT CLOCK_1M,
    Data_In_1 => SADC_SDOUT2,
    Data_In_2 => SADC_SDOUT3,
    Data_In_3 => SADC_SDOUT4,
    Data_In_4 => SADC_SDOUT5,
    Chip_Select => SADC_CS,
    Convert_Start => SADC_CONVST,
    Serial_Clock => SADC_SCLK,
    Data_Out_1 => SADC_Data1_uni,
    Data_Out_2 => SADC_Data2_uni,
    Data_Out_3 => SADC_Data3_uni,
    Data_Out_4 => SADC_Data4_uni,
    TESTPOINTS => testpoint_serial_ADC
);

SADC_PD <= '0';
SADC_CS2 <= SADC_CS;

```

```

SADC_CS3 <= SADC_CS;
SADC_CS4 <= SADC_CS;
SADC_CS5 <= SADC_CS;
SADC_SCLK2 <= SADC_SCLK;
SADC_SCLK3 <= SADC_SCLK;
SADC_SCLK4 <= SADC_SCLK;
SADC_SCLK5 <= SADC_SCLK;
SADC_Data1 <= '0' & NOT SADC_Data1_uni(15) & SADC_Data1_uni(14 downto 1);
SADC_Data2 <= '0' & NOT SADC_Data2_uni(15) & SADC_Data2_uni(14 downto 1);
SADC_Data3 <= '0' & NOT SADC_Data3_uni(15) & SADC_Data3_uni(14 downto 1);
SADC_Data4 <= '0' & NOT SADC_Data4_uni(15) & SADC_Data4_uni(14 downto 1);

--//      Parallel ADC Control

Inst_ADC_PARALLEL: ADC_PARALLEL PORT MAP(
    CLOCK => CLOCK_40M,
    Start_Acquisition => NOT CLOCK_2M,
    Data_In => PADC_DATA,
    Chip_Select => PADC_CSA,
    Convert_Start => PADC_CONVSTA,
    Byte_Swap => PADC_BYTEA,
    Data_Out => PADC_DataOut,
    TESTPOINTS => testpoint_parallel_ADC
);

PADC_PDA <= '0';

Inst_Control_System: Control_System PORT MAP(
    --// Clock
    Clock_20M => Clock_20M,
    --// Measured Signals
    Current_IF => PADC_DataOut,
    Current_I1 => SADC_Data1,
    Voltage_VC => SADC_Data2,
    Current_IL => SADC_Data3,
    --// Control Signals
    Control_S1 => Control_S1_int,
    Control_S2 => Control_S2_int,
    Control_S3 => Control_S3_int,
    Control_S4 => Control_S4_int,

```

```

Control_H14 => Control_H14_int,
Control_H23 => Control_H23_int,
--// Synchronism
Start_Pulse => Start_Pulse,
--// TestPoints
Input_SW => SW,
Digital_IO => Digital_IO,
Analog_TP1 => DAC_DataIn1,
Analog_TP2 => DAC_DataIn2
);

Full_Enable: process(clock_1M)
begin
    if clock_1M'event and clock_1M = '1' then
        if FullEnable = '1' then
            Control_S1 <= Control_S1_int;
            Control_S2 <= Control_S2_int;
            Control_S3 <= Control_S3_int;
            Control_S4 <= Control_S4_int;
            Control_H14 <= Control_H14_int;
            Control_H23 <= Control_H23_int;
        else
            Control_S1 <= '0';
            Control_S2 <= '0';
            Control_S3 <= '0';
            Control_S4 <= '0';
            Control_H14 <= '0';
            Control_H23 <= '0';
        end if;
    end if;
end process;

--// Security Limit    17.5A

process(clock_1M, SW(7), SADC_Data1(15 downto 12)) --// SADC_Data1=Current_I1
begin
    if Clock_1M'event and Clock_1M = '1' then
        if SW(7)='0' then
            Warning <= '0';
        elsif SADC_Data1(15 downto 12) = "0111" then

```

```

        Warning <= '1';
    end if;
end if;
end process;

LeD(1) <= Warning;
LeD(0) <= FullEnable;
FullEnable <= SW(7) and not Warning;

LeD(5 downto 2) <= "0000";

Start_Pulse_Generator: process(Clock_1M)
begin
    if Clock_1M'event and Clock_1M = '1' then

        case Start_Pulse_Count is
            when "00" =>
                Start_Pulse <= '0';
                if Clock_1Hz = '1' then
                    Start_Pulse_Count <= "01";
                else
                    Start_Pulse_Count <= "00";
                end if;
            when "01" =>
                Start_Pulse <= '1';
                Start_Pulse_Count <= "10";
            when "10" =>
                Start_Pulse <= '0';
                if Clock_1Hz = '0' then
                    Start_Pulse_Count <= "00";
                else
                    Start_Pulse_Count <= "10";
                end if;
            when others => Start_Pulse_Count <= "00";
        end case;

    end if;
end process;

end Behavioral;
```

```

--//*****//--
--// LIC // CERN TE-EPC //--
--// DESCRIPTION : Blocks Group //--
--// AUTHOR : Garcia Retegui R.; Wassinger N. //--
--// REVISION : 2009.08.10 //--
--//*****//--

--//*****//--
--// Libraries //--
--//*****//--

library IEEE;
use IEEE.Std_logic_1164.all;
use IEEE.Numeric_std.all;
use IEEE.Std_logic_unsigned.all;

--//*****//--
--// Interface definition //--
--//*****//--

entity Control_System is
  port (
    --// Clock
    Clock_20M : in std_logic;
    --// Measured Signals
    Current_I1 : in std_logic_vector(15 downto 0);
    Current_IL : in std_logic_vector(15 downto 0);
    Current_IF : in std_logic_vector(15 downto 0);
    Voltage_VC : in std_logic_vector(15 downto 0);
    --// Control Signals
    Control_S1 : out std_logic;
    Control_S2 : out std_logic;
    Control_S3 : out std_logic;
    Control_S4 : out std_logic;
    Control_H14 : out std_logic;
    Control_H23 : out std_logic;
    --// Synchronism
    Start_Pulse : in std_logic;
    --// TestPoints
    Input_SW : in STD_LOGIC_VECTOR (7 downto 0);
  );
end entity Control_System;

```

```

    Digital_IO : out std_logic_vector(8 downto 1);
    Analog_TP1 : out std_logic_vector(13 downto 0);
    Analog_TP2 : out std_logic_vector(13 downto 0)
    );
end Control_System;

--//*****//--
--// Architecture definition //--
--//*****//--

architecture RTL of Control_System is

COMPONENT PULSE_CONTROL

PORT(

    Clock : IN std_logic;
    Reset : IN std_logic;
    Start : IN std_logic;
    Time_Pulse : IN std_logic_vector(15 downto 0);
    Reference : IN std_logic_vector(15 downto 0);
    Acquisition : IN std_logic_vector(15 downto 0);
    Active_Regulation : OUT std_logic;
    Bridge_Enable : OUT std_logic;
    S4_Enable : OUT std_logic;
    S1_Control : OUT std_logic;
    S2_Control : OUT std_logic;
    S3_Control : OUT std_logic;
    TESTPOINTS : OUT std_logic_vector(10 downto 1)
    );
END COMPONENT;

COMPONENT Arithmetic

PORT(

    Clock : IN std_logic;
    Active_Regulation: in std_logic;
    Current_I1 : IN std_logic_vector(15 downto 0);
    Current_IL : IN std_logic_vector(15 downto 0);
    Current_IF : IN std_logic_vector(15 downto 0);
    Voltage_VC : IN std_logic_vector(15 downto 0);
    Reference : IN std_logic_vector(15 downto 0);
    Constant_KI : IN std_logic_vector(15 downto 0);

```

```

    Constant_KV : IN std_logic_vector(15 downto 0);
    Constant_K3 : IN std_logic_vector(15 downto 0);
    Reference_I1 : OUT std_logic_vector(15 downto 0);
    Reference_IF : OUT std_logic_vector(15 downto 0)
);
END COMPONENT;

COMPONENT HYSTERESIS
PORT(
    Clock : IN std_logic;
    Data_In : IN std_logic_vector(15 downto 0);
    Hyster_Band_L : IN std_logic_vector(15 downto 0);
    Hyster_Band_H : IN std_logic_vector(15 downto 0);
    Period_Min : in integer range 0 to 32767;
    Data_Out : OUT std_logic;
    TESTPOINTS : OUT std_logic_vector(10 downto 1)
);
END COMPONENT;

--//-----//--
--//Signals

signal Active_Regulation : std_logic;
signal Bridge_Enable : std_logic;
signal Reference : std_logic_vector(15 downto 0);
signal S4_Enable : std_logic;
signal Control_S4_int : std_logic;
signal Reset : std_logic;
signal Time_Pulse : std_logic_vector(15 downto 0);
signal TESTPOINTS_Pulse_Control : std_logic_vector(10 downto 1);
signal TESTPOINTS_Hysteresis_I1 : std_logic_vector(10 downto 1);
signal TESTPOINTS_Hysteresis_IF : std_logic_vector(10 downto 1);

signal Reference_I1 : std_logic_vector(15 downto 0);
signal Reference_IF : std_logic_vector(15 downto 0);

signal Control_AF : std_logic;

--//*****//--
--// Begin Program //--

```

```
--//*****
```

```
begin
```

```
Inst_PULSE_CONTROL: PULSE_CONTROL PORT MAP(
    Clock => Clock_20M,
    Reset => '1',
    Active_Regulation => Active_Regulation,
    Bridge_Enable => Bridge_Enable,
    S4_Enable => S4_Enable,
    S1_Control => Control_S1,
    S2_Control => Control_S2,
    S3_Control => Control_S3,
    Start => Start_Pulse,
    Time_Pulse => "0100000000000000",
    Reference => "0110000000000000",
    --Reference => "0101110000000000",
    Acquisition => Current_IL,
    TESTPOINTS => TESTPOINTS_Pulse_Control
);
```

```
Inst_Arithmetic: Arithmetic PORT MAP(
    Clock => Clock_20M,
    Active_Regulation => Active_Regulation,
    Current_I1 => Current_I1,
    Current_IL => Current_IL,
    Current_IF => Current_IF,
    Voltage_VC => Voltage_VC,
    Reference => "0110000000000000",
    Constant_KI => "0000000000000000",
    Constant_KV => "0000000000000000",
    Constant_K3 => "0000000000000000",
    Reference_I1 => Reference_I1,
    Reference_IF => Reference_IF
);
```

```
--// Hysteresis
```

```
Inst_HYSTERESIS_I1: HYSTERESIS PORT MAP(
    Clock => CLOCK_20M,
```

```

    Data_In => Reference_I1,
    Hyster_Band_L => "1111111100000110",
    Hyster_Band_H => "0000000011111010",
    Period_Min => 0,
    Data_Out => Control_S4_int,
    TESTPOINTS => TESTPOINTS_Hysteresis_I1
);

Control_S4 <= Control_S4_int and S4_Enable;

--// IF Hysteresis

Inst_HYSTERESIS_IF: HYSTERESIS PORT MAP(
    Clock => CLOCK_20M,
    Data_In => Reference_IF,
    Hyster_Band_L => "1111111100000110",
    Hyster_Band_H => "0000000011111010",
    Period_Min => 0,
    Data_Out => Control_AF,
    TESTPOINTS => TESTPOINTS_Hysteresis_IF
);

Control_H14 <= Control_AF and Bridge_Enable;
Control_H23 <= not Control_AF and Bridge_Enable;

Digital_I0 <= Input_SW;

Analog_TP2 <= Current_IF(15 downto 2);
--Analog_TP1 <= Voltage_VC(15 downto 2);

--Analog_TP2 <= Current_I1(15 downto 2);
Analog_TP1 <= Current_IL(15 downto 2);

--//*****//--
--// End Program //--
--//*****//--
end;

--//*****//--
--// LIC / CERN TE-EPC //--
--// DESCRIPTION : Pulse Control //--

```

```

--// AUTHOR : Garcia Retegui R.; Wassinger N.                                //--
--// REVISION : 2008.09.30                                                    //--
--//*****//--

--//*****//--
--//                                                                    //--
--//                                                                    //--
--//*****//--

library IEEE;
use IEEE.Std_logic_1164.all;
use IEEE.Numeric_std.all;
use IEEE.Std_logic_unsigned.all;

--//*****//--
--// Interface definition                                                    //--
--//*****//--

entity PULSE_CONTROL is
  port (
    Clock          : in  std_logic;          --// Clock 20MHz
    Reset          : in  std_logic;
    --// Algorithm Control
    Active_Regulation : out std_logic;        --//
    --// Switch Control
    Bridge_Enable   : out std_logic;          --//
    S4_Enable       : out std_logic;          --//
    S1_Control      : out std_logic;          --//
    S2_Control      : out std_logic;          --//
    S3_Control      : out std_logic;          --//
    --// Timing
    Start           : in  std_logic;          --//
    Time_Pulse      : in  std_logic_vector(15 downto 0);

    --//      T(pulse) = (2 + 6 * Time_Pulse) * T(CLOCK)

    --// Detection of FlatTop
    Reference       : in  std_logic_vector (15 downto 0); --//
    Acquisition     : in  std_logic_vector (15 downto 0); --//
    --// Testpoints
    TESTPOINTS      : out std_logic_vector (10 downto 1)  --//
  );

```

```

end PULSE_CONTROL;

--//*****//--
--// Architecture definition                                     //--
--//*****//--

architecture RTL of PULSE_CONTROL is

--//-----//--
--// Component Definition

component COMP_16
    port (
        Data_1      : in  std_logic_vector (15 downto 0); --// dato No 1 (two complement)
        Data_2      : in  std_logic_vector (15 downto 0); --// dato No 2 (two complement)
        Result      : out std_logic           --// 1 if No1 > No2 , 0 if No1 < No2
    );
end component COMP_16;

--//-----//--
--// Signals

signal Comparation      : std_logic;
signal Begin_Pulse      : std_logic;
signal End_Pulse        : std_logic;
signal Count            : std_logic_vector (15 downto 0);

type State_Values is (State_Waiting_Start,
                      State_Begin_Pulse,
                      State_FlatTop);
signal State : State_Values;
attribute syn_encoding : string;
attribute syn_encoding of State: signal is "safe, _default";

type Tstate_Values is (Tstate_reset,
                      Tstate_10,
                      Tstate_101,
                      Tstate_102,
                      Tstate_103,
                      Tstate_104,

```

```

        Tstate_20,
        Tstate_30);

signal Tstate : Tstate_Values;

signal Rise_Limit_State: std_logic;
signal Rise_Limit:      std_logic;
signal Count_Rise_Limit: integer;

--//-----//--
--//-----//--
begin

COMP_16_engine: COMP_16 port map (Acquisition, Reference, Comparison);

--//-----//--
--//-----//--

Pulse_Generator_Process : process
begin
wait until rising_edge(Clock);
    if (Reset = '0') then
        State <= State_Waiting_Start;
    else
        case State is

            when State_Waiting_Start =>
                --//-- Waiting until Start Signal for begin a new pulse --//--
                Active_Regulation <= '0';          --//
                Bridge_Enable    <= '0';          --//
                S4_Enable        <= '0';          --//
                S1_Control       <= '0';          --//
                S2_Control       <= '0';          --//
                S3_Control       <= '0';          --//
                Begin_Pulse      <= '0';          --//

                if (Start = '1') then
                    state <= State_Begin_Pulse;
                else
                    State <= State_Waiting_Start;

```

```

        end if;

when State_Begin_Pulse =>
--//-- Begin a new pulse --//--
    S1_Control      <= '1';          --//
    S2_Control      <= '1';          --//
    Begin_Pulse     <= '1';
    Rise_Limit_State <= '1';

    if (Comparation = '1' or Rise_Limit = '1') then
        state <= State_FlatTop;
    else
        State <= State_Begin_Pulse;
    end if;

when State_FlatTop =>
--//-- Begin a new pulse --//--
    Active_Regulation <= '1';        --//
    Bridge_Enable     <= '1';        --//
    S4_Enable         <= '1';        --//
    S1_Control        <= '0';        --//
    S3_Control        <= '1';        --//
    Rise_Limit_State <= '0';

    if (End_Pulse = '1') then
        state <= State_Waiting_Start;
    else
        State <= State_FlatTop;
    end if;

when others =>
--//-- Not defined --//--
    State <= State_Waiting_Start;    --// Go to Start
end case;

end if;
end process;

Timer_Rise_Limit: process
begin
wait until rising_edge(Clock);

```

```

    if (Rise_Limit_State = '1') then
        Count_Rise_Limit <= Count_Rise_Limit + 1;
        if (Count_Rise_Limit > 40000) then
            Rise_Limit <= '1';
        end if;
    else
        Count_Rise_Limit <= 0;
        Rise_Limit <= '0';
    end if;
end process;

```

```

Timer_Pulse_Generator_Process: process
begin
wait until rising_edge(Clock);
    case Tstate is

        when Tstate_Reset =>
            End_Pulse <= '1';
            Count <= "0000000000000000";
            if (Begin_Pulse = '1') then
                Tstate <= Tstate_10;
            else
                Tstate <= Tstate_Reset;
            end if;

        when Tstate_10 =>
            End_Pulse <= '0';
            Count <= Count + '1';
            Tstate <= Tstate_101;

        when Tstate_101 => Tstate <= Tstate_102;
        when Tstate_102 => Tstate <= Tstate_103;
        when Tstate_103 => Tstate <= Tstate_104;
        when Tstate_104 => Tstate <= Tstate_20;

        when Tstate_20 =>
            if (Count > Time_Pulse) then
                Tstate <= Tstate_30;
            else
                Tstate <= Tstate_10;
            end if;
        end case;
end process;

```

```

        end if;

    when Tstate_30 =>
        End_Pulse <= '1';
        if (Begin_Pulse = '0') then
            Tstate <= Tstate_Reset;
        else
            Tstate <= Tstate_30;
        end if;

    when others =>
        Tstate <= Tstate_Reset;

    end case;

end process;

TESTPOINTS <= "0000000000";

--//-----//--
--//-----//--
end;

--//*****//--
--// LIC - CERN TE.EPC //--
--// DESCRIPTION : Performs all calculations. //--
--// AUTHOR : Garcia Retegui R.; Wassinger N. //--
--// REVISION : 2009.08.18 //--
--//*****//--

--//*****//--
--// Libraries //--
--//*****//--

library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;

library UNISIM;
use UNISIM.VComponents.all;

```

```

--//*****//--
--// Interface definition                                     //--
--//*****//--

entity Arithmetic is
  Port (   Clock : in std_logic;
          Active_Regulation : in std_logic;
          Current_I1 : in signed(15 downto 0);
          Current_IL : in signed(15 downto 0);
          Current_IF : in signed(15 downto 0);
          Voltage_VC : in signed(15 downto 0);
          Reference : in signed(15 downto 0);
          Constant_KI : in signed(15 downto 0);
          Constant_KV : in signed(15 downto 0);
          Constant_K3 : in signed(15 downto 0);
          Reference_I1 : out signed(15 downto 0);
          Reference_IF : out signed(15 downto 0));
end Arithmetic;

--//*****//--
--// Architecture definition                                 //--
--//*****//--

architecture RTL of Arithmetic is

  component MULT18X18
    port (P : out signed (35 downto 0);
          A : in signed (17 downto 0);
          B : in signed (17 downto 0));
  end component;

  --//-----//--
  --//Signals

  signal Current_I118 : signed(17 downto 0);
  signal Current_IL18 : signed(17 downto 0);
  signal Current_IF18 : signed(17 downto 0);
  signal Voltage_VC18 : signed(17 downto 0);
  signal Reference18 : signed(17 downto 0);

```

```

signal Error_I118      : signed(17 downto 0);
signal IL_DC18         : signed(17 downto 0);
signal Error_IF18      : signed(17 downto 0);

signal Reference_IFsat : signed(17 downto 0);
signal Reference_IF18  : signed(17 downto 0);

signal Regulation      : signed(35 downto 0);
signal Regulation_I    : signed(35 downto 0);
signal Regulation_IV   : signed(35 downto 0);

signal Constant_KIL     : signed(17 downto 0);
signal Constant_KVC     : signed(17 downto 0);

signal Result_KILsig    : signed(35 downto 0);
signal Result_KIL       : signed(35 downto 0);
signal Result_KVCsig    : signed(35 downto 0);
signal Result_KVC       : signed(35 downto 0);

signal Error_IL18       : signed(17 downto 0);
signal Error_IL18T      : signed(17 downto 0);
signal RegulationT      : signed(35 downto 0);
signal Error_IL18TT     : signed(17 downto 0);
signal RegulationTT     : signed(35 downto 0);
signal Regulation_Coeff : signed(17 downto 0);
signal Error_IL18temp   : signed(17 downto 0);
signal Result_Reg       : signed(35 downto 0);
signal Result_Regsig    : signed(35 downto 0);

--//*****//--
--// Begin Program                                     //--
--//*****//--

begin

--//-----
--// Latching of inputs and outputs signals.

latch_inputs: process(clock)

```

```

begin
  if clock'event and clock = '1' then
    Current_I118 <= Current_I1 & "00";
    Current_IL18 <= Current_IL & "00";
    Current_IF18 <= Current_IF & "00";
    Voltage_VC18 <= Voltage_VC & "00";
    Reference18 <= Reference & "00";
    Error_IL18T <= Error_IL18TT;
    RegulationT <= RegulationTT;
  end if;
end process;

latch_outputs: process(clock)
begin
  if clock'event and clock = '0' then
    Reference_I1 <= Error_I118(17 downto 2);
    Reference_IF <= Reference_IFsat(17 downto 2);
    if Active_Regulation = '1' then
      Error_IL18TT <= Error_IL18;
      RegulationTT <= Regulation;
    else
      Error_IL18TT <= (others => '0');
      RegulationTT <= (others => '0');
    end if;
  end if;
end process;

--//-----
--// Calculation of reference for I1 generation.

--// Calculation of Error
Error_IL18 <= Reference18 - Current_IL18;

--// Calculation of Regulation
Error_IL18temp <= Error_IL18T + Error_IL18;

--Regulation_Coeff <= "000000100001100000";    --2144    Coeff= 0.5236 =2144/2^12
--MultReg: MULT18X18 port map (Result_Reg, Error_IL18temp, Regulation_Coeff);

Regulation_Coeff <= "0000000000001000011";

```

```

MultReg: MULT18X18 port map (Result_Reg, Error_IL18, Regulation_Coeff);
Regulation <= RegulationT + (Result_Regsig(11 downto 0) & Result_Reg(35 downto 12));

Result_Regsig <= ( others => Result_Reg(35) );
--Regulation <= RegulationT+(Result_Regsig(11 downto 0) & Result_Reg(35 downto 12));
--Regulation <= (others => '0');

--// State Feedback IL

IL_DC18 <= Current_IL18 - Reference18; -- IL(DC) for state feedback
Constant_KIL <= "000000010000001001"; --1033 KIL=32.2854=1033/2^5
multIL: MULT18X18 port map (Result_KIL, IL_DC18, Constant_KIL);
Result_KILsig <= ( others => Result_KIL(35) );
Regulation_I <= Regulation - (Result_KILsig(4 downto 0) & Result_KIL(35 downto 5)) ;

--// State Feedback VC

Constant_KVC <= "000000000010110100"; --180 KVC=0.35151=180/2^9
multVC: MULT18X18 port map (Result_KVC, Voltage_VC18, Constant_KVC);
Result_KVCsig <= ( others => Result_KVC(35) );
Regulation_IV<=Regulation_I-(Result_KVCsig(8 downto 0) & Result_KVC(35 downto 9)) ;

--// I1 ripple correction
Error_I118 <= Reference18 - Current_I118;
Error_IF18 <= Regulation_IV(17 downto 0) + Error_I118;

--// IF Reference
Reference_IF18 <= Error_IF18 - Current_IF18;
Reference_IFsat <= Reference_IF18; -- Saturation of IF reference to avoid overflows

--//*****//--
--// End Program //--
--//*****//--
end;

--//*****//--
--// CERN-TE.EPC //--
--// DESCRIPTION : Control Regulator //--
--// AUTHOR : Garcia Retegui R.; Wassinger N. //--
--// REVISION : 2009.03.09 //--
--//*****//--

```

```
--//*****//--
--//                                                    //--
--//*****//--

library IEEE;
use IEEE.Std_logic_1164.all;
use IEEE.Numeric_std.all;
use IEEE.Std_logic_unsigned.all;

use ieee.std_logic_arith.ALL;
use ieee.std_logic_signed.ALL;

--//*****//--
--// Interface definition                                //--
--//*****//--
entity HYSTERESIS is
    port (
        --// Internal interface
        Clock      : in  std_logic;                                --//
        Data_In    : in  signed (15 downto 0);                    --//
        Hyster_Band_L : in  signed (15 downto 0);                    --//
        Hyster_Band_H : in  signed (15 downto 0);                    --//
        Period_Min  : in  integer range 0 to 32767;                --//
        Data_Out    : out std_logic;                                --//
        TESTPOINTS  : out std_logic_vector (10 downto 1)           --//
    );
end HYSTERESIS;

--//*****//--
--// Architecture definition                                //--
--//*****//--

architecture RTL of HYSTERESIS is

    --//-----//--
    --// Signals

    signal State      : std_logic_vector (1 downto 0);
    --//Attributes
```

```

    attribute syn_preserve: boolean;
    attribute syn_preserve of State: signal is true;

signal Counter_L: integer range 0 to 32767;
signal Counter_H: integer range 0 to 32767;

signal Period_Min_int: integer range 0 to 32767;

signal Hyster_Flag_H: std_logic;
signal Hyster_Flag_L: std_logic;
signal Counter_Flag_L: std_logic;
signal Counter_Flag_H: std_logic;

signal Data_In_int : signed (15 downto 0);

--//-----//--
--//-----//--
begin

Hysteresis_Control: process
begin
wait until rising_edge(Clock);
    case State is

        when "00" =>                --//
            Data_Out <= '0';
            Counter_H <= Counter_H + 1;
            Counter_L <= Counter_L + 1;
            if (Counter_Flag_H = '1') then
                State <= "01";
            else
                State <= "00";
            end if;

        when "01" =>
            Data_Out <= '0';
            Counter_L <= Counter_L + 1;
            Counter_H <= 0;
            if (Hyster_Flag_H = '1') then
                State <= "10";

```

```
        else
            State <= "01";
        end if;

when "10" =>                                --//
    Data_Out <= '1';
    Counter_H <= Counter_H + 1;
    Counter_L <= Counter_L + 1;
    if (Counter_Flag_L = '1') then
        State <= "11";
    else
        State <= "10";
    end if;

when "11" =>
    Data_Out <= '1';
    Counter_H <= Counter_H + 1;
    Counter_L <= 0;
    if (Hyster_Flag_L = '1') then
        State <= "00";
    else
        State <= "11";
    end if;

when others =>
    State <= "00";

end case;
end process Hysteresis_Control;

process(Period_Min)
begin
    if (Period_Min < 3) then
        Period_Min_int <= 0;
    else
        Period_Min_int <= Period_Min - 3;
    end if;
end process;

process
begin
```

```

wait until falling_edge(Clock);

    if (Data_In_int > Hyster_Band_H) then
        Hyster_Flag_H <= '1';
    else
        Hyster_Flag_H <= '0';
    end if;

    if (Data_In_int < Hyster_Band_L) then
        Hyster_Flag_L <= '1';
    else
        Hyster_Flag_L <= '0';
    end if;

    if (Counter_H > Period_Min_int) then
        Counter_Flag_H <= '1';
    else
        Counter_Flag_H <= '0';
    end if;

    if (Counter_L > Period_Min_int) then
        Counter_Flag_L <= '1';
    else
        Counter_Flag_L <= '0';
    end if;

end process;

process
begin
wait until rising_edge(Clock);
    Data_In_int <= Data_in;
end process;

testpoints <= "00000000" & State;

--//-----//--
--//-----//--
end;

--//*****//--

```

```
--// LIC - CERN TE.EPC //--
--// DESCRIPTION : Receives data from ADC (parallel communication) //--
--// AUTHOR : Garcia Retegui R.; Wassinger N. //--
--// REVISION : 2008.12.21 //--
--//*****//--

--//*****//--
--// Libraries //--
--//*****//--

library IEEE;
use IEEE.Std_logic_1164.all;
use IEEE.Numeric_std.all;
use IEEE.Std_logic_unsigned.all;

--//*****//--
--// Interface definition //--
--//*****//--

entity ADC_PARALLEL is
    port (
        --// Input clock 40 Mhz
        CLOCK : in std_logic;
        --// Acquisition
        Start_Acquisition: in std_logic; --// 1->0 edge: Start Acquisition
        --// Interface with ADC
        Data_In: in std_logic_vector(7 downto 0); --// Converted Data
        Chip_Select: out std_logic;
        Convert_Start: out std_logic;
        Byte_Swap: out std_logic;
        --// Output Signals
        Data_Out: out std_logic_vector(15 downto 0); --// Acquisition
        --// Test Points
        TESTPOINTS : out std_logic_vector (10 downto 1)
    );
end ADC_PARALLEL;

--//*****//--
--// Architecture definition //--
--//*****//--
```

```

architecture RTL of ADC_PARALLEL is

--//-----//--
--//Signals
    signal Count: integer range 0 to 16;

    signal Data: std_logic_vector (15 downto 0);

    signal Chip_Select_int: std_logic;

--//-----//--
--//Constants FSM
    constant State_Start:          std_logic_vector (2 downto 0) := "000";
    constant State_Begin_Conv:     std_logic_vector (2 downto 0) := "001";
    constant State_Conversion:     std_logic_vector (2 downto 0) := "010";
    constant State_Comm_Low:       std_logic_vector (2 downto 0) := "011";
    constant State_Comm_High:      std_logic_vector (2 downto 0) := "100";
    constant State_Comm_Low_h:     std_logic_vector (2 downto 0) := "101";
    constant State_Comm_High_h:    std_logic_vector (2 downto 0) := "110";

--//-----//--
--//FSM signals
    signal State: std_logic_vector (2 downto 0);

--//-----//--
--//Attributes
    attribute syn_preserve: boolean;
    attribute syn_preserve of State: signal is true;

--//*****//--
--// Begin Program                                     //--
--//*****//--

begin

--//-----
--// ADC_Control

```

```
ADC_Control_process: process
begin
wait until falling_edge(clock);  --// 40MHz / 25ns

case State is
when State_Start =>
--// Initialices and wait for Start_Acquisition
Chip_Select_int <= '1';
Convert_Start <= '1';
if ( Start_Acquisition = '0' ) then
State <= State_Begin_Conv;
else
State <= State_Start;
end if;

when State_Begin_Conv =>
Chip_Select_int <= '1';
Convert_Start <= '0';
Count <= 0;
State <= State_Conversion;

when State_Conversion =>
Chip_Select_int <= '1';
Convert_Start <= '1';
Count <= Count + 1;
if ( Count = 14 ) then
State <= State_Comm_Low;
else
State <= State_Conversion;
end if;

when State_Comm_Low =>
--// Serial Communication with ADC
Chip_Select_int <= '0';
Convert_Start <= '1';
Byte_Swap <= '0';
State <= State_Comm_Low_h;

when State_Comm_Low_h =>
```

```

        Data(7 downto 0) <= Data_In;
        State <= State_Comm_High;

    when State_Comm_High =>
        Chip_Select_int <= '0';
        Convert_Start <= '1';
        Byte_Swap <= '1';
        State <= State_Comm_High_h;

    when State_Comm_High_h =>
        Data(15 downto 8) <= Data_In;
        State <= State_Start;

    when others =>
        --// Not defined
        State <= State_Start;           --//Go to Start

    end case;

end process ADC_Control_process;

--//-----
--// Receives and Buffer Acquired Signals from ADC

process
begin
wait until rising_edge(Chip_Select_int);
    Data_Out <= Data;
end process;

Chip_Select <= Chip_Select_int;

--//*****//--
--// End Program                                     //--
--//*****//--
end;

--//*****//--
--// LIC - CERN TE.EPC                               //--
--// DESCRIPTION : Receives data from ADC (serial communication)  //--
--// AUTHOR : Garcia Retegui R.; Wassinger N.           //--

```

```

--// REVISION : 2009.01.22                                     //--
--//*****//--

--//*****//--
--// Libraries                                                //--
--//*****//--

library IEEE;
use IEEE.Std_logic_1164.all;
use IEEE.Numeric_std.all;
use IEEE.Std_logic_unsigned.all;

library unisim;
use unisim.vcomponents.all;

--//*****//--
--// Interface definition                                     //--
--//*****//--

entity ADC_SERIAL is
  port (

    --// Input clock 40 Mhz
    CLOCK : in std_logic;

    --// Acquisition
    Start_Acquisition: in std_logic; --// 1->0 edge: Start Acquisition

    --// Interface with ADC
    Data_In_1: in std_logic;    --// Channel 1: converted data
    Data_In_2: in std_logic;    --// Channel 2: converted data
    Data_In_3: in std_logic;    --// Channel 3: converted data
    Data_In_4: in std_logic;    --// Channel 4: converted data

    Chip_Select: out std_logic;  --// Transmition Control
    Convert_Start: out std_logic; --// 1->0 edge: Start Conversion
    Serial_Clock: out std_logic;  --// Serial Communication Clock

    --// Output Signals
    Data_Out_1: out std_logic_vector(15 downto 0); --// Channel 1 Acquisition

```

```

        Data_Out_2: out std_logic_vector(15 downto 0);  --// Channel 2 Acquisition
        Data_Out_3: out std_logic_vector(15 downto 0);  --// Channel 3 Acquisition
        Data_Out_4: out std_logic_vector(15 downto 0);  --// Channel 4 Acquisition

--// Test Points
        TESTPOINTS : out std_logic_vector (10 downto 1)

    );

end ADC_SERIAL;

--//*****//--
--// Architecture definition                                     //--
--//*****//--

architecture RTL of ADC_SERIAL is

--//-----//--
--//Signals
    signal Count: std_logic_vector (4 downto 0);

    signal Data_1:  std_logic_vector (15 downto 0);
    signal Data_2:  std_logic_vector (15 downto 0);
    signal Data_3:  std_logic_vector (15 downto 0);
    signal Data_4:  std_logic_vector (15 downto 0);

    signal Chip_Select_int: std_logic;
    signal Serial_Clock_int: std_logic;
    signal Communication:   std_logic;

    signal Chip_Select_real: std_logic;

--//-----//--
--//Constants FSM
    constant State_Start:          std_logic_vector (2 downto 0) := "000";
    constant State_Begin_Conv:     std_logic_vector (2 downto 0) := "001";
    constant State_Conversion:     std_logic_vector (2 downto 0) := "010";
    constant State_Begin_Comm:     std_logic_vector (2 downto 0) := "011";
    constant State_Communication:  std_logic_vector (2 downto 0) := "100";

```

```

    constant State_CS_begin:      std_logic_vector (2 downto 0) :=  "101";
    constant State_CS_end:        std_logic_vector (2 downto 0) :=  "110";

--//-----//--
--//FSM signals
    signal State: std_logic_vector (2 downto 0);

--//-----//--
--//Attributes
    attribute syn_preserve: boolean;
    attribute syn_preserve of State: signal is true;

-- // xilinx specific primitive
    component BUFT
    port (    t: in  std_logic;
            i: in  std_logic;
            o: out std_logic
            );
    end component;

--//attribute syn_black_box : BOOLEAN;
--//attribute syn_black_box of  BUFT : component is TRUE;

--//*****//--
--// Begin Program                                     //--
--//*****//--

begin

TESTPOINTS(2 downto 2) <= State(2 downto 2);

--TESTPOINTS <= "0000000000";
--//-----
--// ADC_Control

    ADC_Control_process: process
    begin
        wait until falling_edge(clock);  --// 40MHz / 25ns

```

```

case State is
  when State_Start =>
    --// Initialices and wait for Start_Acquisition
    Chip_Select_int <= '1';
    Chip_Select_real <= '1';
    Convert_Start <= '1';
    if ( Start_Acquisition = '0' ) then
      State <= State_Begin_Conv;
    else
      State <= State_Start;
    end if;

  when State_Begin_Conv =>
    Chip_Select_int <= '1';
    Chip_Select_real <= '1';
    Convert_Start <= '0';
    Count <= "00000";
    State <= State_Conversion;

  when State_Conversion =>
    Chip_Select_int <= '1';
    Chip_Select_real <= '1';
    Convert_Start <= '1';
    Count <= (Count + 1);
    if ( Count = 14 ) then
      State <= State_CS_begin;
    else
      State <= State_Conversion;
    end if;

  when State_CS_begin =>
    Chip_Select_int <= '1';
    Chip_Select_real <= '0';
    Convert_Start <= '1';
    State <= State_Begin_Comm;

  when State_Begin_Comm =>
    --// Serial Communication with ADC
    Chip_Select_int <= '0';

```

```

    Chip_Select_real <= '0';
    Convert_Start <= '1';
    Count <= "00000";
    State <= State_Communication;

    when State_Communication =>
        Chip_Select_int <= '0';
    Chip_Select_real <= '0';
    Convert_Start <= '1';
    Count <= Count + 1;
--//      if ( Count = 14 ) then
        if ( Count = 15 ) then
            State <= State_Start;
        else
            State <= State_Communication;
        end if;

    when others =>
        --// Not defined
        State <= State_Start;           --//Go to Start

    end case;

end process ADC_Control_process;

--//-----
--// Receives and Buffer Acquired Signals from ADC

Register_Data_process: process
begin
--//      wait until falling_edge(Serial_Clock_int);
--//      wait until rising_edge(Serial_Clock_int);
    wait until rising_edge(clock);
    if (Chip_Select_int = '0') then
        Data_1 <= Data_1(14 downto 0) & Data_In_1;
        Data_2 <= Data_2(14 downto 0) & Data_In_2;
        Data_3 <= Data_3(14 downto 0) & Data_In_3;
        Data_4 <= Data_4(14 downto 0) & Data_In_4;
    end if;
end process Register_Data_process;

```



```

--//*****//--
--// Libraries //--
--//*****//--

library IEEE;
use IEEE.Std_logic_1164.all;
use IEEE.Numeric_std.all;
use IEEE.Std_logic_unsigned.all;

--//*****//--
--// Interface definition //--
--//*****//--

entity DAC_SERIAL is
  port (

    --// Input clock 20 Mhz
    CLOCK : in std_logic;

    --// Transmition
    Start_Transmition: in std_logic;           --// 1->0 edge: Start Transmition

    --// Interface with ADC
    Data_Out_1: out std_logic;                 --// Channel 1: Data for convert
    Data_Out_2: out std_logic;                 --// Channel 2: Data for convert

    SYNC: out std_logic;                      --// Communication Control
    SCLK: out std_logic;                      --// Serial Clock

    --// Input Signals
    Data_In_1: in std_logic_vector(13 downto 0); --// Channel 1
    Data_In_2: in std_logic_vector(13 downto 0); --// Channel 2

    --// Test Points
    TESTPOINTS : out std_logic_vector (10 downto 1)

  );
end DAC_SERIAL;

--//*****//--
--// Architecture definition //--

```

```

--//***** **/--
architecture RTL of DAC_SERIAL is

--//-----//
--//Signals
    signal Count:          integer range 0 to 16;
    signal Data_1:  std_logic_vector (15 downto 0);
    signal Data_2:  std_logic_vector (15 downto 0);
    signal Transmition: std_logic;  --//> Flag: Transmition Active

--//*****//
--// Begin Program                                     //--
--//*****//

begin

--//-----
--// DAC_Control

    SCLK <= CLOCK;

    DAC_Control_process: process
    begin
        wait until rising_edge(clock);  --// 20MHz / 50ns
        if Transmition = '1' then
            --// Transmition
            Count <= Count + 1;
            if ( Count = 15 ) then
                Transmition <= '0';
            end if;
        else
            --// Initialices and wait for Start_Transmition
            Count <= 0;
            if ( Start_Transmition = '0' ) then
                Transmition <= '1';
            end if;
        end if;
    end process DAC_Control_process;

```

```

Register_Data_process: process
begin
wait until falling_edge(clock);  --// 20MHz / 50ns
    if Transmition = '0' then
        Data_1 <= "00" & NOT Data_In_1(13) & Data_In_1(12 downto 0);
        Data_2 <= "00" & NOT Data_In_2(13) & Data_In_2(12 downto 0);
    else
        Data_1 <= Data_1 (14 downto 0) & '0';
        Data_2 <= Data_2 (14 downto 0) & '0';
    end if;
end process Register_Data_process;

process
begin
wait until rising_edge(clock);  --// 20MHz / 50ns
    Data_Out_1 <= Data_1(15);
    Data_Out_2 <= Data_2(15);
end process ;

SYNC <= NOT Transmition;

--//*****//--
--// End Program                                     //--
--//*****//--
end;
```

E.2. Código VHDL del modulador interleaved

```

--//*****//--
--// LIC -                                           //--
--// DESCRIPTION : Bloque de sincronismo           //--
--// AUTHOR : Garcia Retegui R.; Pablo Antoszczuk  //--
--// REVISION : 2009.01.22                          //--
--//*****//--

library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;

entity sinc is
```

```

Port ( clk : in STD_LOGIC;--Entrada de reloj
      RAMP : out  STD_LOGIC_VECTOR (9 downto 0);--Salida del contador binario (10 bits)
      SINC1 : out  STD_LOGIC;--Seal de sincronismo (bit 9 de la seal RAMP)
      Sa : out  STD_LOGIC);--Seal Sa (bit 8 de la seal RAMP)
end sinc;

architecture arch_sinc of sinc is

-----

-- Contador binario de 10 bits --

component contador10bits
  port (
    clk: IN STD_LOGIC;
    sclr: IN STD_LOGIC;
    q: OUT STD_LOGIC_VECTOR(9 downto 0)
  );
end component;

-- Synplicity black box declaration
attribute syn_black_box : boolean;
attribute syn_black_box of contador10bits: component is true;

-----

signal R : STD_LOGIC_VECTOR(9 downto 0);

begin

  cont : contador10bits
  port map (
    clk => clk,
    sclr => '0',
    q => R
  );

  RAMP <= R;--La salida del contador se conecta a la seal RAMP
  SINC1 <= not R(9); --SINC1, seal de sincronismo (clk/1024)
  Sa <= not R(8);--Sa, seal para la generacin de reglas de conmutacin (clk/512)

```

```

end arch_sinc;

--//*****//--
--// LIC - //--
--// DESCRIPTION : Bloque producto-comparacin //--
--// AUTHOR : Garcia Retegui R.; Pablo Antoszczuk //--
--// REVISION : 2009.01.22 //--
--//*****//--

library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;

library UNISIM;
use UNISIM.VComponents.all;

entity tsw is
    Port ( TSW : in STD_LOGIC_VECTOR (9 downto 0); --Entrada TSW
          K2 : in STD_LOGIC_VECTOR (9 downto 0); --Entradas K2, UIN y THP:
          UIN : in STD_LOGIC_VECTOR (9 downto 0);
          THP : in STD_LOGIC_VECTOR (9 downto 0);
          FIN_TSW : out STD_LOGIC;
          CLK : in STD_LOGIC); --Seal de reloj
end tsw;

architecture tsw_arch of tsw is

-----

--- Comparador de magnitud (20 bits) ----

    component compm20
    port (
        a: IN std_logic_VECTOR(19 downto 0);
        b: IN std_logic_VECTOR(19 downto 0);
        a_ge_b: OUT std_logic);
    end component;

```

```

-- Synplicity black box declaration
attribute syn_black_box : boolean;
attribute syn_black_box of compm20: component is true;

-- Fin comparador de magnitud (20 bits) --
-----

signal k2_1 : std_logic_vector (17 downto 0);
signal thp_1 : std_logic_vector (17 downto 0);
signal tsw_1 : std_logic_vector (17 downto 0);
signal uin_1 : std_logic_vector (17 downto 0);
signal P1_1 : std_logic_vector (19 downto 0);
signal P2_1 : std_logic_vector (19 downto 0);
signal P1 : std_logic_vector (35 downto 0);
signal P2 : std_logic_vector (35 downto 0);

begin

MULT18X18_k2xthp : MULT18X18
  port map (
    P => P1,      -- 36-bit multiplier output
    A => k2_1,    -- 18-bit multiplier input
    B => thp_1    -- 18-bit multiplier input
  );

MULT18X18_uinxtsw : MULT18X18
  port map (
    P => P2,      -- 36-bit multiplier output
    A => uin_1,   -- 18-bit multiplier input
    B => tsw_1    -- 18-bit multiplier input
  );

comparador : compm20
  port map (
    a => P2_1,    --Entrada de comparacion de 20 bits
    b => P1_1,    --Entrada de comparacion de 20 bits
    a_ge_b => FIN_TSW -- a >= b
  );

```

```

actualiz_mult : process(CLK)
begin
    if clk'event and clk='0' then
        k2_1  <= ("00000000" & K2);--Los 8 bits mas significativos de las
        thp_1 <= ("00000000" & THP);--entradas de los multiplicadores son 0
        tsw_1 <= ("00000000" & TSW);
        uin_1 <= ("00000000" & UIN);
    end if;
end process;

actualiz_comparador : process(CLK)
begin
    if clk'event and clk='1' then
        P1_1  <= P1(19 downto 0);--Se toman solo los 20 bits LSB
        P2_1  <= P2(19 downto 0);--del resultado de los multiplicadores
    end if;
end process;

-- Los resultados de la multiplicacion se toman en el flanco positivo de CLK,
-- mientras que las entradas del multiplicador se actualizan en el flanco negativo
-- de CLK con esto se logra leer la salida de los multiplicadores solo cuando los
-- datos estan estables

end tsw_arch;

--//*****//--
--// LIC - //--
--// DESCRIPTION : Bloque calculo de THP_K2 //--
--// AUTHOR : Garcia Retegui R.; Pablo Antoszczuk //--
--// REVISION : 2009.01.22 //--
--//*****//--

library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;

entity calc_thp is
    Port ( hab : in  STD_LOGIC;
          RAMP : in  STD_LOGIC_VECTOR (9 downto 0);

```

```

        UIN : in  STD_LOGIC_VECTOR (9 downto 0);
        U0 : in  STD_LOGIC_VECTOR (9 downto 0);
        PWM : in  STD_LOGIC;
        reset : in STD_LOGIC;
        THP : out STD_LOGIC_VECTOR (9 downto 0);
        K2 : out  STD_LOGIC_VECTOR (9 downto 0);
        UIN1 : out STD_LOGIC_VECTOR (9 downto 0)

    );
end calc_thp;

architecture Behavioral of calc_thp is

    constant N : STD_LOGIC_VECTOR(9 downto 0) := "1111111111";
    constant N2 : STD_LOGIC_VECTOR(9 downto 0) := "0111111111";

begin

calc_thp: process(hab,reset)
    begin

        if reset = '1' then
            thp <= (others=>'0');
            k2 <=  (others=>'0');
            UIN1 <= (others=>'0');

        elsif hab'event and hab='1' then --El flanco positivo en hab se produce
                                         --cada vez que hay un cruce por cero.

            if PWM = '1' then
                K2 <= U0;
                UIN1 <= UIN;
                if RAMP(9) = '1' then
                    THP <= N - RAMP + N2;
                else
                    THP <= N2 - RAMP;
                end if;
            else
                K2 <= UIN-U0;
                UIN1 <= UIN;
                THP<= N-RAMP;
            end if;
        end if;
    end process;
end calc_thp;

```

```

    end if;

    end process calc_thp;
end Behavioral;

--//*****//--
--// LIC - //--
--// DESCRIPTION : Bloque Unidad de Control (Hab de seales) //--
--// AUTHOR : Garcia Retegui R.; Pablo Antoszczuk //--
--// REVISION : 2009.01.22 //--
--//*****//--

library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;

entity hab_signals is
    Port ( PWM : in STD_LOGIC;
          C : in STD_LOGIC;
          SINC : in STD_LOGIC;
          Sa : in STD_LOGIC;
          HAB_CONM : out STD_LOGIC;
          HAB_CONM_ANT : out STD_LOGIC);
end hab_signals;

architecture arch_hab_signals of hab_signals is

    signal tabla : STD_LOGIC_VECTOR(2 downto 0);

begin

    tabla <= (PWM & SINC & Sa);

    HAB_CONM <= PWM xnor C; --En 1 solo cuando la pendiente
        --y el error tienen el mismo signo

    with tabla select
        HAB_CONM_ANT <= '1' when "000" | "011" | "101" | "110",

```

```

        '0' when others;

end arch_hab_signals;

--//*****//--
--// LIC - //--
--// DESCRIPTION : Bloque Unidad de Control (Conmutacion SM) //--
--// AUTHOR : Garcia Retegui R.; Pablo Antoszczuk //--
--// REVISION : 2009.01.22 //--
--//*****//--

library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;

entity conmutacion_sm is
    Port ( TSW_FIN : in STD_LOGIC;
           conm_hab : in STD_LOGIC;
           C : in STD_LOGIC;
           conm_ant : in STD_LOGIC;
           clk : in STD_LOGIC;
           reset : in STD_LOGIC;
           PWM : out STD_LOGIC;
           hab : out STD_LOGIC);
end conmutacion_sm;

architecture Behavioral of conmutacion_sm is

    type estados is (S0,S1,S2,S3);
    signal est_act : estados;

begin

process (clk,reset)
begin
    if reset='1' then
        est_act <= S0;
        PWM<='1';
    end if;
end process;
end Behavioral;

```

```

    hab<='0';
    elsif clk'event and clk='1' then
case est_act is
when S0 =>
    if C='0' then --espera cruce x 0
        est_act <= S0;
        PWM<='1';
        hab<='0';
    elsif C='1' and conm_ant='0' then --cruzo por cero con pend. correcta
        est_act <= S1;
        PWM<='1';
        hab<='1';
    elsif C='1' and conm_hab='0' and conm_ant='1' then --cruzo pend. correcta
        est_act <= S1;
        PWM<='1';
        hab<='1';
    elsif C='1' and conm_hab='1' and conm_ant='1' then --cruzo pend incorrecta
        est_act <= S3;
        PWM<='0';
        hab<='1';
    end if;

when S1 =>
    if TSW_FIN='0' then --Todavía no termino tsw
        est_act <= S1;
        PWM<='1';
        hab<='1';
    elsif TSW_FIN='1' and conm_hab='0' then --Termino tsw, conm no habilitada
        est_act <= S0;
        PWM<='1';
        hab<='0';
    elsif TSW_FIN='1' and conm_hab='1' then --Termino tsw, conm habilitada
        est_act <= S2;
        PWM<='0';
        hab<='0';
    end if;

when S2 =>
    if C='1' then --espera cruce x 0
        est_act <= S2;

```

```

        PWM<='0';
        hab<='0';
    elsif C='0' and conm_ant='0' then --cruzo por cero con pend. correcta
        est_act <= S3;
        PWM<='0';
        hab<='1';
    elsif C='0' and conm_hab='0' and conm_ant='1' then --cruzo pend. correcta
        est_act <= S3;
        PWM<='0';
        hab<='1';
    elsif C='0' and conm_hab='1' and conm_ant='1' then --cruzo pend. incorrecta
        est_act <= S1;
        PWM<='1';
        hab<='1';
    end if;

when S3 =>
    if TSW_FIN='0' then --Todavía no termino tsw
        est_act <= S3;
        PWM<='0';
        hab<='1';
    elsif TSW_FIN='1' and conm_hab='0' then --Termino tsw, conm no habilitada
        est_act <= S2;
        PWM<='0';
        hab<='0';
    elsif TSW_FIN='1' and conm_hab='1' then --Termino tsw, conm habilitada
        est_act <= S0;
        PWM<='1';
        hab<='0';
    end if;
end case;
end if;
end process;

end Behavioral;
```